



Is Now Part of



**ON Semiconductor®**

To learn more about ON Semiconductor, please visit our website at  
[www.onsemi.com](http://www.onsemi.com)

ON Semiconductor and the ON Semiconductor logo are trademarks of Semiconductor Components Industries, LLC dba ON Semiconductor or its subsidiaries in the United States and/or other countries. ON Semiconductor owns the rights to a number of patents, trademarks, copyrights, trade secrets, and other intellectual property. A listing of ON Semiconductor's product/patent coverage may be accessed at [www.onsemi.com/site/pdf/Patent-Marking.pdf](http://www.onsemi.com/site/pdf/Patent-Marking.pdf). ON Semiconductor reserves the right to make changes without further notice to any products herein. ON Semiconductor makes no warranty, representation or guarantee regarding the suitability of its products for any particular purpose, nor does ON Semiconductor assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation special, consequential or incidental damages. Buyer is responsible for its products and applications using ON Semiconductor products, including compliance with all laws, regulations and safety requirements or standards, regardless of any support or applications information provided by ON Semiconductor. "Typical" parameters which may be provided in ON Semiconductor data sheets and/or specifications can and do vary in different applications and actual performance may vary over time. All operating parameters, including "Typicals" must be validated for each customer application by customer's technical experts. ON Semiconductor does not convey any license under its patent rights nor the rights of others. ON Semiconductor products are not designed, intended, or authorized for use as a critical component in life support systems or any FDA Class 3 medical devices or medical devices with a same or similar classification in a foreign jurisdiction or any devices intended for implantation in the human body. Should Buyer purchase or use ON Semiconductor products for any such unintended or unauthorized application, Buyer shall indemnify and hold ON Semiconductor and its officers, employees, subsidiaries, affiliates, and distributors harmless against all claims, costs, damages, and expenses, and reasonable attorney fees arising out of, directly or indirectly, any claim of personal injury or death associated with such unintended or unauthorized use, even if such claim alleges that ON Semiconductor was negligent regarding the design or manufacture of the part. ON Semiconductor is an Equal Opportunity/Affirmative Action Employer. This literature is subject to all applicable copyright laws and is not for resale in any manner.



## 2. 工作原理

### 2-1 恒压调节操作

图2显示的是FAN302的内部PWM控制电路。恒压 (CV) 调节的实现方法与传统隔离电源相同，使用分压器感测输出电压，并将其与分流调节器 (KA431) 的内部2.5 V 基准电压相比较，生成补偿信号。该补偿信号通过光电耦合器传输至初级端，然后通过衰减器Av施加于PWM比较器 (PWM.V)，以便确定占空比。

恒流调节可以在内部实现，无需直接感测输出电流。输出电流估算器利用变压器初级端电流和二极管理论放电时间重构输出电流信息 (V<sub>CCR</sub>)。然后，内部误差放大器将V<sub>CCR</sub>与基准电压 (2.5 V) 进行比较，并生成V<sub>EA.I</sub>信号，以确定占空比。

PWM比较器PWM.I和PWM.V分别将V<sub>EA.I</sub>和V<sub>EA.V</sub>与内部锯齿波形 (V<sub>SAW</sub>) 进行比较，以确定占空比。如图2所示，两个比较器 (PWM.I和PWM.V) 的输出与“或”门相结合，并用作触发器的复位信号，以确定MOSFET的关断瞬间。较低的信号V<sub>EA.V</sub>和V<sub>EA.I</sub>图3可确定占空比，如所示。在恒压调节期间，V<sub>EA.V</sub>确定占空比，而V<sub>EA.I</sub>饱和至高电平。在恒流调节期间，V<sub>EA.I</sub>确定占空比，而V<sub>EA.V</sub>饱和至高电平。

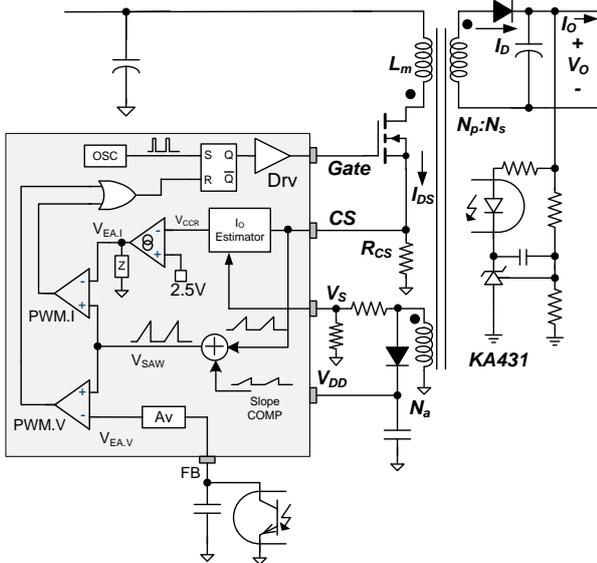


图2. 内部PWM控制电路

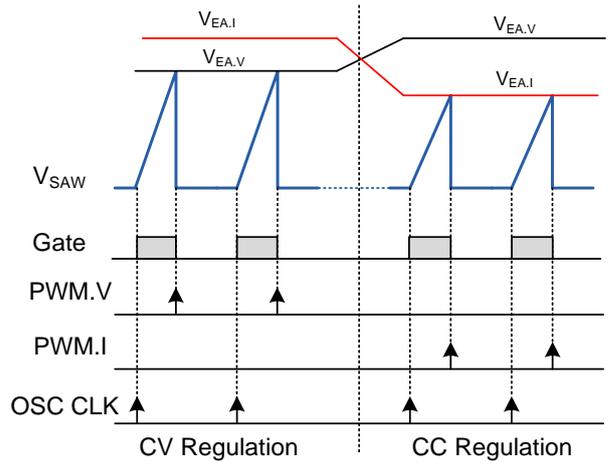


图3. 恒流和恒压的PWM操作

### 输出电流估算

图4显示的是反激式转换器在非连续导通模式 (DCM) 下工作时的主要波形，其次级端二极管电流在下次开关周期开始前达到0。由于FAN302的输出电流估算器针对DCM操作而设计，功率级应设计为能在整个工作范围内保证DCM。输出电流可通过求开关周期内三角形输出二极管电流区域的平均值获得，由下式计算得出：

$$I_O = I_D^{AVG} = I_{PK} \frac{N_P}{N_S} \frac{t_{DIS}}{2t_s} \quad (1)$$

其中，I<sub>PK</sub>是初级端电流峰值；N<sub>P</sub>和N<sub>S</sub>分别是变压器初级端和次级端的匝数；t<sub>DIS</sub>是二极管电流放电时间；t<sub>s</sub>是开关周期。

#### I<sub>DS</sub> (MOSFET Drain-to-Source Current)

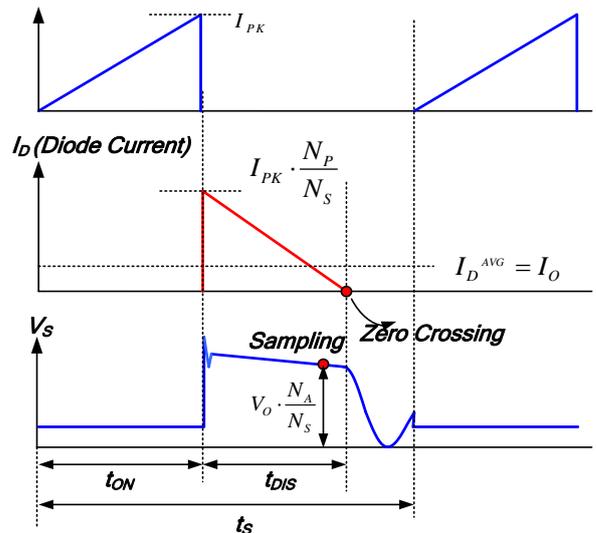


图4. DCM反激式转换器的主要波形

### 3. 设计考虑因素

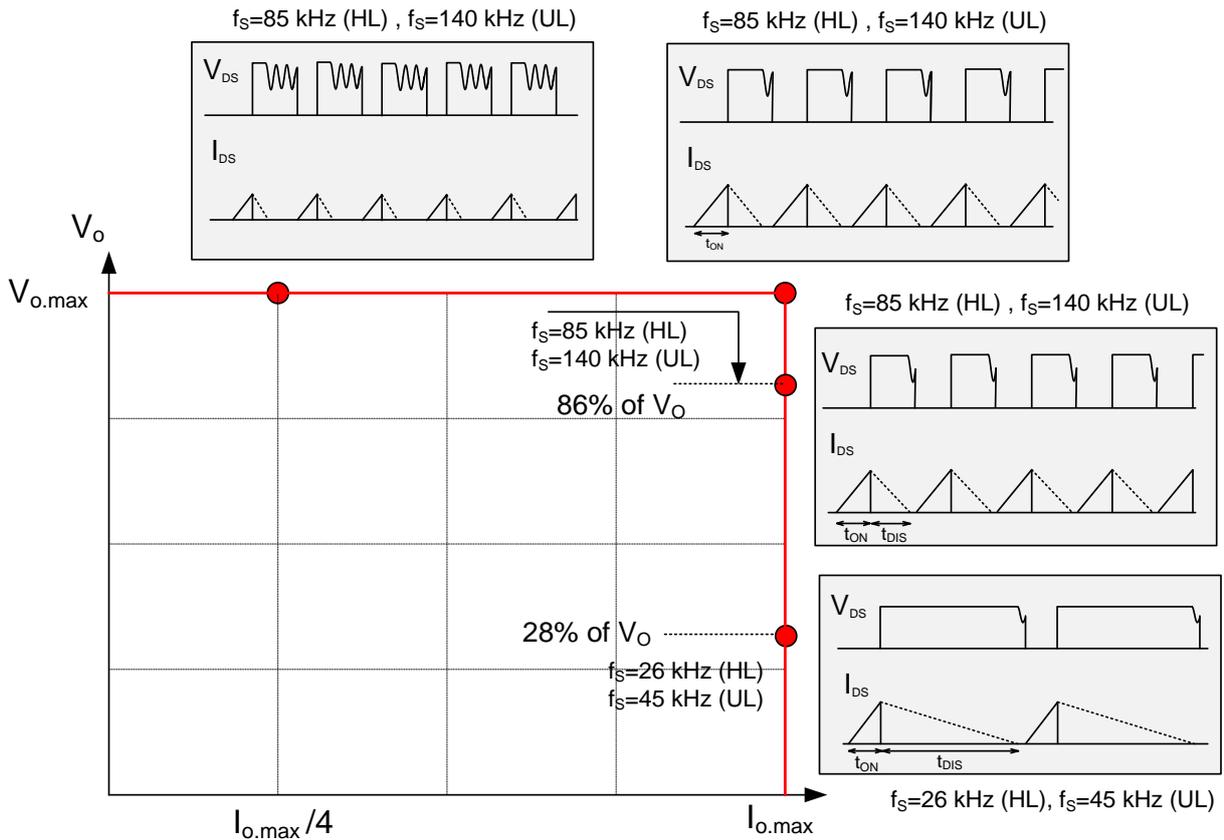


图5. 恒流/恒压充电器的工作范围

与具有固定输出电压的传统电源相比，具有恒流输出的电池充电器电源需要更多的设计考虑。在恒流操作条件下，输出电压可以根据电池的充电状态而改变。PWM控制器的电源电压 ( $V_{DD}$ ) 通常从变压器的辅助绕组获得，会随着输出电压而改变。因此，容许  $V_{DD}$  工作范围可确定恒流调节中的输出电压变化范围。FAN302 具有 5 V 至 26.5 V 的宽电源电压 ( $V_{DD}$ ) 工作范围，即使在输出电压低于标称值的四分之一时仍可实现稳定的恒流调节。

恒流操作的另一项重要设计考虑因素是变压器应设计能确保整个工作范围内的 DCM 操作，因为输出电流仅在 DCM 下才可正确估算，如第 2 部分所述。如图 5 所示，在恒流模式下，MOSFET 导通时间 ( $t_{ON}$ ) 随输出电压下降而减少，并与输出电压平方根成正比。同时，二极管电流放电时间 ( $t_{DIS}$ ) 随输出电压下降而增加，并与输出电压成反比。由于  $t_{DIS}$  的增加相比  $t_{ON}$  的减少在确定  $t_{ON}$  与  $t_{DIS}$  之和时占主要因素，因此  $t_{ON}$  与  $t_{DIS}$  之和会随输出电压下降而增加。 $t_{ON}$  与  $t_{DIS}$  之和与开关周期相同时，转换器会进入恒流模式。FAN302 具有降频功能，它会随输出电压下降而扩展开关周期，以防止恒流模式操作，如图 6 所示。输出电压可在二极管即将完成电流放

电时，对变压器绕组电压 ( $V_{SH}$  图 4) 进行采样而间接测得，如所示。降频功能设计为即使恒流模式下输出电压下降时，导通时间也几乎能保持恒定。

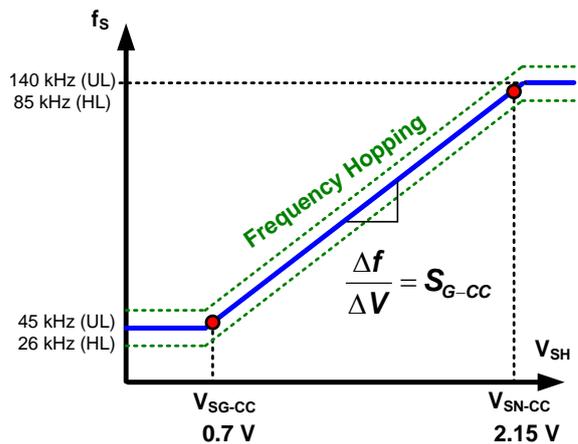


图6. 恒流模式下的降频

## 4. 设计步骤

在本节中，使用图1作为参考对设计步骤进行了介绍。已选择具有6 V / 5 V输出的离线充电器作为设计示例。设计指标如下：

- 线路电压范围： 90~264 V<sub>AC</sub>和60 Hz
- 标称输出电压和电流： 5 V / 1.2 A
- 输出电压纹波： 小于100 mV
- 恒流模式下的最小输出电压： 标称输出的25% (1.25 V)
- 最大开关频率： 140 kHz

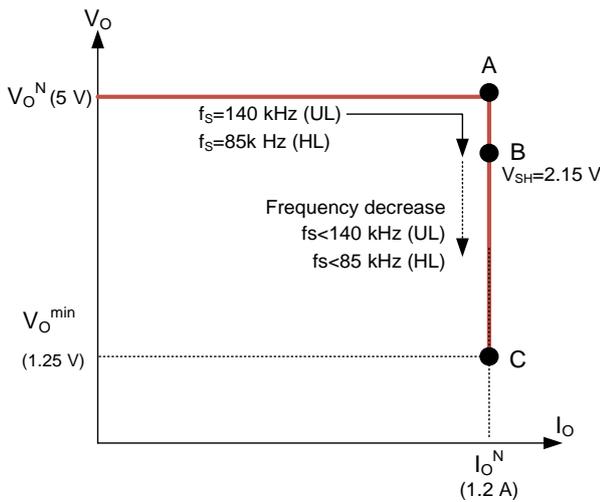


图7. 输出电压和电流工作区

### [步骤1] 估计效率

充电器应用具有在较宽范围内变化的输出电压和电流（如图7所示），具体取决于电池的充电状态。因此，应规定各种工作条件的效率和输入功率，以优化功率级设计。设计的关键操作点为：

- **操作点A**：在此处，输出电压和电流达到最大值（标称输出电压和电流）。
- **操作点B**：在此处，频降开始，以保持DCM操作。
- **操作点C**：在此处，输出在恒流模式下具有最小电压。

通常，低电平线路是变压器设计最糟糕的情况，因为在最小输入电压条件下会出现最大占空比。作为第一个步骤，应为低电平线路估计以下参数。

- 操作点A、B和C的估计总体效率（ $E_{FF@A}$ 、 $E_{FF@B}$ 和 $E_{FF@C}$ ）：应估计总体功率转换效率，以计算输入功率和最大DC链路电压纹波。如果没有可用的参考数据，请使用表1中的典型效率。

- 操作点A、B和C的估计初级端效率（ $E_{FF,P}$ ）和次级端效率（ $E_{FF,S}$ ）。图8显示的是初级端和次级端效率的定义。初级端效率用于从AC线路传输至变压器初级端的功率。次级端效率用于从变压器初级端传输至电源输出的功率。

整流器二极管正向压降因其电压额定值而不会发生太大变化，所以输出整流器二极管的导通损耗在低输出电压应用中往往占主导地位。因此，初级端和次级端效率的分配随着输出电压而改变。在给定的变压器效率下，次级端和初级端效率（忽略二极管开关损耗）可由下式给出：

$$E_{FF,S} \cong E_{FF,TX} \cdot \frac{V_o^N}{V_o^N + V_F} \tag{2}$$

$$E_{FF,P} = E_{FF} / E_{FF,S} \tag{3}$$

其中， $E_{FF,TX}$ 是变压器效率，通常为0.95~0.98%； $V_o^N$ 是标称输出电压；而 $V_F$ 则是整流器二极管正向压降。

表1. 反激式转换器的典型效率

输出电压	最小 线路电压时的典型效率	
	通用输入	欧洲输入
3.3 ~ 6 V	65 ~ 70%	67 ~ 72%
6 ~ 12 V	70 ~ 77%	72 ~ 79%
12 ~ 24 V	77 ~ 82%	79 ~ 84%

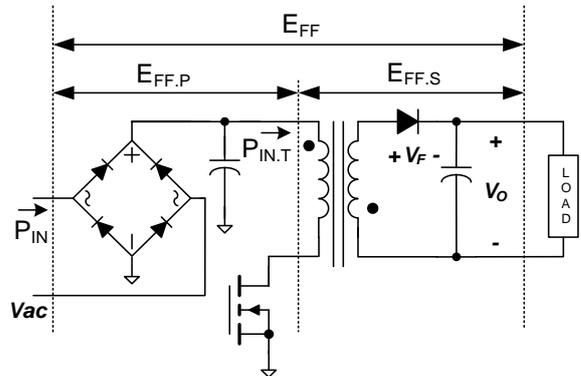


图8. 初级端和次级端效率

使用估计的总体效率，操作点A的输入功率可由下式给出：

$$P_{IN@A} = \frac{V_o^N I_o^N}{E_{FF@A}} \tag{4}$$

其中， $V_o^N$ 和 $I_o^N$ 分别是标称输出电压和电流。

操作点A的变压器输入功率可由下式给出：

$$P_{IN.T@A} = \frac{V_O^N I_O^N}{E_{FF.S@A}} \quad (5)$$

恒流模式下输出电压下降时要降低开关频率以保持DCM操作，需对输出电压进行感测。FAN302可在二极管导通结束前对辅助绕组电压采样并间接感测输出电压，如第2部分中的图4所述。随着 $V_s$ 图6采样电压下降至2.15 V以下，开关频率亦开始下降，如所示；因此，操作点B处的输出电压可由下式计算得出：

$$V_{O@B} = \frac{2.15}{V_{SH@A}} \cdot (V_O^N + V_{F.SH}) - V_{F.SH} \quad (6)$$

其中， $V_{SH@A}$ 是操作点A处的 $V_s$ 采样电压，设计时通常采用2.5 V； $V_{F.SH}$ 是 $V_s$ 采样瞬时（二极管导通时间的85%）的整流二极管正向压降，通常约为0.1 V。注意， $V_{F.SH}$ 不到 $V_F$ 的三分之一，这是因为对 $V_s$ 电压采样时二极管电流极小。

操作点B是降频起始点，该处的总体效率可由下式估算得出：

$$E_{FF@B} \cong E_{FF@A} \cdot \frac{V_{O@B}}{V_{O@B} + V_F} \cdot \frac{V_O^N + V_F}{V_O^N} \quad (7)$$

注意，该效率随恒流模式下输出电压的下降而发生变化。另外还应当估算每个操作点（B和C）的效率。

操作点B处的次级端效率可由下式估算得出：

$$E_{FF.S@B} \cong E_{FF.S@A} \cdot \frac{V_{O@B}}{V_{O@B} + V_F} \cdot \frac{V_O^N + V_F}{V_O^N} \quad (8)$$

然后，操作点B处的电源输入功率和变压器输入功率可由下式给出：

$$P_{IN@B} = \frac{V_{O@B} \cdot I_O^N}{E_{FF@B}} \quad (9)$$

$$P_{IN.T@B} = \frac{V_{O@B} \cdot I_O^N}{E_{FF.S@B}} \quad (10)$$

操作点C处的整体效率可由下式近似计算得出：

$$E_{FF@C} \cong E_{FF} \cdot \frac{V_{O@C}}{V_{O@C} + V_F} \cdot \frac{V_O^N + V_F}{V_O^N} \quad (11)$$

其中， $V_{O@C}$ 是恒流模式下操作点C处的最小输出电压。

操作点C处的次级端效率可由下式估算得出：

$$E_{FF.S@C} \cong E_{FF.S@A} \cdot \frac{V_{O@C}}{V_{O@C} + V_F} \cdot \frac{V_O^N + V_F}{V_O^N} \quad (12)$$

然后，操作点C处的电源输入功率和变压器输入功率可由下式给出：

$$P_{IN@C} = \frac{V_{O@C} \cdot I_O^N}{E_{FF@C}} \quad (13)$$

$$P_{IN.T@C} = \frac{V_{O@C} \cdot I_O^N}{E_{FF.S@C}} \quad (14)$$

#### （设计示例）

要实现最高效率，请选择正向压降为0.35 V的低压降肖特基二极管。假设低电平线路操作点A处的总体效率为73%，变压器效率为97%（标称输出电压和电流），则次级端效率可由下式获得：

$$E_{FF.S@A} \cong E_{FF.TX} \cdot \frac{V_O^N}{V_O^N + V_F} = 0.907$$

然后，操作点A处的电源和变压器输入功率可由下式获得：

$$P_{IN@A} = \frac{V_O^N I_O^N}{E_{FF@A}} = \frac{6}{0.73} = 8.22W$$

$$P_{IN.T@A} = \frac{V_O^N I_O^N}{E_{FF.S@A}} = \frac{6}{0.907} = 6.62W$$

操作点B处的效率为：

$$E_{FF@B} \cong E_{FF@A} \cdot \frac{V_{O@B}}{V_{O@B} + V_F} \cdot \frac{V_O^N + V_F}{V_O^N} = 0.722$$

$$E_{FF.S@B} \cong E_{FF.S@A} \cdot \frac{V_{O@B}}{V_{O@B} + V_F} \cdot \frac{V_O^N + V_F}{V_O^N} = 0.896$$

然后，操作点B处的电源和变压器输入功率可由下式获得：

$$P_{IN@B} = \frac{V_{O@B} I_O^N}{E_{FF@B}} = 7.07W$$

$$P_{IN.T@B} = \frac{V_{O@B} I_O^N}{E_{FF.S@B}} = 5.69W$$

操作点C处的初级端和次级端效率可由下式计算得出：

$$E_{FF@C} \cong E_{FF@A} \cdot \frac{V_{O@C}}{V_{O@C} + V_F} \cdot \frac{V_O^N + V_F}{V_O^N} = 0.610$$

$$E_{FF.S@C} \cong E_{FF.S@A} \cdot \frac{V_{O@C}}{V_{O@C} + V_F} \cdot \frac{V_O^N + V_F}{V_O^N} = 0.758$$

然后，操作点C处的电源和变压器输入功率可由下式获得：

$$P_{IN@C} = \frac{V_{O@C} \cdot I_O^N}{E_{FF@C}} = 2.46W$$

$$P_{IN.T@C} = \frac{V_{O@C} \cdot I_O^N}{E_{FF.S@C}} = 1.98W$$

## [步骤 2] 确定 DC 链路电容 ( $C_{DL}$ ) 和 DC 链路电压范围

在通用输入范围 (90–264 V<sub>AC</sub>) 内每瓦特输入功率通常选择 2–3  $\mu$ F 的直流链路电容；而在欧洲输入范围 (195–265 V<sub>rms</sub>) 内每瓦特输入功率则选择 1  $\mu$ F。选择直流链路电容后，最小 DC 链路电压可由下式获得：

$$V_{DL@A}^{\min} = \sqrt{2 \cdot (V_{LINE}^{\min})^2 - \frac{P_{IN@A}(1-D_{ch})}{C_{DL} \cdot f_L}} \quad (15)$$

其中， $V_{LINE}^{\min}$  是最小线路电压； $C_{DL}$  是直流链路电容； $f_L$  是线路频率； $D_{ch}$  是直流链路电容充电占空比（如图 9 中所定义，通常约为 0.2）。

最大直流链路电压可由下式给出：

$$V_{DL}^{\max} = \sqrt{2} \cdot V_{LINE}^{\max} \quad (16)$$

其中， $V_{LINE}^{\max}$  是最大线路电压。

最小直流链路电压及其纹波随输入功率而变化。操作点 B 处的最小输入直流链路电压可由下式给出：

$$V_{DL@B}^{\min} = \sqrt{2 \cdot (V_{LINE}^{\min})^2 - \frac{P_{IN@B}(1-D_{ch})}{C_{DL} \cdot f_L}} \quad (17)$$

操作点 C 处的最小输入直流链路电压可由下式给出：

$$V_{DL@C}^{\min} = \sqrt{2 \cdot (V_{LINE}^{\min})^2 - \frac{P_{IN@C}(1-D_{ch})}{C_{DL} \cdot f_L}} \quad (18)$$

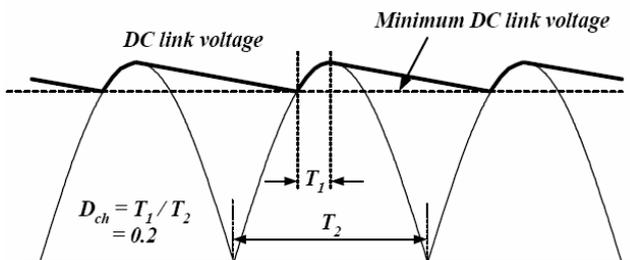


图 9. 直流链路电压波形

**(设计示例)** 通过为直流链路电容选择两个并联的 6.8  $\mu$ F 电容，各种条件下的最小和最大直流链路电压可由下式获得：

$$\begin{aligned} V_{DL@A}^{\min} &= \sqrt{2 \cdot (V_{LINE}^{\min})^2 - \frac{P_{IN@A}(1-D_{ch})}{C_{DL} \cdot f_L}} \\ &= \sqrt{2 \cdot (90)^2 - \frac{8.22(1-0.2)}{2 \cdot 6.8 \times 10^{-6} \cdot 60}} = 90V \end{aligned}$$

$$V_{DL}^{\max} = \sqrt{2} \cdot 264 = 373V$$

$$\begin{aligned} V_{DL@B}^{\min} &= \sqrt{2 \cdot (V_{LINE}^{\min})^2 - \frac{P_{IN@B}(1-D_{ch})}{C_{DL} \cdot f_L}} \\ &= \sqrt{2 \cdot (90)^2 - \frac{7.07(1-0.2)}{2 \cdot 6.8 \times 10^{-6} \cdot 60}} = 96V \end{aligned}$$

$$\begin{aligned} V_{DL@C}^{\min} &= \sqrt{2 \cdot (V_{LINE}^{\min})^2 - \frac{P_{IN@C}(1-D_{ch})}{C_{DL} \cdot f_L}} \\ &= \sqrt{2 \cdot (90)^2 - \frac{2.46(1-0.2)}{2 \cdot 6.8 \times 10^{-6} \cdot 60}} = 117V \end{aligned}$$

## [步骤 3] 确定变压器匝数比

图 10 显示了 MOSFET 漏极至源极的电压波形。MOSFET 关断时，输入 DC 链路电压 ( $V_{DL}$ ) 与反映到初级端的输出电压之和施加在 MOSFET 上，可由下式计算得出：

$$V_{DS}^{nom} = V_{DL}^{\max} + V_{RO} \quad (19)$$

其中， $V_{RO}$  是反映的输出电压，由下式定义：

$$V_{RO} = \frac{N_p}{N_s} (V_O^N + V_F) \quad (20)$$

其中， $N_p$  和  $N_s$  分别是初级端和次级端的匝数。

当 MOSFET 导通时，输出电压连同反映到次级端的输入电压一起都施加在次级端整流器二极管两端，计算公式如下：

$$V_D^{nom} = \frac{N_s}{N_p} V_{DL}^{\max} + V_O^N \quad (21)$$

正如在等式 (19)、(20) 和 (21) 中所看到的一样；增大变压器匝数比 ( $N_p / N_s$ ) 会增加 MOSFET 上的电压应力，同时会减小整流器二极管上的电压应力。因此， $N_p / N_s$  应由 MOSFET 与二极管电压应力之间的平衡来确定。

辅助绕组与次级绕组之间的变压器匝数比 ( $N_A / N_S$ ) 应通过考虑容许 IC 电源电压 ( $V_{DD}$ ) 范围来确定。 $V_{DD}$  图 11 电压因负载条件而异（如所示），其中最小  $V_{DD}$  通常在最小负载条件下出现。由于辅助绕组电压的电压过冲是由变压器漏电感引起；操作点 C 处的  $V_{DD}$  往往高于最小负载条件下的  $V_{DD}$ 。

最小负载条件下的  $V_{DD}$  可由下式获得：

$$V_{DD}^{\min} \cong \frac{N_A}{N_S} (V_O + V_F) - V_{FA} \quad (22)$$

其中， $V_{FA}$  是辅助绕组二极管的二极管正向压降。

变压器匝数比应确定为使  $V_{DD}^{\min}$  大于  $V_{DD}$  UVLO 电压，比如：

$$\frac{N_A}{N_S} (V_O + V_F) - V_{FA} > V_{UVLO}^{\max} + V_{MRGN} \quad (23)$$

由于  $V_{DD}^{\min}$  与待机功耗相关，因此  $N_A / N_S$  越小，待机功耗越低。但是，应在等式 (23) 中添加 2–3 V 裕量 ( $V_{MRGN}$ )，因为需考虑空载条件下突发模式操作引起的  $V_{DD}$  纹波。

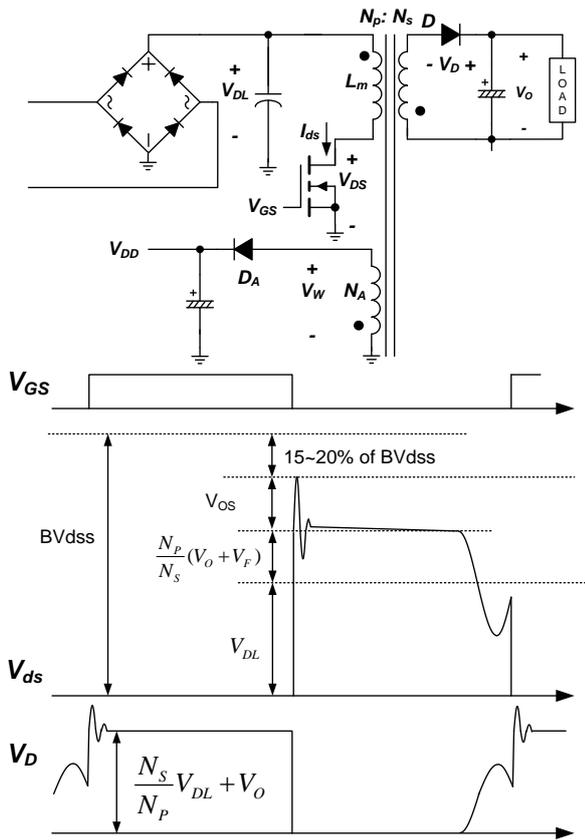


图10. MOSFET和二极管上的电压应力

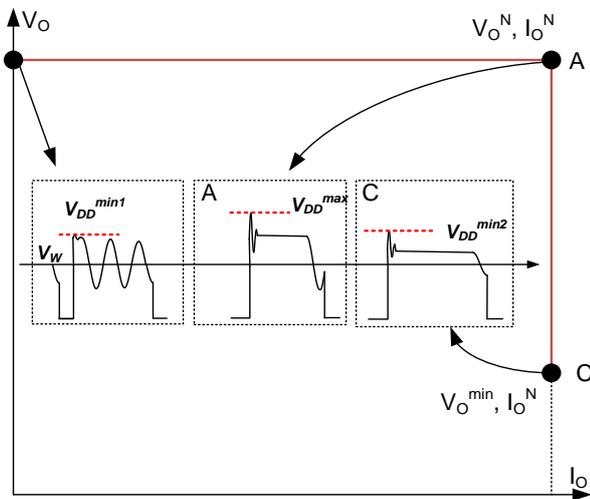


图11. V<sub>DD</sub>和绕组电压

(设计示例)

对于700 V MOSFET，要获得35%的 $V_{DS}^{nom}$ 裕量，反映输出电压应为：

$$V_{DS}^{nom} = 373 + V_{RO} < 0.65 \times 700 = 455V$$

$$\therefore V_{RO} < 82V$$

设置 $V_{RO}=71 V$ ， $N_p / N_s$ 可由下式获得：

$$\frac{N_p}{N_s} = \frac{V_{RO}}{(V_o + V_F)} = \frac{71}{5.35} = 13.27$$

然后，二极管的电压应力可由下式获得：

$$V_D^{nom} = \frac{N_s}{N_p} V_{DL}^{max} + V_o = 33.13V$$

考虑到UVLO的容差，容许的最小 $V_{DD}$ 为5.3 V。考虑到空载条件下突发操作引起的 $V_{DD}$ 电压纹波，空载条件下的 $V_{DD}$ 电压计算添加了2 V裕量，可由下式计算得出：

$$V_{DD}^{min} = \frac{N_A}{N_S} (V_o + V_F) - V_{FA} > V_{UVLO}^{max} + V_{MRGN}$$

$$\Rightarrow \frac{N_A}{N_S} (5 + 0.35) - 0.7 > 5.3 + 2$$

$$\therefore \frac{N_A}{N_S} > 1.5$$

要在空载条件下通过最大限度减小 $V_{DD}$ 实现最低功耗，则 $N_A / N_S$ 应确定为1.6。

[步骤4]设计变压器

图12显示的是MOSFET导通时间( $t_{ON}$ )、二极管电流放电时间( $t_{DIS}$ )和二极管非导通时间( $t_{OFF}$ )。就变压器设计而言，首先应确定DCM操作需要多少非导通时间( $t_{OFF}$ )。在恒流模式中，二极管电流放电时间随输出电压下降而增加。尽管 $t_{ON}$ 随输出电压下降而减少，但 $t_{ON}$ 与输出电压的平方根成正比，而 $t_{DIS}$ 与输出电压成反比。因此， $t_{ON}$ 与 $t_{DIS}$ 之和趋向于增加，从而会使 $t_{OFF}$ 减少，同时随着输出电压下降，会使固定开关频率的反激式转换器强制进入恒流模式。

因此，操作点B(降频起始点)是确定非导通时间( $t_{OFF}$ )图12)的最差情况点，如所示。 $t_{OFF}$ 应当大到能完成变压器的变压和跳频。然而， $t_{OFF}$ 过大会增加初级端电流成分中的RMS电流。通常可将 $t_{OFF}$ 设置为开关周期的15-20%。

操作点B处的 $t_{OFF}$ 一旦确定，MOSFET导通时间就可由下式获得：

$$t_{ON@B} = \frac{1/f_s - t_{OFF@B}}{\left(1 + \frac{N_S}{N_P} \cdot \frac{V_{DL@B}^{\min}}{V_{O@B} + V_F}\right)} \quad (24)$$

因此，变压器初级端电感可由下式计算得出：

$$L_m = \frac{(V_{DL@B}^{\min} \cdot t_{ON@B})^2}{2P_{IN.T@B}} \cdot f_s \quad (25)$$

变压器初级端电感一旦确定，就应当检查操作点C处的DCM操作。为防止恒流模式操作，输出电压下降时FAN302会降低开关频率，如图13所示。最小输出电压时的开关频率可由下式获得：

$$f_{S@C} = f_s - \frac{\Delta f_s}{\Delta V_{SH}} (2.15 - V_{SH@A} \cdot \frac{V_{O@C} + V_{F.SH}}{V_O^N + V_{F.SH}}) \quad (26)$$

其中，对于UL版本和HL版本， $\Delta f_s / \Delta V_{SH}$ 分别为64 kHz / V和38 kHz / V， $V_{F.SH}$ 是 $V_S$ 采样瞬时（二极管导通时间的85%）的整流二极管正向电压降。

然后，操作点C处的MOSFET导通时间可由下式给出：

$$t_{ON@C} = \frac{1}{V_{DL@C}^{\min}} \sqrt{\frac{2P_{IN.T@C} L_m}{f_{S@C}}} \quad (27)$$

操作点C处的非导通时间可由下式给出：

$$t_{OFF@C} = \frac{1}{f_{S@C}} - t_{ON@C} \left(1 + \frac{N_S}{N_P} \cdot \frac{V_{DL@C}^{\min}}{V_{O@C} + V_F}\right) \quad (28)$$

考虑到变压器的变压和跳频，非导通时间应大于开关周期的15%。

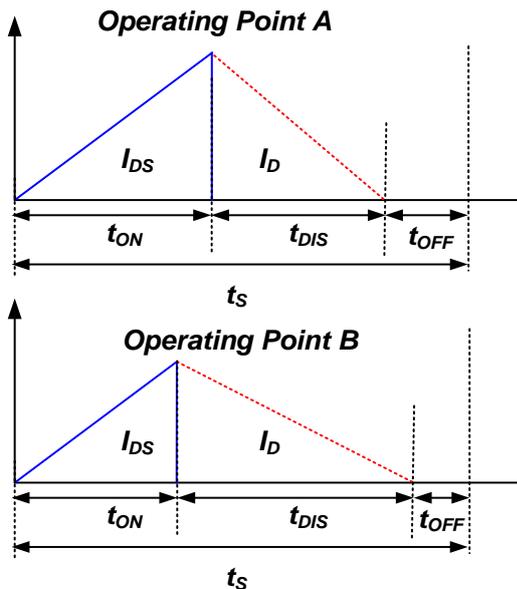


图12.  $t_{ON}$ 、 $t_D$ 和 $t_{OFF}$ 的变化

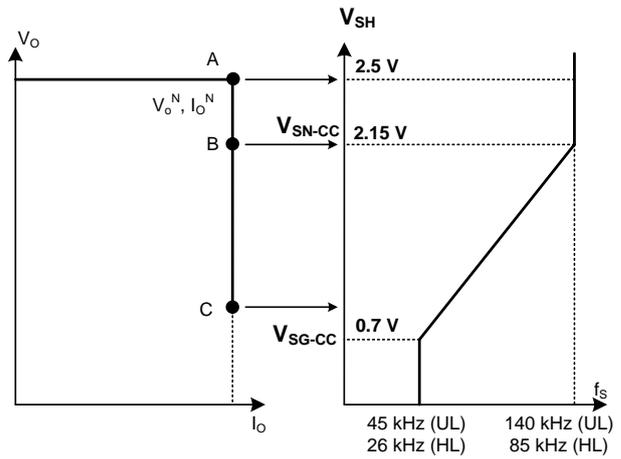


图13. 恒流模式下的降频

变压器初级端电感一旦获得，即可在标称输出条件（操作点A）下计算得出最大峰值漏极电流：

$$I_{DS}^{PK} = \sqrt{\frac{2P_{IN.T@A}}{L_m \cdot f_s}} \quad (29)$$

可避免磁芯饱和的变压器初级端最小匝数可由下式给出：

$$N_P^{\min} = \frac{L_m I_{DS}^{PK}}{B_{sat} A_e} \quad (30)$$

其中， $A_e$ 为磁芯横截面积（单位：平方米）， $B_{sat}$ 图14为饱和通量密度（单位：特斯拉）。显示的是TDK (PC40) 铁氧体磁芯的典型特性。由于饱和通量密度( $B_{sat}$ )随温度升高而减小，因此应考虑高温特性，特别是对于封闭情况下的充电器应用。如果没有参考数据，请使用 $B_{sat}=0.25\sim 0.3T$ 。用步骤3中获得的匝数比确定 $N_S$ 的正确整数，以便 $N_P$ 的结果大于从等式(30)中获得的 $N_P^{\min}$ 。

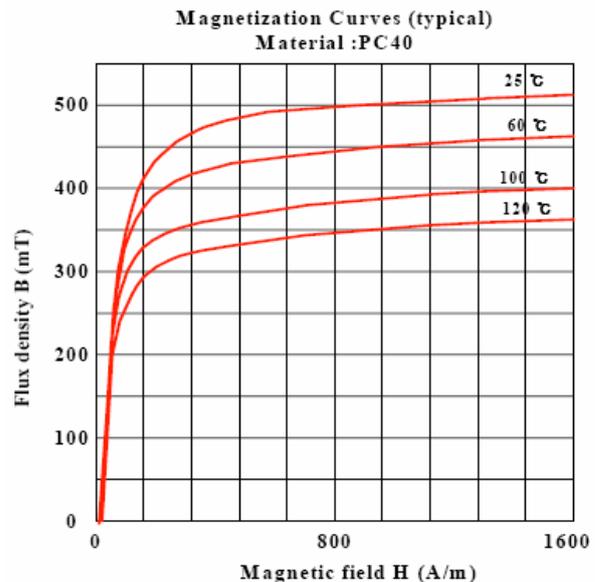


图14. 铁氧体磁芯 (TDK/PC40) 的典型B-H曲线



关于 $R_{VS1}$ 设计的建议是，对 $R_{VS1}$ 进行设置使图16中的最小导通曲线能完全为通用线路范围所利用。通常选择 $R_{VS1}$ ，这样 $I_{VS.ON}$ 就约为180  $\mu$ A，可实现最小的线路电压。

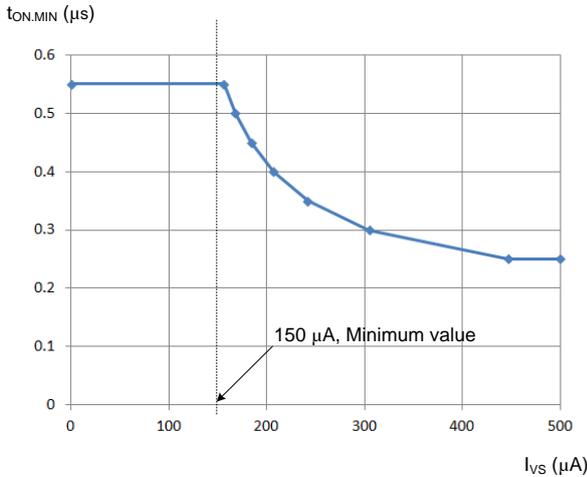


图16. 最小导通时间与 VS引脚电流 (UL)

建议将22~68 pF的旁路电容紧密地放置在VS与GND引脚之间，以避免开关噪声。电容过大会使 $V_S$ 电压失真，使输出电流调节性能下降。旁路电容和分压电阻的RC时间常量应小于开关周期的10%，可由下式给出：

$$\tau_{RC} = (R_{VS1} // R_{VS2}) \cdot C_{VS} < \frac{1}{10f_S} \quad (34)$$

(设计示例) 感测电阻可由下式获得：

$$R_{CS} = \frac{N_P \times V_{CCR}}{2N_S I_O^N \times K} = \frac{66 \times 2.43}{2 \times 5 \times 1.2 \times 12} = 1.1 \Omega$$

注意，根据实际原型电源的测试结果，最终原理图中的感测电阻被微调至1.2  $\Omega$ 。

分压网络可确定如下：

$$\frac{R_{VS1}}{R_{VS2}} = \left( \frac{N_A}{N_S} \cdot \frac{V_O + V_{F.SH}}{2.5} - 1 \right) = \left( \frac{8}{5} \cdot \frac{5 + 0.1}{2.5} - 1 \right) = 2.26$$

要将 $I_{VS.ON}$ 设置为约180  $\mu$ A以实现最少DC链路，则按下式计算 $R_{VS1}$ ：

$$I_{VS.ON} = \left( \frac{N_A}{N_P} V_{DL} + 0.7 \right) \frac{1}{R_{VS1}} + \frac{0.7}{R_{VS2}} = 180 \mu A$$

$$R_{VS1} = \frac{\left( \frac{N_A}{N_P} \sqrt{2} \cdot 90 + 0.7 \right) + 0.7 \times 2.26}{180 \mu A} = 98 k\Omega$$

通过设置 $R_{VS1}=91$  k $\Omega$ ，可算得 $R_{VS2}$ 值为40 k $\Omega$ 。

旁路电容应当为：

$$C_{VS} < \frac{1}{10f_S (R_{VS1} // R_{VS2})} = 26 pF$$

因此，针对 $C_{VS}$ 可选择22 pF电容。

## [步骤6]设计初级端的RCD箝位电路

反激式转换器中的MOSFET关断时，MOSFET上会因变压器漏电感而产生高压尖峰。这种过大的电压可能导致雪崩击穿，并最终导致MOSFET出现故障。因此，RCD箝位电路必须限制电压，如图17所示。电压过冲( $V_{OS}$ )与箝位电路的功耗有关。电压过冲设置过低可能导致箝位电路功耗极高。对于合理的箝位电路设计，电压过冲( $V_{OS}$ )通常是反映输出电压的1~2倍。

通常最大的MOSFET电压应力相比击穿电压留有余量10~20%的。MOSFET的最大电压应力可由下式给出：

$$V_{DS}^{max} = V_{DL}^{max} + V_{RO} + V_{OS} \quad (35)$$

当MOSFET的漏极电压达到节点X的电压(DC链路电压与箝位电容电压的总和)时，箝位二极管将接通，以限制漏极电压。据推测，箝位电容已经足够大，以致其电压在一个转换周期内不会发生太大变化。

对于漏电感能量远远大于MOSFET有效输出电容中存储能量的中等功率和高功率应用，通常会在设计箝位电路时忽略MOSFET的输出电容。然而，对于漏电感能量几乎等于(或小于)MOSFET有效输出电容中存储能量的低功率应用，应针对箝位电路设计考虑MOSFET的输出电容。特别是对于小于10 W的低功率应用，变压器通常具有大量匝数，从而导致绕组间电容较大。这大大提高了MOSFET的有效输出电容，从而影响了箝位电路的操作。

考虑到MOSFET输出电容的负载效应，箝位电路的峰值电流可由下式给出：

$$I_{CL}^{PK} = \sqrt{(I_{DS}^{PK})^2 - \frac{C_{OSS}}{L_{LK}} V_{OS}^2} \quad (36)$$

其中， $V_{OS}$ 为漏极电压的电压过冲，如图17所示。

RCD网络的功耗可由下式给出：

$$P_{CLMP} = \frac{1}{2} f_S L_{LK} (I_{CL}^{PK})^2 \frac{V_{RO} + V_{OS}}{V_{OS}} \quad (37)$$

其中， $I_{CL}^{PK}$ 是满载时的峰值箝位二极管电流； $L_{LK}$ 是漏电感。

获得缓冲器的功耗后，缓冲器电阻可由下式计算得出：

$$R_{CL} = \frac{(V_{RO} + V_{OS})^2}{P_{CLMP}} \quad (38)$$

其中， $R_{CL}$ 是箝位电阻。

箝位电容电压的最大纹波可由下式获得：

$$\Delta V_{CL} = \frac{V_{RO} + V_{OS}}{C_{CL} R_{CL} f_s} \quad (39)$$

一般而言，所选电容电压5~10%的纹波是合理的。箝位电容应为陶瓷材料或能够提供低ESR的材料。电解或钽电容是不可接受的。

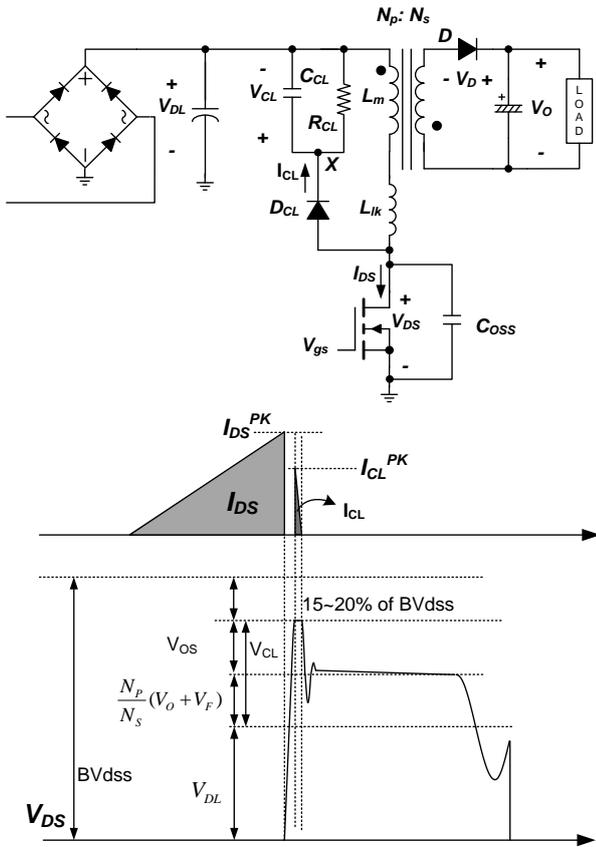


图17. RCD箝位电路和波形

使用LCR测量仪测量的漏电感往往大于实际有效漏电感。此外，MOSFET的有效输出电容很难测量。准确地获得这些参数的最佳方式是使用漏极电压波形，如图18所示。由于可用LCR测量仪测得 $L_m$ ，因此根据测得的谐振周期可计算得出 $C_{OSS}$ 和 $L_{LK}$ 。

在本节的箝位设计中，电感器的损耗放电和杂散电容尚未考虑。在实际转换器中，由于这点影响，箝位网络中的损耗小于设计值。

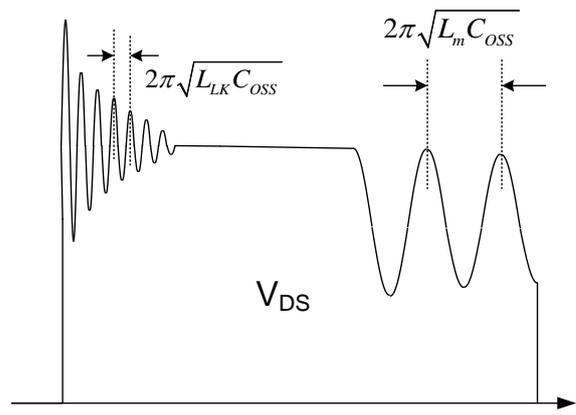


图18. 漏极电压波形

(设计示例) 假设使用700 V MOSFET，则可限制低于600 V的最大漏极电压的电压过冲为：

$$V_{OS} < 600V - V_{DL}^{max} - V_{RO} = 156$$

漏电感和MOSFET的有效输出电容根据谐振波形可计算得出，分别为18 μH和55 pF。

箝位二极管的峰值电流可由下式获得：

$$I_{CL}^{PK} = \sqrt{(I_{DS}^{PK})^2 - \frac{C_{OSS}}{L_{LK}} V_{OS}^2} = 325mA$$

箝位电路中的功耗可由下式获得：

$$P_{CLMP} = \frac{1}{2} f_s L_{LK} (I_{CL}^{PK})^2 \frac{V_{RO} + V_{OS}}{V_{OS}} = 0.194W$$

然后，箝位电路电阻可由下式计算得出：

$$R_{CL} = \frac{(V_{RO} + V_{OS})^2}{P_{CLMP}} = 263k\Omega$$

由于电感器和电容器杂散电阻的损耗，实际漏极电压可能低于设计值。在电源真正构建好之后，电阻值可以进行调整。

要在箝位电容电压上实现低于15 V的纹波，则箝位电容应当为：

$$C_{CL} > \frac{V_{RO} + V_{OS}}{C_{CL} \Delta V_{CL} f_s} = 410pF$$

选择470 pF的电容。

[步骤 7] 计算开关器件的电压和电流

**初级端MOSFET：** 在步骤6中确定变压器匝数比时，已对MOSFET的电压应力进行了讨论。MOSFET的最大电压应力在等式(35)中给出。

通过MOSFET的均方根电流可由下式给出：

$$I_{DS}^{rms} = I_{DS}^{PK} \sqrt{\frac{I_{ON@A} f_s}{3}} \quad (40)$$

其中,  $t_{ON}$  是MOSFET导通时间最小输入电压和最大负载条件, 可由下式给出:

$$t_{ON} = \frac{1}{V_{DL}^{\min}} \sqrt{\frac{2P_{INT@A} L_m}{f_s}} \quad (41)$$

**次级端二极管:** 二极管的标称反向电压在等式(21)中给出。

整流器二极管的均方根电流可由下式获得:

$$I_D^{rms} = I_{DS}^{PK} \cdot \frac{N_p}{N_s} \sqrt{\frac{t_{DIS@A} \cdot f_s}{3}} \quad (42)$$

**(设计示例)** MOSFET上的最大电压可由下式计算得出:

$$V_{ds}^{\max} = V_{DL}^{\max} + V_{RO} + V_{OS} = 373 + 71 + 155 = 599V$$

通过MOSFET的均方根电流为:

$$I_{DS}^{rms} = I_{DS}^{PK} \sqrt{\frac{t_{ON} f_s}{3}} = 0.14A$$

二极管电压和电流可由下式获得:

$$V_D = V_O + \frac{N_s}{N_p} V_{DL}^{\max} = 5 + \frac{5}{66} \cdot 373 = 33.1V$$

$$I_D^{rms} = I_{DS}^{PK} \cdot \frac{N_p}{N_s} \sqrt{\frac{t_{DIS@A} \cdot f_s}{3}} = 2.14A$$

## [步骤8] 确定输出滤波级

电容电流的峰间纹波可由下式给出:

$$\Delta I_C = \frac{N_p}{N_s} I_{DS}^{PK} \quad (43)$$

输出的电压纹波可由下式给出:

$$\Delta V_O = \frac{t_{DIS@A}}{2C_O} \cdot \frac{(\Delta I_C - I_O^N)^2}{\Delta I_C} + \Delta I_C \cdot R_C \quad (44)$$

由于电解电容或钽电容具有高ESR, 因此有时用单输出电容无法满足纹波规格要求。可以使用附加LC滤波级(后置滤波器)。使用后置滤波器时, 请勿将转角频率设置得过低。如果转折频率过低, 容易使系统不稳定, 或者限制控制带宽。通常将后置滤波器的转角频率设置为开关频率的1/10~1/5左右。

**(设计示例)** 假设输出电容采用330  $\mu F$  钽电容 (ESR为100 m $\Omega$ ), 则输出端的电压纹波为:

$$\Delta I_C = \frac{N_p}{N_s} I_{DS}^{PK} = 5.59A$$

$$\Delta V_O = \frac{t_{DIS@A}}{2C_O} \cdot \frac{(\Delta I_C - I_O^N)^2}{\Delta I_C} + \Delta I_C \cdot R_C = 0.592V$$

由于输出电压纹波超出100 mV规格, 因此需使用后置LC滤波器。针对后置LC滤波器可选用两个330  $\mu F$

电容和一个1.8  $\mu H$  电感。因此, LC滤波器的截止频率为9.2 kHz。

## [步骤9] 完成二极管的RC缓冲器设计

初级端MOSFET导通时, 次级端二极管上会发生严重的电压振荡, 如图19所示。这是由二极管寄生电容( $C_D$ )与变压器次级端漏电感( $L_{LKS}$ )之间的振荡造成的。要减少振荡, 通常使用RC缓冲器, 如图19所示。要将减幅有效引入谐振电路, RC缓冲器的参数应为:

$$R_{SNB} = \sqrt{\frac{L_{LKS}}{C_D}} \quad (45)$$

$$C_{SNB} = 2 \sim 3 \text{ times of } C_D \quad (46)$$

次级端漏电感和二极管寄生电容用LCR测量仪很难测量。最佳方式是在二极管上使用测试电容。首先, 在二极管未连接任何器件的情况下测量自然谐振周期( $t_R$ )。然后, 在二极管上添加一个测试电容( $C_{TST}$ ), 使测试谐振周期( $t_{RT}$ )成为其原始值的两倍左右, 然后测量测试谐振周期。根据测得的 $t_R$ 、 $t_{RT}$ 和 $C_{TST}$ , 谐振参数可由下式计算得出:

$$C_D = C_{TST} / [(\frac{t_{RT}}{t_R})^2 - 1] \quad (47)$$

$$L_{LKS} = (\frac{t_R}{2\pi})^2 \frac{1}{C_D} \quad (48)$$

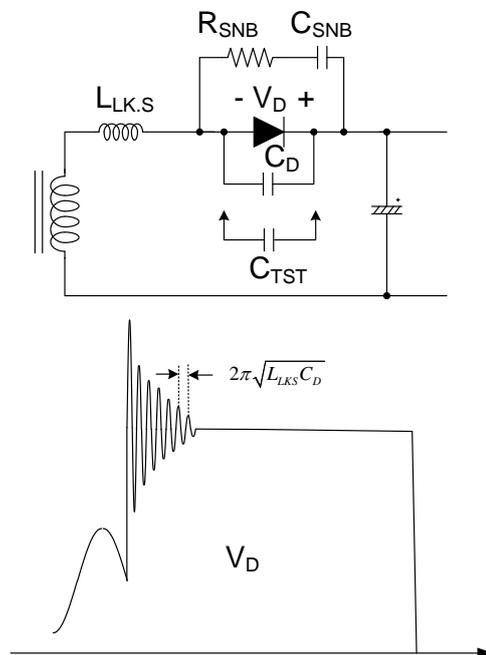


图19. 二极管电压波形

(设计示例) 测得的原始谐振周期为 $t_r=25\text{ ns}$ 。

使用1 nF测试电容, 测得的谐振周期为 $t_{RT}=25\text{ ns}$ 。

然后, 谐振参数可由下式获得:

$$C_D = C_{TST} / [(\frac{t_{RT}}{t_r})^2 - 1] = 395\text{ pF}$$

$$L_{LKS} = (\frac{t_{RT}}{2\pi})^2 \frac{1}{C_D} = 40\text{ nH}$$

缓冲电路参数可由下式计算得出:

$$R_{SNB} = \sqrt{\frac{L_{LKS}}{C_D}} = 10\Omega, \quad C_{SNB} = 2.5C_D = 1\text{ nF}$$

### [步骤10] 设计反馈环路

由于FAN302利用峰值电流模式控制在DCM下控制反激式转换器, 功率级的控制与输出传递函数可由下式给出:

$$\frac{\hat{v}_o}{\hat{v}_{FB}} = G_V \cdot \frac{1+s/\omega_Z}{1+s/\omega_P} \quad (49)$$

其中,  $\omega_p = \frac{2}{R_L C_{OUT}}$ ;  $\omega_Z = \frac{1}{R_{ES} C_{OUT}}$ ;  $C_{OUT}$ 是等效输出电容;  $R_{ES}$ 是输出电容的等效串联电阻。

等式(49)的增益 $G_V$ 定义为:

$$G_V = \frac{1}{3} \cdot \frac{m}{m+m_a} \cdot \frac{V_o^N}{R_{CS} I_{DS}} \quad (50)$$

其中, 反馈电压的衰减系数为1/3;  $I_{DS}$ 是给定工作条件下的峰值漏电流;  $m_a$ 是斜率补偿信号的斜率;  $m$ 是电流感测信号的斜率, 可由下式给出:

$$m = \frac{V_{DL} \cdot R_{CS}}{L_m} \quad (51)$$

注意, 高压线路的斜率补偿效应较弱, 从而增加了控制与输出传递函数的增益。因此, 高压线路是反馈环路设计的最差情况。

由于控制与输出传递函数是一阶函数, 采用单极点和单零点补偿电路即可实现反馈控制环路, 如图20所示。补偿网络的传递函数可由下式给出:

$$\frac{\hat{v}_{EA}}{\hat{v}_o} = \frac{\omega_I}{s} \cdot \frac{(s/\omega_{CZ1} + 1)}{(s/\omega_{CP1} + 1)} \quad (52)$$

其中,  $\omega_I = \frac{R_{FB}}{R_{F1} R_{bias} C_{FR}}$ ;  $\omega_{CZ1} = \frac{1}{(R_{FR} + R_{F1}) C_{FR}}$

; 且  $\omega_{CP1} = \frac{1}{R_{FB} C_{FB}}$ 。

注意, 光电耦合器会因集电极-发射极结点电容而产生中频极点。由于光电晶体管中的集电极-基极结作用作光检测器, 因此其面积相对较大, 会产生较大的集电极-发射极结点有效电容。对于光电耦合器FOD817A而言, 集电极-发射极结点电容的典型值约为3-10 nF, 产生大约1 kHz的极点以及42 kΩ的偏置电阻, 如图20所示。该极点可在所需的交叉频率附近出现, 使系统变得不稳定。因此, 设计补偿网络时, 需考虑到这一额外极点。

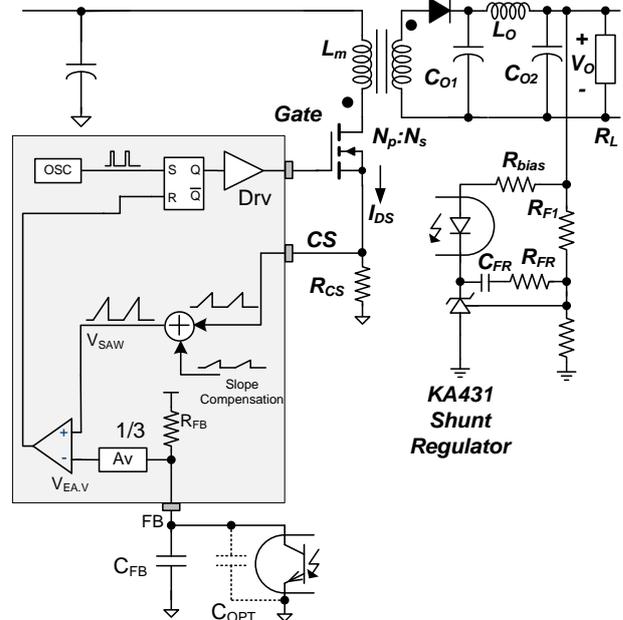


图20. 反馈环路电路

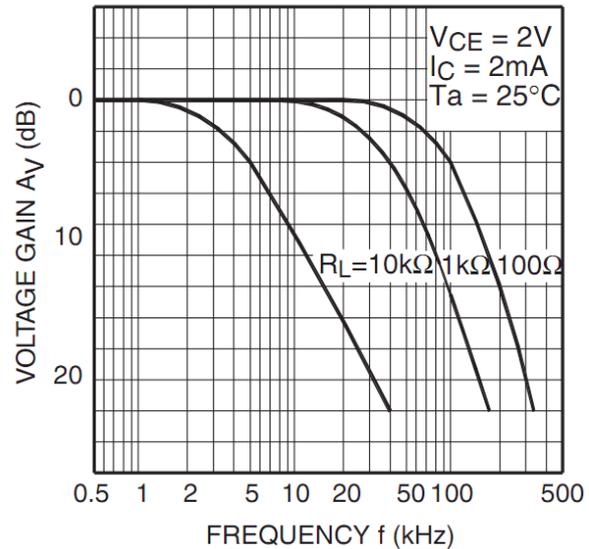
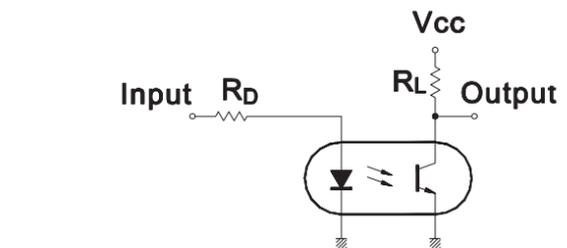


图21. 光电耦合器的频率响应

**（设计示例）**在步骤8中，后置LC滤波器采用两个330 μF电容和一个1.8 μH电感的设计。由于后置LC滤波器的谐振频率为9.2 kHz，反馈环路的带宽应低于截止频率的1/3，以使后置LC滤波器造成的相位下降程度最低。因此，反馈环路的带宽取值为3 kHz左右。

为简化分析，忽略后置滤波器的电感，因为带宽低于后置LC滤波器的截止频率。有效输出电容及其有效串联电阻可由下式给出：

$$C_{OUT} = 330\mu F \times 2 = 660\mu F$$

$$R_{ES} = 100m\Omega / 2 = 50m\Omega$$

高压线路的电流感测信号斜率可由下式获得：

$$m = \frac{V_{DL} \cdot R_{CS}}{L_m} = \frac{373V \cdot 1.2}{530\mu H} = 0.845V / \mu s$$

内部斜率补偿的斜率可由下式获得：

$$m_a = \frac{0.3V}{1/f_s \times D_{max}} = \frac{0.3V}{7.14\mu s \times 0.64} = 0.066V / \mu s$$

然后，高压线路最大负载条件下的增益G<sub>V</sub>可由下式获得：

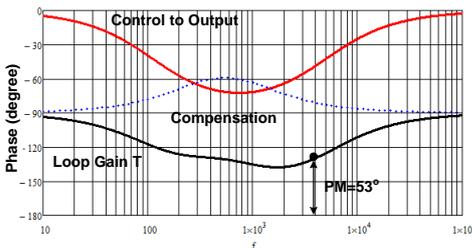
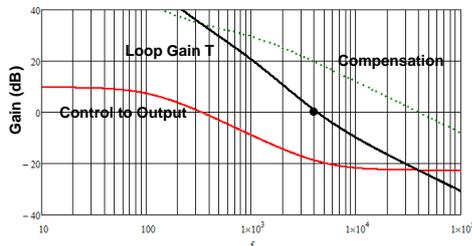
$$G_V = \frac{1}{3} \cdot \frac{m}{m + m_a} \cdot \frac{V_O^N}{R_{CS} I_{DS}^{PK}} = 3$$

系统极点和零点可由下式获得：

$$\omega_p = \frac{2}{R_L C_{OUT}} = 727 \text{ rad} / s$$

$$\omega_z = \frac{1}{R_{ES} C_{OUT}} = 30,300 \text{ rad} / s$$

根据R<sub>f</sub>=0 Ω、C<sub>FR</sub>=10 nF、R<sub>bias</sub>=1 kΩ、R<sub>F1</sub>=50 kΩ、C<sub>FB</sub>=4nF（包括光电晶体管的输出电容）、R<sub>FB</sub>=42 kΩ，可得到53°相位裕量的3 kHz带宽。对于C<sub>FB</sub>，光电晶体管的输出电容假定为3 nF，使用1 nF外部电容。



**[步骤11] 选择HV引脚的启动电阻**

图22显示的是适用于FAN302应用的高压 (HV) 启动电路。从内部来看，JFET用于实现高压电流源，其特性如图23所示。从技术上讲，HV引脚可直接连接到DC链路 (V<sub>DL</sub>)。然而，要提高可靠性和浪涌抗扰度，通常在HV引脚与DC链路之间使用~100 kΩ电阻。具有给定DC链路电压和启动电阻的实际HV电流由V-I特性线路和负载线路的交点确定，如图23所示。

在启动期间，内部启动电路启用而且DC链路可提供电流I<sub>HV</sub>，对保持电容C<sub>DD</sub>进行充电（通过R<sub>HV</sub>实现）。V<sub>DD</sub>电压达到V<sub>DD-ON</sub>时，内部HV启动电路禁用且IC会开始PWM开关。HV启动电路禁用后，C<sub>DD</sub>中存储的能量应提供IC工作电流，直至变压器辅助绕组电压达到标称值。因此，C<sub>DD</sub>应合理设计，以防止V<sub>DD</sub>在辅助绕组形成可提供V<sub>DD</sub>的足够电压之前降至V<sub>DD-OFF</sub>。

具有给定C<sub>DD</sub>电容的启动时间可由下式给出：

$$t_{start} = \frac{C_{DD} V_{DD.ON}}{(I_{HV} - I_{DD-ST})} \tag{53}$$

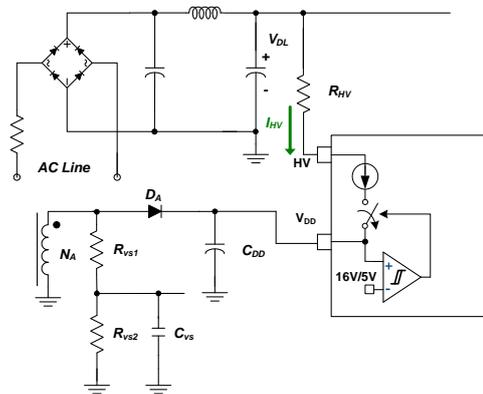


图22. HV启动电路

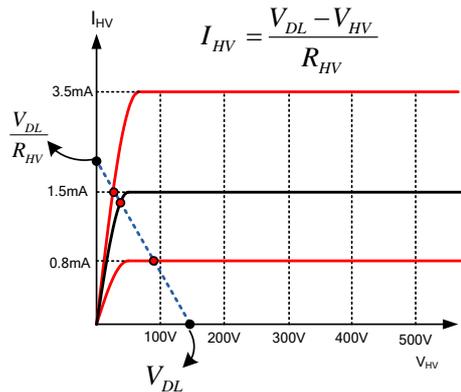


图23. HV引脚的V-I特性

**（设计示例）**有了100 kΩ HV电阻和33 μF V<sub>DD</sub>电容，最大启动时间为：

$$t_{start} = \frac{C_{DD} V_{DD.ON}}{(I_{HV} - I_{DD-ST})} = \frac{33\mu \cdot 16V}{0.8mA - 0.4mA} = 1.32s$$

## [步骤12] 保护设置

### 输出过压保护 (OVP):

在步骤5中，确定了VS的分压器，以使VS采样电压在正常工作时约为2.5 V。分压器还可确定输出过压保护(OVP)电平。VS采样电压大于2.8 V时会触发OVP。OVP跳变点可由下式给出：

$$V_O^{OVP} = 2.8 \frac{N_S}{N_A} \frac{R_{VS1} + R_{VS2}}{R_{VS2}} - V_{F.SH} \quad (54)$$

### 逐脉冲限流:

由于FAN302采用了电流模式控制，MOSFET漏电流在正常工作时可由误差放大器输出正确调节。负载瞬态或异常条件下（如输出短路），误差放大器可饱和至高电平，漏电流通过逐脉冲限流调节，当电流感测电压达到0.7 V时，便会强制关断MOSFET栅极。逐脉冲限

流模式下，应检查变压器通量密度，确保通量密度低于0.4~0.42T，以防磁芯过度饱和。

$$B_{MAX}^{OCP} = \frac{L_m V_{STH} / R_{CS}}{N_p A_e} \quad (55)$$

**(设计示例)** 根据步骤5中的91 kΩ和40 kΩ（分别针对 $R_{VS1}$ 和 $R_{VS2}$ ），OVP跳变点可由下式获得：

$$V_O^{OVP} = 2.8 \frac{N_S}{N_A} \frac{R_{VS1} + R_{VS2}}{R_{VS2}} - V_{F.SH} = 5.63V$$

逐脉冲限流期间的通量密度可由下式给出：

$$B_{MAX}^{OCP} = \frac{L_m V_{STH} / R_{CS}}{N_p A_e} = 0.36T$$

## 5. PCB布局指南

印刷电路板 (PCB) 的布局和设计对于电压和电流随高  $dv/dt$  和  $di/dt$  而变化的开关电源来说非常重要。良好的 PCB 布局可最大限度减少过多的电磁干扰 (EMI)，并可防止电源在浪涌/ESD 测试期间中断。以下是建议的布局设计指南。

- 要提高 EMI 性能和减少线路频率纹波，桥式整流器的输出应首先连接至电容  $C_{DL2}$  和  $C_{DL1}$ ，然后再连接至变压器和 MOSFET。
- 初级端高频电流环路为  $C_{DL2}$  - 变压器 - MOSFET -  $R_{CS}$  -  $C_{DL2}$ 。该电流环路包围的面积应尽可能的小。控制信号 (FB、CS 和 GATE) 的走线不得穿过此初级端高频电流环路，以避免干扰。
- 放置  $R_{HV}$ ，以防止 HV 引脚上的涌入尖峰 (建议使用 100 k $\Omega$ )。
- $R_{CS}$  应直接连接  $C_{DL2}$  的地线。保持短而宽的走线 (线路 4 $\rightarrow$ 1)，并将其放置在 CS 引脚附近，以降低开关噪声。与 MOSFET 漏极以及 RCD 缓冲器有关的高压走线应远离控制电路，以防止不必要的干扰。如果散热片用于 MOSFET，则将此散热片连接到地线。
- 如 2 所示，由变压器辅助绕组、 $D_{DD}$  和  $C_{DD}$  封闭的面积应尽可能小。
- 将  $C_{DD}$ 、 $C_S$ 、 $R_{S2}$ 、 $C_{FB}$  和  $R_{BF}$  放置在控制器附近，以实现良好的去耦效果，并降低开关噪声。
- 如 3 所示，控制电路的地线应先连接在一个单点上，然后再连接到其他电路。
- 以 3 $\rightarrow$ 2 $\rightarrow$ 4 $\rightarrow$ 1 的顺序连接地线。这有助于避免常见的感测信号阻抗干扰。
- 关于 ESD 放电路径：在交流线路与直流输出之间使用快捷垫 (推荐)。另一个方法是通过初级端主接地将 ESD 能量排放至交流线路 1。因为 ESD 能量通过变压器杂散电容或 Y 电容从次级端向初级端传送，所以控制器电路不应放置在放电路径上。5 显示的是可放置尖端放电路由以有效绕过静电能量的位置。
- 对于浪涌路径，选择可减小涌入电流和浪涌能量的绕线型可熔电阻。使用  $\pi$  输入滤波器 (两个大电容和一个电感) 共享浪涌能量。

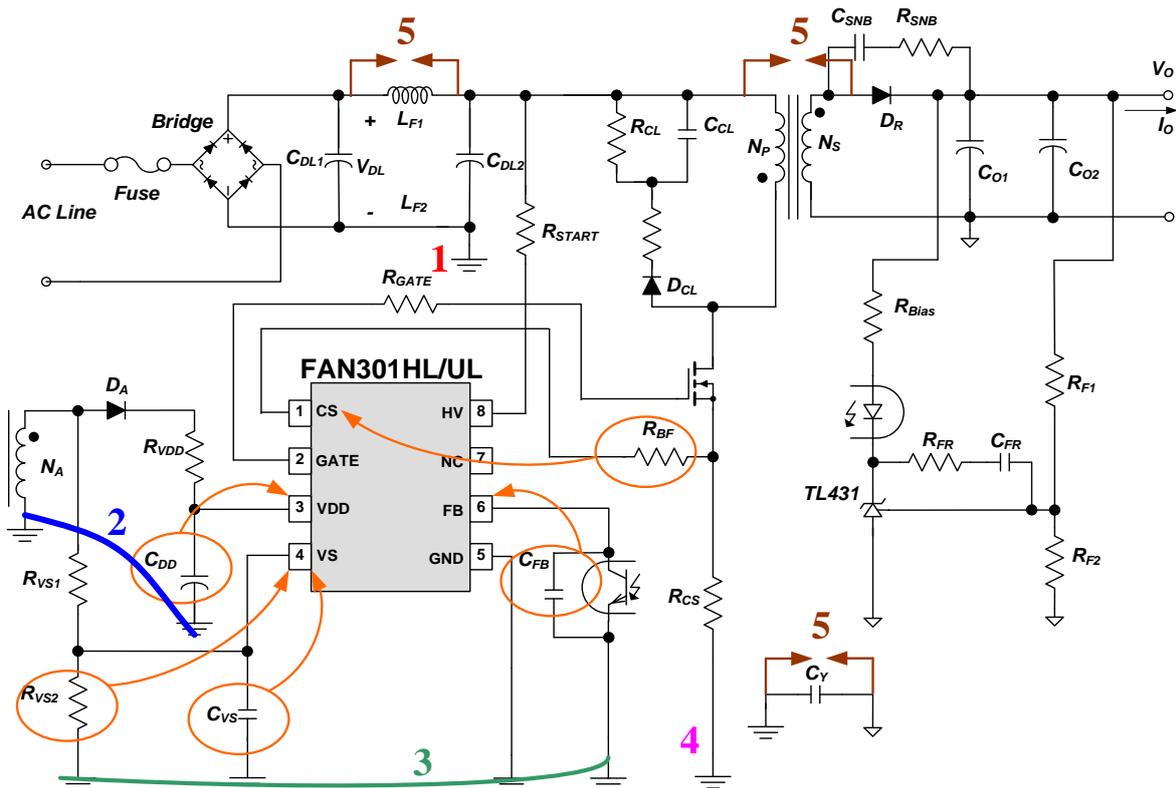


图24. 推荐布局

## 6. 设计示例的最终原理图

图25显示的是6 W充电器设计实例的最终原理图。EI12.5磁芯用于变压器。图26显示的是变压器绕组结构。图27和图28显示的是PCB布局。

- 根据实际电源的测试结果，箱位电路电阻R10调整至390 kΩ。
- 注意，根据实际原型电源的测试结果，感测电阻微调至1.2 Ω。

### 设计说明

- 用LCR测量仪测得的漏电感为52 μH。用测得的谐振周期进行计算，得到18 μH的有效漏电感

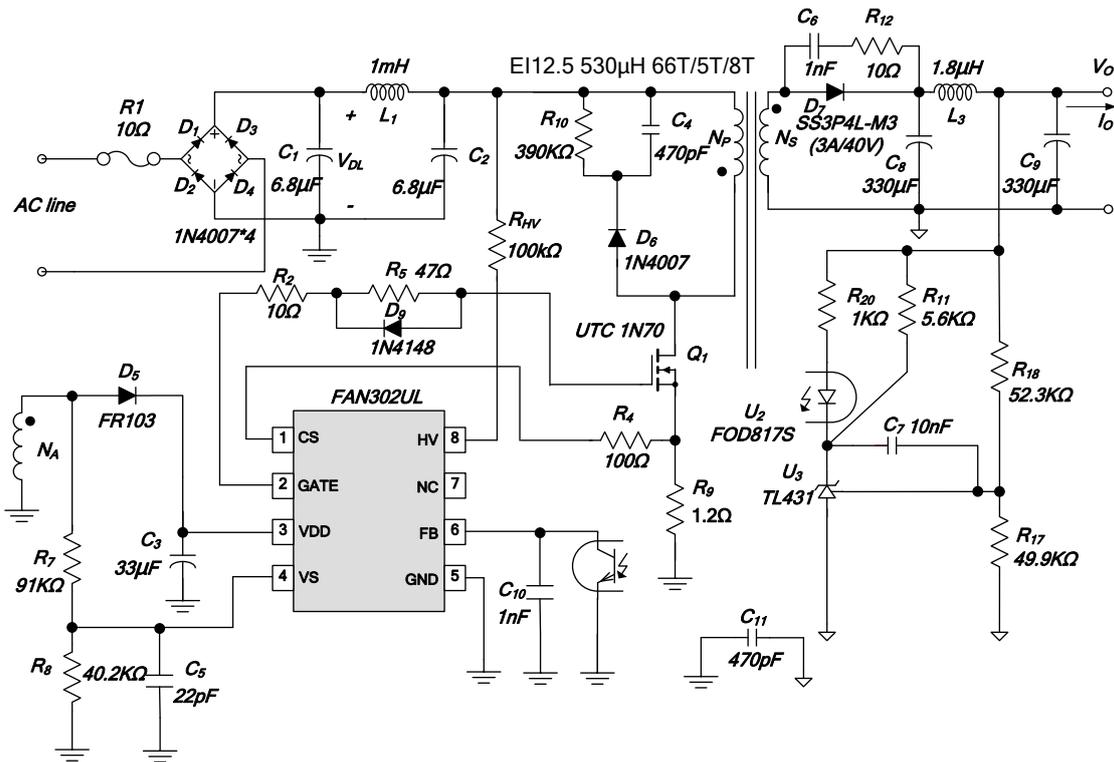


图25. FAN302UL 6W设计实例的最终原理图

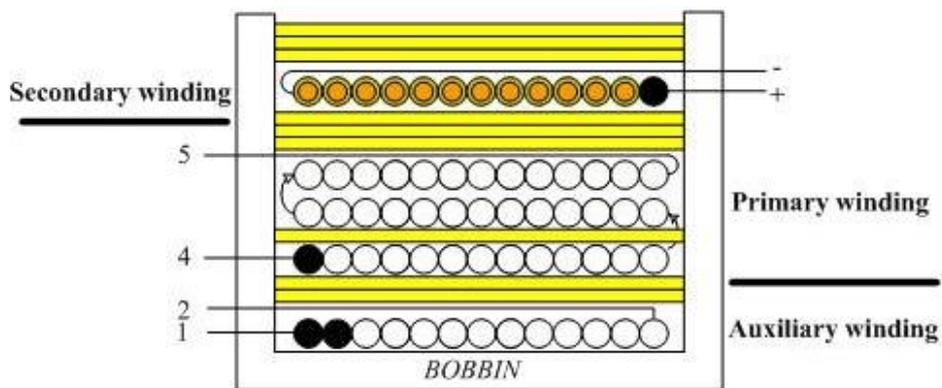


图26. 变压器绕组结构

- 磁芯：EI12.5，线架：EI12.5。
- W1是一层中的空间绕组。
- W2由匝数不同的三层组成。每层匝数如下。
- W3由具有三层绝缘导线的两层组成。正极和负极引脚；飞线长度分别为3.5 cm和2.5 cm。

否	端子		绕线	匝数	绝缘
	起始引脚	终结引脚			匝数
W1	1	2	2UEW 0.15*2	8	2
W2	4	5	2UEW 0.12*1	22	0
				22	1
				22	3
W3	Fly+	Fly-	TEX-E 0.4*1	5	3

	引脚	规格	备注
初级端电感	4-5	530 $\mu\text{H} \pm 7\%$	100 kHz, 1 V
初级端有效漏电感	4-5	52 $\mu\text{H} \pm 5\%$	次级绕组较短

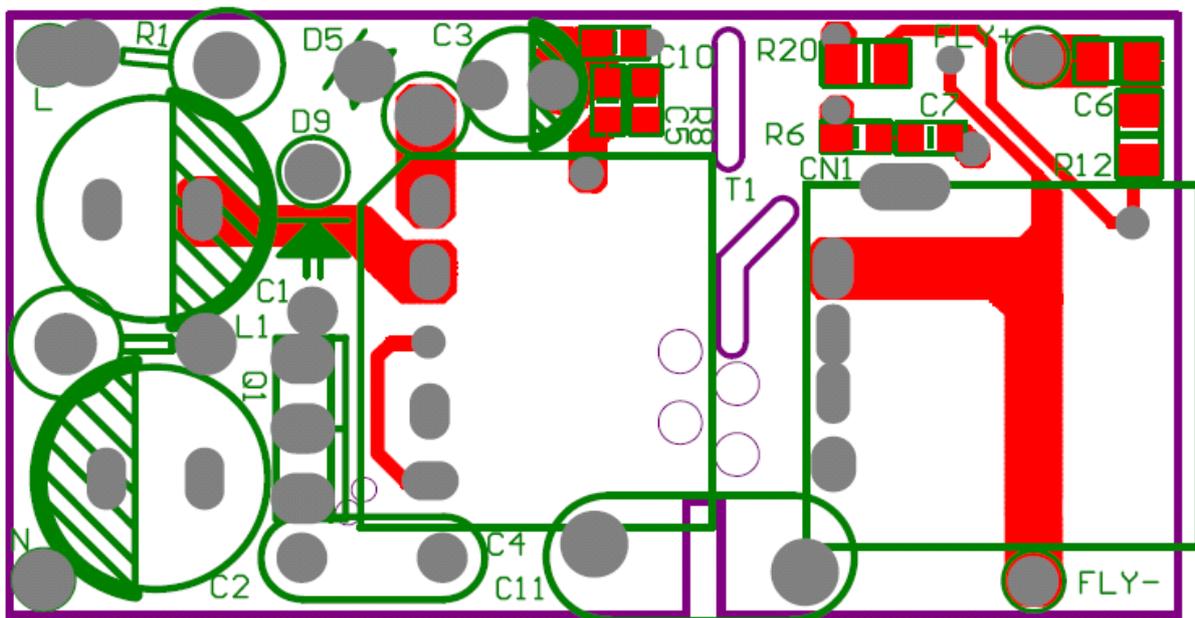


图27. PCB正面

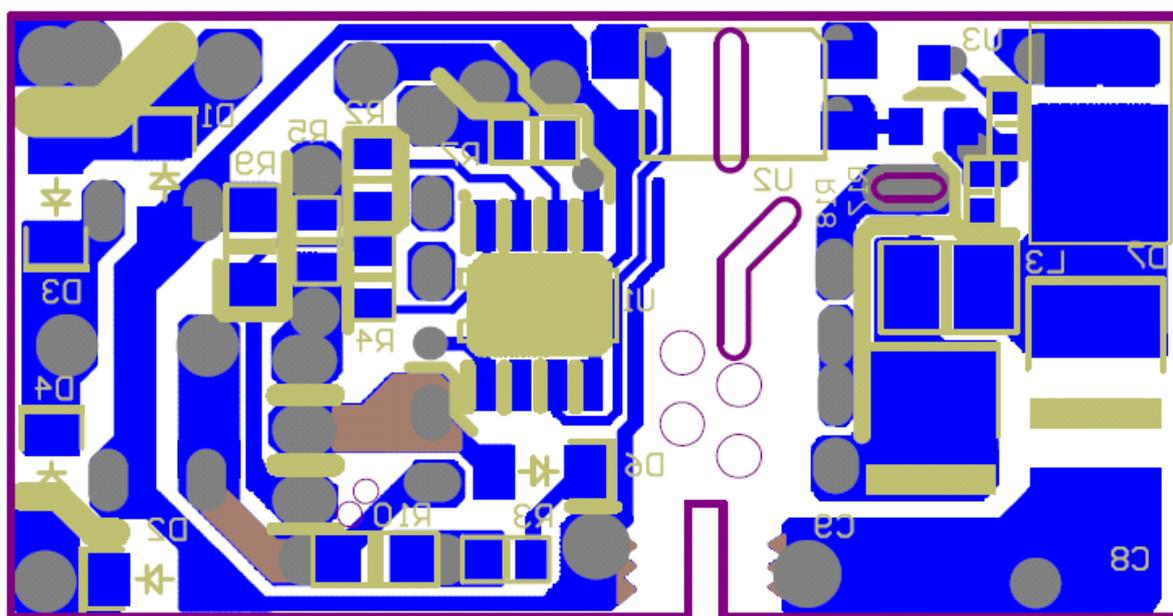


图28. PCB背面

## 7. 设计实例的测试结果

为证明该应用说明书提出的设计过程的正确性，制作了设计范例中的转换器，并进行测试。设计实例中涉及的全部电路元件都得到了采用。

图29显示的是不同负载条件下的测得的效率。115 V<sub>AC</sub>和230 V<sub>AC</sub>条件下的平均效率分别为74.96%和72.05%。图30显示的是不同线路电压下测得的空载功耗。即使在264 V<sub>AC</sub>交流线路中，空载待机功耗也小于10 mW，符合充电器的五星级新功耗标准。表2显示的是待机功耗的损耗明细（90 V<sub>AC</sub>和264 V<sub>AC</sub>）。

图31显示了测得的输出电压和输出电流曲线。在输出电压从5 V降至1 V期间，输出电流在1 A与1.2 A之间调节。

表2. 待机功耗的损耗明细

	90V <sub>AC</sub>	264V <sub>AC</sub>
RCD箝位电路	2.19 mW	1.19 mW
MOSFET损耗	0.52 mW	1.61 mW
输出分压电阻 (R <sub>VS1</sub> 和R <sub>VS2</sub> )	0.26 mW	0.26 mW
IC功耗	1.52 mW	1.56 mW
次级端反馈电路	3.61 mW	3.61 mW
输出二极管	1.8 mW	1.8 mW
总损耗 (估算的)	9.9 mW	10.3 mW
总损耗 (测得的)	8.1 mW	9 mW

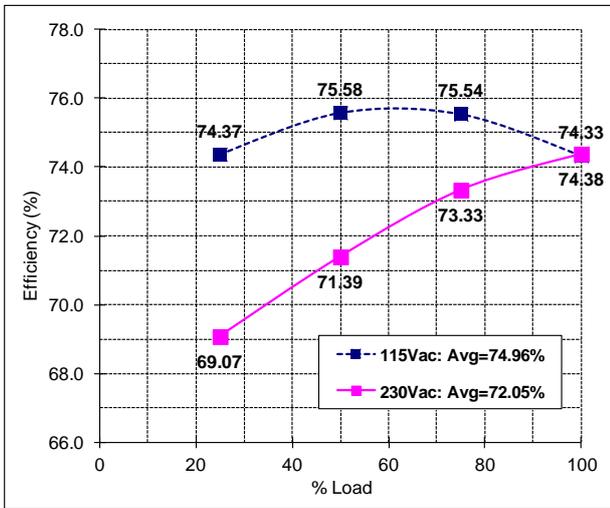


图29. 测量效率

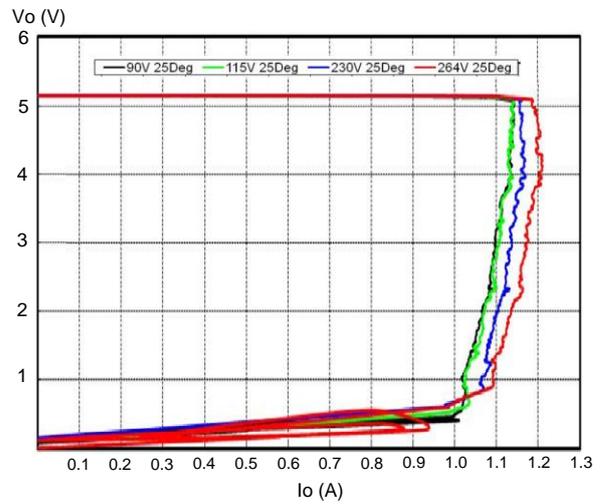


图31. 输出电压和电流调节

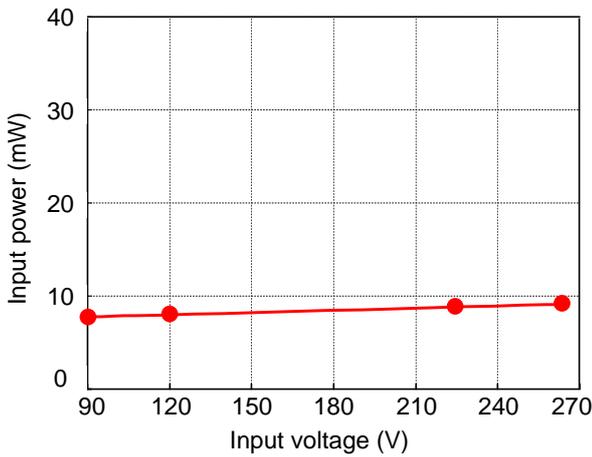


图30. 待机功耗

## 8. 相关资源

[AN-4137 — 采用飞兆半导体电源开关 \(FPS™\) 的离线反激式转换器设计指南](#)

[FAN302HL/UL — 适合更低待机功耗电池充电器应用的mWSaver™ PWM控制器](#)

[FOD814 — 系列产品, FOD817系列4引脚高工作温度光电晶体管光电耦合器](#)

## 9. 作者

博士Hang-Seok Choi D

飞兆半导体公司电源转换产品部

电子邮件: [hangseok.choi@fairchildsemi.com](mailto:hangseok.choi@fairchildsemi.com)

### DISCLAIMER

FAIRCHILD SEMICONDUCTOR RESERVES THE RIGHT TO MAKE CHANGES WITHOUT FURTHER NOTICE TO ANY PRODUCTS HEREIN TO IMPROVE RELIABILITY, FUNCTION, OR DESIGN. FAIRCHILD DOES NOT ASSUME ANY LIABILITY ARISING OUT OF THE APPLICATION OR USE OF ANY PRODUCT OR CIRCUIT DESCRIBED HEREIN; NEITHER DOES IT CONVEY ANY LICENSE UNDER ITS PATENT RIGHTS, NOR THE RIGHTS OF OTHERS.

### LIFE SUPPORT POLICY

FAIRCHILD'S PRODUCTS ARE NOT AUTHORIZED FOR USE AS CRITICAL COMPONENTS IN LIFE SUPPORT DEVICES OR SYSTEMS WITHOUT THE EXPRESS WRITTEN APPROVAL OF THE PRESIDENT OF FAIRCHILD SEMICONDUCTOR CORPORATION.

As used herein:

1. Life support devices or systems are devices or systems which, (a) are intended for surgical implant into the body, or (b) support or sustain life, or (c) whose failure to perform when properly used in accordance with instructions for use provided in the labeling, can be reasonably expected to result in significant injury to the user.
2. A critical component is any component of a life support device or system whose failure to perform can be reasonably expected to cause the failure of the life support device or system, or to affect its safety or effectiveness.

ON Semiconductor and  are trademarks of Semiconductor Components Industries, LLC dba ON Semiconductor or its subsidiaries in the United States and/or other countries. ON Semiconductor owns the rights to a number of patents, trademarks, copyrights, trade secrets, and other intellectual property. A listing of ON Semiconductor's product/patent coverage may be accessed at [www.onsemi.com/site/pdf/Patent-Marking.pdf](http://www.onsemi.com/site/pdf/Patent-Marking.pdf). ON Semiconductor reserves the right to make changes without further notice to any products herein. ON Semiconductor makes no warranty, representation or guarantee regarding the suitability of its products for any particular purpose, nor does ON Semiconductor assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation special, consequential or incidental damages. Buyer is responsible for its products and applications using ON Semiconductor products, including compliance with all laws, regulations and safety requirements or standards, regardless of any support or applications information provided by ON Semiconductor. "Typical" parameters which may be provided in ON Semiconductor data sheets and/or specifications can and do vary in different applications and actual performance may vary over time. All operating parameters, including "Typicals" must be validated for each customer application by customer's technical experts. ON Semiconductor does not convey any license under its patent rights nor the rights of others. ON Semiconductor products are not designed, intended, or authorized for use as a critical component in life support systems or any FDA Class 3 medical devices or medical devices with a same or similar classification in a foreign jurisdiction or any devices intended for implantation in the human body. Should Buyer purchase or use ON Semiconductor products for any such unintended or unauthorized application, Buyer shall indemnify and hold ON Semiconductor and its officers, employees, subsidiaries, affiliates, and distributors harmless against all claims, costs, damages, and expenses, and reasonable attorney fees arising out of, directly or indirectly, any claim of personal injury or death associated with such unintended or unauthorized use, even if such claim alleges that ON Semiconductor was negligent regarding the design or manufacture of the part. ON Semiconductor is an Equal Opportunity/Affirmative Action Employer. This literature is subject to all applicable copyright laws and is not for resale in any manner.

## PUBLICATION ORDERING INFORMATION

### LITERATURE FULFILLMENT:

Literature Distribution Center for ON Semiconductor  
19521 E. 32nd Pkwy, Aurora, Colorado 80011 USA  
**Phone:** 303-675-2175 or 800-344-3860 Toll Free USA/Canada  
**Fax:** 303-675-2176 or 800-344-3867 Toll Free USA/Canada  
**Email:** [orderlit@onsemi.com](mailto:orderlit@onsemi.com)

**N. American Technical Support:** 800-282-9855 Toll Free  
USA/Canada  
**Europe, Middle East and Africa Technical Support:**  
Phone: 421 33 790 2910  
**Japan Customer Focus Center**  
Phone: 81-3-5817-1050

**ON Semiconductor Website:** [www.onsemi.com](http://www.onsemi.com)  
**Order Literature:** <http://www.onsemi.com/orderlit>  
For additional information, please contact your local  
Sales Representative