

### 将ADM2582E/ADM2587E RS-485/RS-422收发器辐射降至最低的PCB实施指南

作者: Thomas O'Shea

#### 简介

ADM2582E/ADM2587E是完全集成的信号和功率隔离RS-485/RS-422收发器。信号隔离利用ADI公司的*iCoupler*®数字隔离技术实现。ADM2582E/ADM2587E还包括一个集成高压隔离DC/DC电源,其采用ADI公司的*isoPower*®技术实现。因此,器件不需要外部DC/DC隔离模块。电源变压器是所有隔离电源的关键组件。*isoPower*集成变压器以180 MHz到400 MHz的开关频率工作。隔离在印刷电路板(PCB)上实现,分离的参考层由物理隔离间隙隔开。由于PCB布局上有隔离间隙,不需要的电流环路可能会产生辐射。在PCB布局期间遵守一些基本电磁抑制原则和概念,可以减轻辐射。

在工业和仪器仪表应用中,存在多个关于辐射的标准。适当的PCB设计和布局选择,可使ADM2582E/ADM2587E器件轻松满足工业环境常用的EN55022/CISPR22 A类(FCC A类)辐射标准。如果考虑周详,这些产品甚至能满足非屏蔽环境下的EN55022/CISPR22 B类(FCC B类)标准。

本应用笔记讨论通过一些特定布局选项和元件选择来达到这些辐射标准。本应用笔记还提供了PCB布局具体信息及其在一个全面认证的10 m半波暗室中的实测结果,结论是器件达到了EN55022/CISPR A类(FCC A类)和EN55022/CISPR B类(FCC B类)辐射要求。

#### PCB建议总结

为了通过EN55022/CISPR22 A类(FCC A类)认证,建议遵循以下指导原则:

- 确保PCB上有良好的去耦(采用ADM2582E/ADM2587E数据手册中的推荐去耦措施)。
- 请勿将 $V_{ISOOUT}$ 引脚连接到电源层(应利用PCB走线连接在 $V_{ISOOUT}$ 和 $V_{ISOIN}$ 之间)。
- 在PCB走线连接和以下IC引脚之间放置铁氧体磁珠:
  - $V_{ISOOUT}$ (引脚12)
  - $GND_2$ (引脚11和引脚14)

对于需要满足更严格的EN55022/CISPR22 B类(FCC B类)辐射标准的应用,必须采用额外的抑制技术(隔离栅上拼接电容)实施上述建议。可使用以下两种方法中的一种来产生拼接电容:

- 利用PCB内层,在 $GND_1$ 和 $GND_2$ (引脚11和引脚14)之间形成一个嵌入式拼接电容
- 在 $GND_1$ (引脚10)和 $GND_2$ (引脚11)之间连接一个高压分立电容

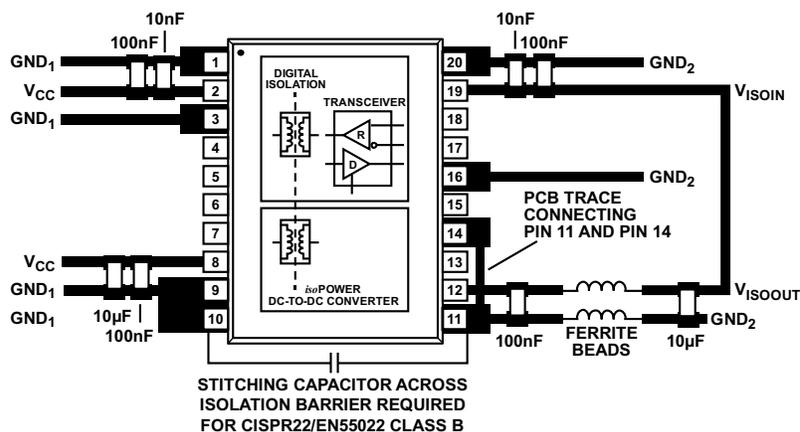


图1. 将辐射降至最低的建议PCB布局和元件放置

## 目录

简介.....	1	降低GND <sub>1</sub> 和GND <sub>2</sub> 之间隔离栅上高频电流的阻抗.....	4
PCB建议总结.....	1	拼接电容的实现.....	4
修订历史.....	2	ADM2582E/ADM2587E实测辐射结果达到EN55022要求.....	6
辐射抑制建议.....	3	参考文献.....	9
V <sub>CC</sub> 去耦.....	3		
提高特定IC引脚和PCB走线连接之间的阻抗.....	3		

## 修订历史

2015年6月—修订版0：初始版

## 辐射抑制建议

在PCB设计/布局期间遵循一些基本原则，对于减轻辐射是很重要的。短时间内切换大电流会产生电磁辐射，引起很大的 $di/dt$ 噪声。辐射水平取决于电流路径的环路面积，因为电流环路面积越大，辐射越强。这些指导原则从源头上控制辐射，最大程度地缩小电流路径的环路面积。

以下措施可将isoPower技术的辐射水平降至A类限值以下：

- 良好的 $V_{CC}$ 电源去耦
- 提高特定IC引脚和PCB走线连接之间的阻抗
- 利用PCB走线将 $V_{ISOOUT}$ 连接到 $V_{ISOIN}$ (无层连接)

为了通过EN55022/CISPR22 B类(FCC B类)认证，需要采取附加抑制措施：

- 降低 $GND_1$ 和 $GND_2$ 之间对隔离栅上高频电流的阻抗

为了提供额外的裕量以达到辐射限制要求， $GND_2$ 层面积必须最小化。

电源/信号电缆的辐射控制和机壳屏蔽技术不在本应用笔记讨论范围内。

## $V_{CC}$ 去耦

去耦电容主要有两个作用：

- 去耦电容用作电荷储存器件。当IC切换状态并需要更多电流时，本地去耦电容通过低电感路径提供此电流。
- 去耦电容降低注入PCB各层的噪声，抑制系统中的高频噪声。在以下情况下可能产生注入噪声源： $V_{CC}$ 引脚的电压供应暂时降低，直至提供充足的电流。

在ADM2582E/ADM2587E中，isoPower技术以180 MHz和360 MHz的频率切换数百mA的大电流。 $V_{CC}$ 引脚(引脚7)上的10  $\mu$ F电容在PCB上提供本地储备的大量电荷。这些电容在180 MHz和360 MHz时必须具有非常低的等效串联电阻(ESR)和低等效串联电感(ESL)。

如果 $V_{CC}$ 和 $GND_1$ 引脚之间的去耦不充分，将导致这些高频切换电流不是由本地电容提供，而是从电源输送系统提供到PCB。如果用于为ADM2582E/ADM2587E供电的电源输送系统不是紧挨着IC，高频电流流经的环路面积就会增大。环路面积的增大意味着辐射的增大。

从PCB布局看，必须做到以下几点：

- 去耦电容应尽可能靠近电源和GND引脚，使电感和电流环路面积最小。

- 尽量缩短 $V_{CC}$ 电源引脚和PCB  $V_{CC}$ 电源层之间的阻抗路径，还要尽量缩短IC  $GND_1$ 引脚和PCB  $GND_1$ 层之间的阻抗路径。

## 提高特定IC引脚和PCB走线连接之间的阻抗

提高特定IC引脚和PCB走线连接之间对高频电流的阻抗，可最大程度地降低电磁辐射水平。这种电磁抑制方法从源头上控制辐射信号，并使环路面积最小。其具体做法是在 $V_{ISOOUT}$ (引脚12)和 $GND_2$ (引脚11和引脚14)上串联放置表贴铁氧体磁珠，如图2所示。在100 MHz到1 GHz频率范围内，选择的铁氧体磁珠阻抗大于2 k $\Omega$ ，如图3所示。测量数据利用表1所示的铁氧体磁珠获得。

表1. 铁氧体磁珠示例

制造厂商	产品型号
Taiyo Yuden	BKH1005LM182-T
Murata电子	BLM15HD182SN1

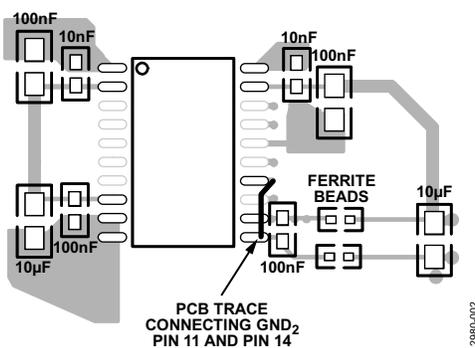


图2. 推荐元件放置

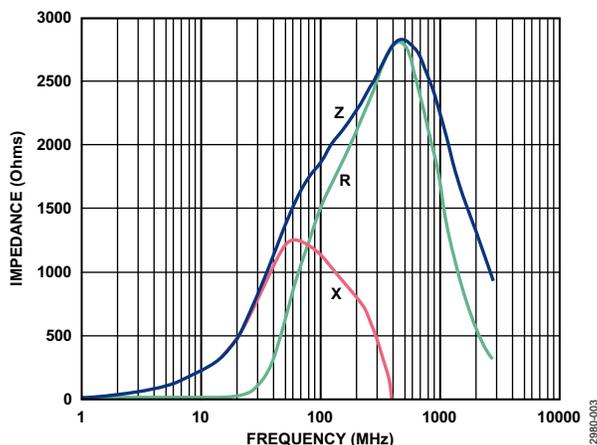


图3. 推荐铁氧体磁珠阻抗图

## 降低GND<sub>1</sub>和GND<sub>2</sub>之间隔离栅上高频电流的阻抗

为了实现EN55022/CISPR22 B类(FCC B类)认证, 需要采用一种在隔离栅上拼接电容的抑制技术来进一步降低辐射水平。

由于PCB上形成了隔离间隙, 不需要的接地电流环路可能导致辐射增加。为了产生隔离电源, 变压器在隔离栅上切换电流。理想情况下, 仅原边的变压器驱动器差分电流通过磁耦合越过隔离栅。然而, 寄生电流也会通过容性耦合越过隔离栅, 这是变压器的固有问题, 如图4所示。一旦到达副边, 这些寄生电流就会寻找一条返回路径以回到原边的源端。没有物理连接可供这些电流跨过隔离间隙。这些高频电流在V<sub>ISOOUT</sub>和GND<sub>2</sub>引脚上成为副边共模电流。由于无法跨过隔离栅返回, 这些高频电流会产生辐射。

分析图4中的电流流程, 由于隔离栅, 从副边到原边缺少物理返回路径, 因而形成一个偶极天线, 其会辐射电磁波。为高频共模电流提供一个低阻抗返回路径, 可以降低偶极辐射水平。

隔离栅上的拼接电容为高频电流提供必要的低阻抗返回路径, 同时系统仍能保持所需的高压隔离。

## 拼接电容的实现

以下方法可用于实现跨越PCB上隔离间隙的拼接电容:

- 高压、满足安规的分立电容
- 嵌入式PCB拼接电容

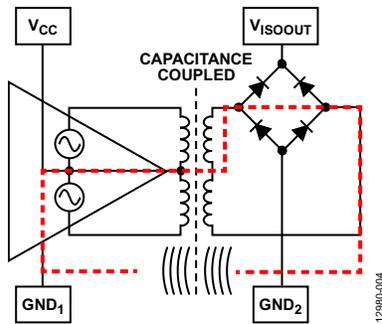


图4. 隔离栅上的电流环路

## 高压、满足安规的分立电容

在隔离栅两端连接一个陶瓷电容便可实现拼接电容。可能的话, 建议使用表贴高压电容器本体, 因为与分立通孔电容相比, 表贴元件的引脚电感较小。对于采用3.3 V和5.0 V电源供电的ADM2587E, 以及采用5.0 V电源供电的ADM2582E, 使用分立高压电容可达到EN55022B要求。

完成PCB设计时, 应遵循图5所示的PCB布局。

- 拼接电容尽可能靠近GND<sub>1</sub>(引脚9和引脚10)以及GND<sub>2</sub>(引脚11)。
- 为了降低PCB走线的电感效应, 最好避免使用很窄和很长的走线。
- 为使拼接电容有效, 必须将电容直接连到引脚11, 即GND<sub>2</sub>(器件引脚和铁氧体磁珠之间), 如图5所示。

许多知名电容制造商可提供具有保证爬电距离、电气间隙和耐受电压的电容。

表2. 分立高压电容示例

参数	值
制造厂商	TDK Corporation
产品型号	C4532C0G3F101K160KA
描述	100 pF、3 kV陶瓷电容
主体尺寸	1812

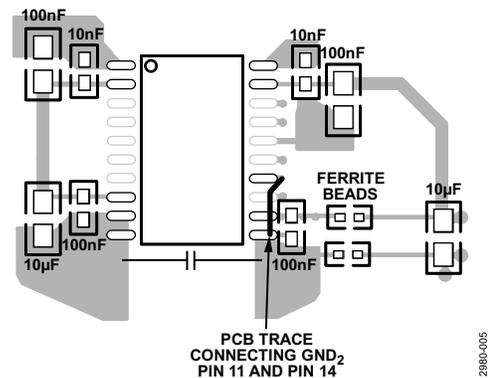


图5. EN55022 B类认证要求的高压分立拼接电容放置

## 嵌入式PCB拼接电容

在多层PCB上，可利用PCB层来形成嵌入式拼接电容结构。当PCB中的两个金属层相互交叠并用电介质材料隔开时，就会产生嵌入式PCB电容。将内部参考层从原边和副边层延伸并跨过用于PCB表面爬电距离的区域，即形成嵌入式拼接电容。让内层在隔离栅上交叠，就会得到一个跨越隔离栅的电容。此电容为高频共模噪声电流跨越隔离间隙提供一个返回路径。之所以使用内层来产生该电容，是因为表面层有最小爬电距离和电气间隙要求，因而不适合使用表面层。有关嵌入式拼接电容布局和实现的详细信息，请参阅应用笔记AN-0971——利用isoPower器件控制辐射。

嵌入式拼接电容可利用以下两种结构中的一种来实现：

- 交叠式拼接结构
- 浮动式电容结构

### 交叠式拼接结构

交叠式拼接结构使用如下原理：延伸PCB参考层的两个内层以跨越原边参考层和副边参考层之间的隔离间隙区域。隔离器下方的间隙中产生电容，为了满足爬电距离和电气间隙要求，此处不得有顶层和底层。内部金属参考层由PCB电介质材料(通常是FR4)隔开，从而形成一个电容结构。电介质材料隔开的金属交叠面积用于计算嵌入式拼接结构的电容，如图6所示。

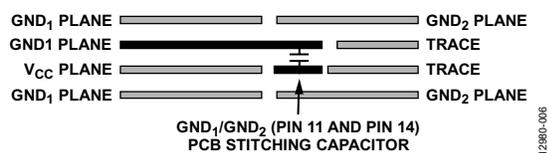


图6. 交叠拼接电容PCB层堆叠

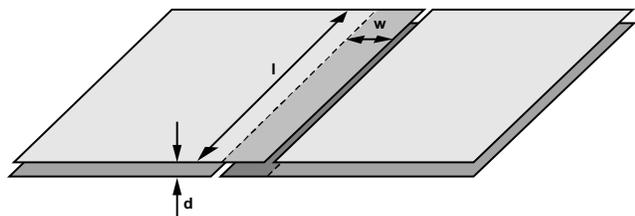


图7. 交叠拼接电容

容性耦合通过下列关于平行板电容的基本关系进行计算：

$$C = \frac{A\epsilon}{d}$$

其中，电容(C)等于面积(A)乘以介电常数( $\epsilon$ )再除以层间距离(d)。

对于具有交叠拼接电容结构的PCB，使用以下公式来确定容性耦合：

$$C = \frac{w\epsilon}{d}$$

其中：

$$\epsilon = \epsilon_0 \times \epsilon_r$$

$\epsilon_0$ 为自由空间的介电常数 $8.854 \times 10^{-12}$  F/m。

$\epsilon_r$ 为PCB绝缘材料的相对介电常数。

w、d和l是原边与副边参考层的交叠部分尺寸，如图7所示。

两个参考层之间的FR4电介质材料的厚度决定系统的高压性能。这些间隙被称为“粘合接头”，用于提供隔离。在原边和副边参考层之间，此结构只有一个粘合接头和一个FR4层。为了提高高压性能，可以增加电介质厚度。然而，增加电介质材料的厚度会加大内部参考层的间距，从而降低能够实现的耦合电容。例如，在给定面积的情况下，若两个内部参考层之间的电介质材料厚度加倍，则参考层之间的耦合电容会降低一半。

### 浮动式拼接结构

对于要求增强高压的应用，应使用浮动拼接电容。浮动结构使用如下原理：通过浮动式内部金属层耦合高频共模电流，使其从副边参考层跨过隔离间隙回到原边参考层。这种结构产生两个并联电容，如图8所示。

与交叠式拼接结构相似，利用电介质材料在间隙上提供高压隔离。从高压性能角度看，相比于交叠式结构，浮动拼接结构的优势是有两个隔离间隙。副边层和内部浮动参考层之间的电介质材料厚度形成第一个隔离间隙。内部浮动参考层与原边参考层之间的电介质材料厚度形成第二个隔离间隙。在需要更高高压隔离性能的系统，这两个间隙的存在有利于构成增强型隔离栅。

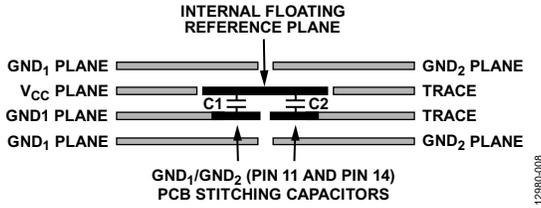


图8. 浮动拼接电容PCB层堆叠

图8所示结构的容性耦合通过下列关于平行板电容的基本关系进行计算：

$$C = \frac{C_1 \times C_2}{C_1 + C_2}$$

$$C_1 = C_2 = \frac{A_x \varepsilon}{d}$$

其中：

$C$ 为总拼接电容。

$A_x$ 为拼接电容相对于每个参考层的交叠面积。

$d$ 为PCB绝缘层厚度。

$$\varepsilon = \varepsilon_0 \times \varepsilon_r$$

其中：

$\varepsilon_0$ 为自由空间的介电常数 $8.854 \times 10^{-12}$  F/m。

$\varepsilon_r$ 为PCB绝缘材料的相对介电常数。

$$C = \frac{l\varepsilon}{d} \times \left( \frac{w_1 \times w_2}{w_1 + w_2} \right)$$

其中， $w_1$ 、 $w_2$ 、 $d$ 和 $l$ 是浮动层与原边和副边参考层的交叠部分尺寸，如图9所示。

如果 $w_1 = w_2$ ，则等式简化为

$$C = \frac{lw_1\varepsilon}{2d}$$

由于两个电容并联，与交叠式电容结构相比，单位面积的有效电容减半。

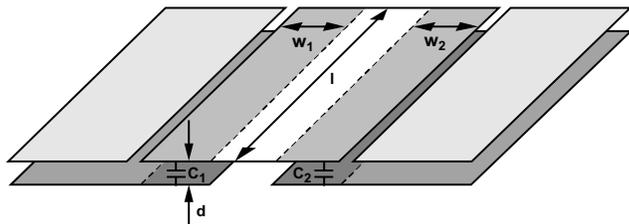


图9. 浮动拼接电容

## ADM2582E/ADM2587E实测辐射结果达到EN55022要求

本节讨论一个经认证的10 m半波暗室中记录到的实测辐射水平。

所讨论的实测辐射借鉴了用来实现以下两类认证的特定PCB布局和电磁抑制技术：

- EN55022 A类认证
- EN55022 B类认证

为了实现EN55022/CISPR22 A类认证，外围元件的布局详情参见图10。

为了实现EN55022/CISPR22 B类认证，除了实现EN55022A的布局建议之外，还需要增加拼接电容。

### EN55022 A类认证

用于实现EN55022 A类认证的EMI抑制技术/元件为：

- 所有 $V_{CC}$ 和 $V_{ISO}$ 引脚上都应有足够的去耦电容
- $V_{ISOOUT}$ (引脚12)和 $GND_2$ (引脚11和引脚14)上应有铁氧体磁珠

图10为优化的元件放置和PCB布局。

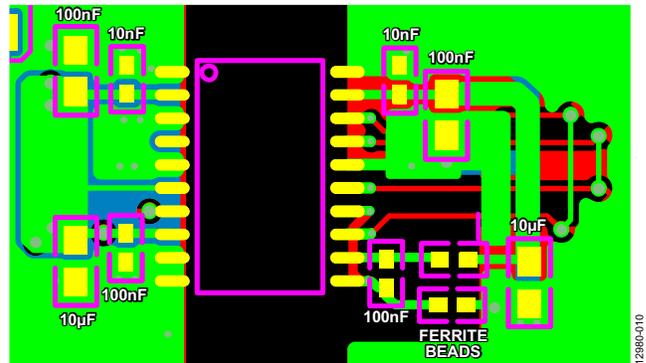


图10. 优化的PCB布局和元件放置

去耦电容和 $V_{ISOOUT}/GND_2$ 引脚上铁氧体磁珠的具体放置非常重要。注意，引脚11和引脚14上的 $GND_2$ 连接先通过PCB走线连在一起，然后连接到铁氧体磁珠。为了降低辐射，必须确保这两个 $GND_2$ 引脚先通过铁氧体磁珠连接，再连接到PCB  $GND_2$ 和 $GND_2$ (引脚16和引脚20)。

使用的PCB为4层PCB，层堆叠如图11所示。



图11. PCB 4层堆叠

ADM2582E和ADM2587E均以 $V_{CC} = 3.3\text{ V}$ 工作，数据切换速度为最大数据速率(分别为16 Mbps和500 kbps)。器件连接为半双工模式，引脚A连接到引脚Y，引脚B连接到引脚Z。辐射水平是由一家外部合规测试机构根据EN55022标准在一个经认证的10 m半波暗室中测量。

图12为ADM2582E的实测辐射水平，图13为ADM2587E的实测辐射水平。

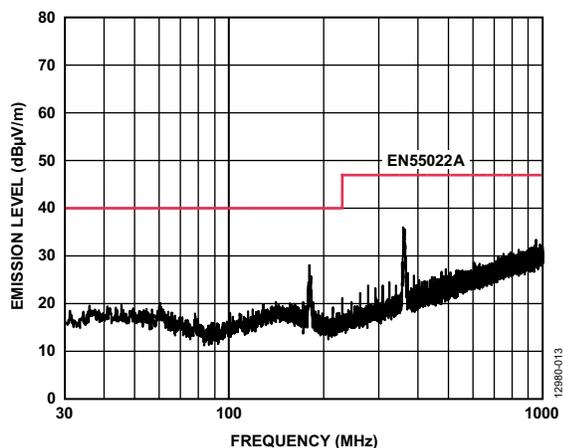


图12. ADM2582E辐射图，数据切换速度为16 Mbps ( $V_{CC} = 3.3\text{ V}$ 的最差情况)

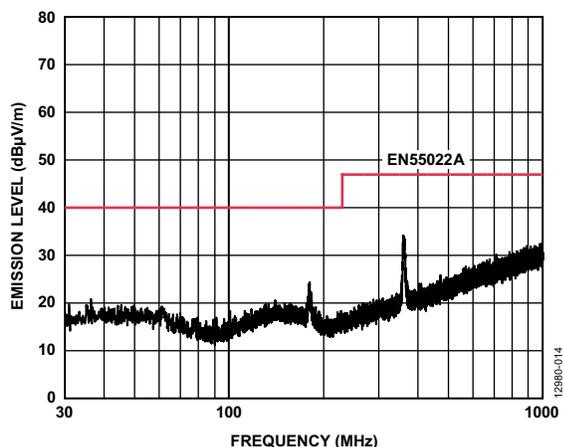


图13. ADM2587E辐射图，数据切换速度为500 kbps ( $V_{CC} = 3.3\text{ V}$ 的最差情况)

## EN55022 B类认证

为了实现EN55022 B类认证，同样需要采用“EN55022 A类认证”部分所述的电磁抑制技术和元件。不过，EN55022B还要求额外的抑制技术，即在隔离栅上实现拼接电容。下面讨论两种拼接方法：

- 高压分立拼接电容
- 交叠拼接电容

## 高压分立拼接电容

去耦电容、分立高压电容和 $V_{ISOOUT}/GND_2$ 引脚上铁氧体磁珠的具体放置对于实现CISPR22/EN55022B认证非常重要。使用高压分立电容来达到辐射限制要求，已被证明对ADM2587E(3.3 V和5.0 V电源两种情况)和ADM2582E(5.0 V电源)有效。当ADM2582E以3.3 V电源供电且以16 Mbps的最大数据速率工作时，测试表明：高压分立电容不足以实现B类认证。

外围元件的布局详情参见图14。使用的PCB为4层PCB，层堆叠如图15所示。PCB拼接电容利用高压分立电容实现。为获得最佳性能，必须将该电容直接连到 $GND_2$ 引脚(器件引脚与铁氧体磁珠之间的引脚11)。实测结果是利用100 pF、1812主体尺寸的电容器获得的。此电容的电压额定值为3 kV，制造商为TDK Corporation (C4532C0G3F101K160KA)。

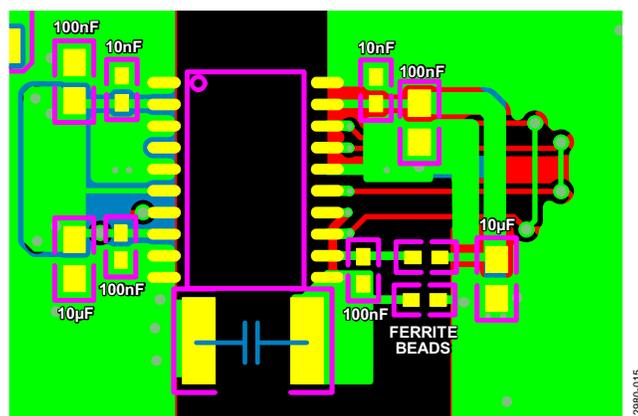


图14. 优化的PCB布局和元件放置



图15. PCB 4层堆叠

# AN-1349

辐射结果是由一家外部合规测试机构根据EN55022标准在一个经认证的10 m半波暗室中测得。图16为ADM2582E的辐射水平，图17为ADM2587E的辐射水平。

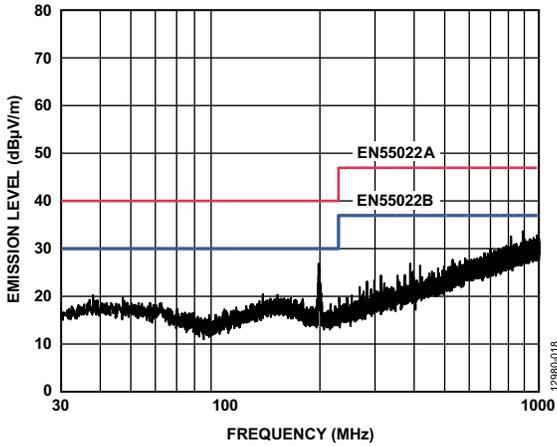


图16. ADM2582E辐射图，数据切换速度为16 Mbps ( $V_{CC} = 5.0$  V供电)

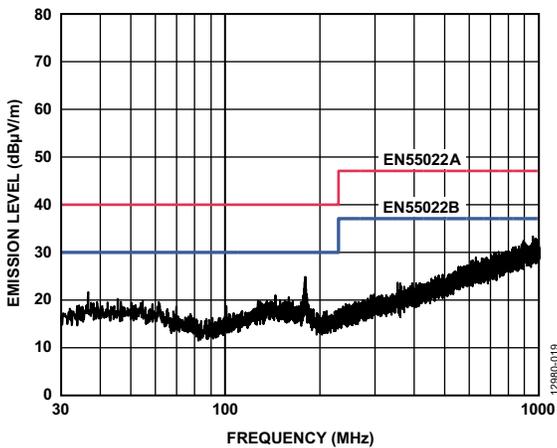


图17. ADM2587E辐射图，数据切换速度为500 kbps ( $V_{CC} = 3.3$  V的最差情况)

## 交叠拼接电容

去耦电容和 $V_{ISOOUT}/GND_2$ 引脚上铁氧体磁珠的具体放置对于实现最佳性能非常重要。外围元件的布局详情参见图18。使用的PCB为4层PCB，层堆叠如图19所示。作为例子的PCB拼接电容是利用交叠结构实现的，即延伸第2层的内部金属层(连接到 $GND_1$ )，并延伸第3层的金属区域(连接到 $V_{ISOOUT}$ )，使第2层和第3层的金属交叠。第2层和第3层上两个参考层之间的交叠面积(参见图19)就是ADM2582E/ADM2587E封装的大小。当第2层和第3层之间的FR4电介质间隔为0.1016 mm时，由FR4材料隔开的这两个金属参考

层之间的交叠产生大约35 pF的电容。如果为了保持更高的隔离性能，应用要求层间距离比本例更大，则交叠面积也必须相应地增大。

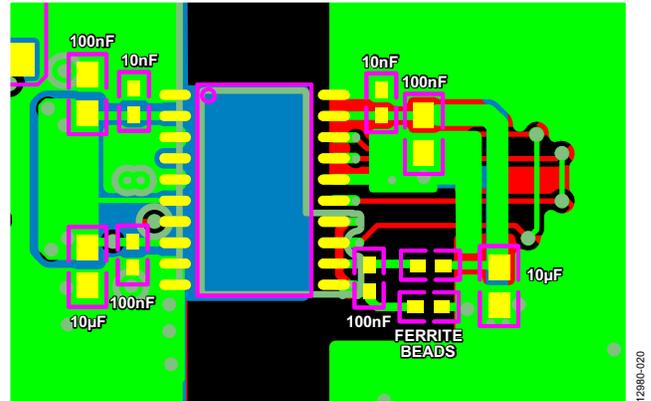


图18. 嵌入式拼接电容PCB布局和元件放置

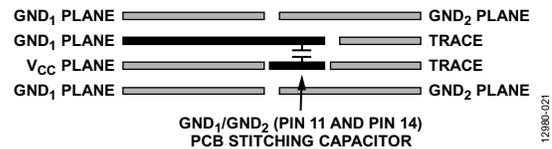


图19. PCB 4层堆叠

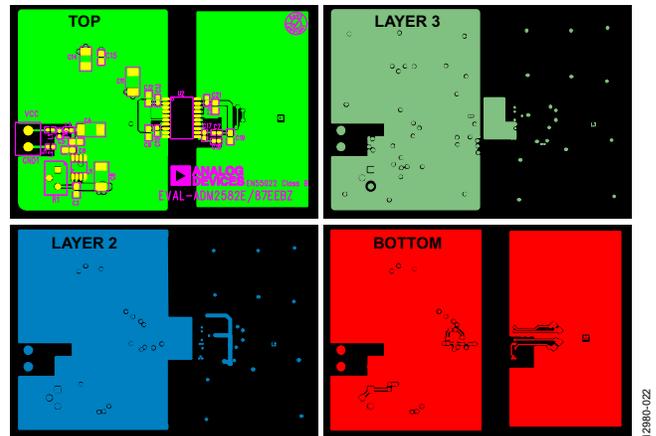


图20. 实现EN55022 B类要求的PCB布局

辐射结果是由一家外部合规测试机构根据EN55022标准在一个经认证的10 m半波暗室中测得。ADM2582E和ADM2587E均以3.3 V电源供电，数据切换速度为最大数据速率(分别为16 Mbps和500 kbps)。图21为ADM2582E的实测辐射水平，图22为ADM2587E的实测辐射水平。

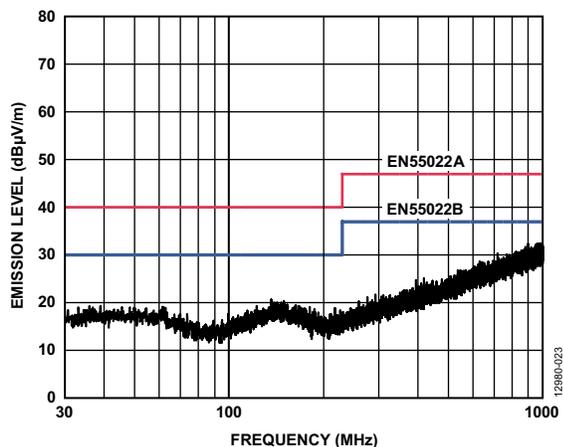


图21. ADM2582E辐射图，数据切换速度为16 Mbps

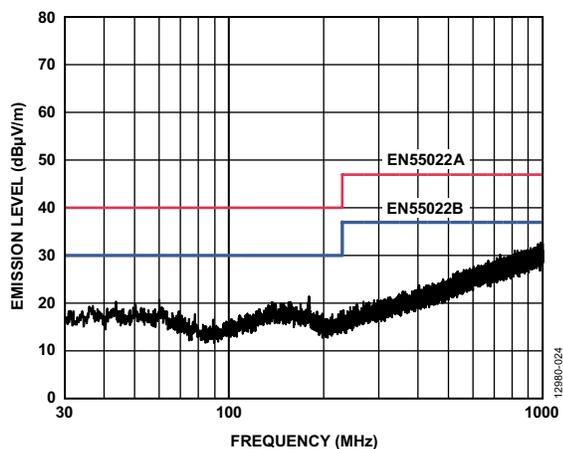


图22. ADM2587E辐射图，数据切换速度为500 kbps

## 参考文献

AN-0971应用笔记，*isoPower*器件的辐射控制。Analog Devices, Inc.

Bruce R. Archambeault和James Drewniak。针对实际EMI控制的PCB设计。Boston: Kluwer Academic Publishers, 2002。