

ADSP-CM402F/CM403F/CM407F/CM408F

系统特性

100 MHz至240 MHz ARM Cortex-M4, 搭载浮点单元
128KB至384KB零等待状态一级(L1)SRAM, 带16KB 一级(L1)缓存
最高2MB闪存
16位异步外部存储器接口
增强型PWM单元
4个3阶/4阶SINC滤波器, 可无缝连接隔离式ADC
谐波分析引擎
10/100以太网MAC
全速USB OTG
两个CAN(控制器区域网络)2.0B接口
3个UART端口

两个串行外设接口(SPI兼容)端口

8个32位通用定时器

4个编码器接口, 其中2个带变频

单电源

176引脚(24 mm × 24 mm)符合RoHS标准的LQFP封装

120引脚(14 mm × 14 mm)符合RoHS标准的LQFP封装

模拟子系统特性

ADC控制器(ADCC)和DAC控制器(DACC)

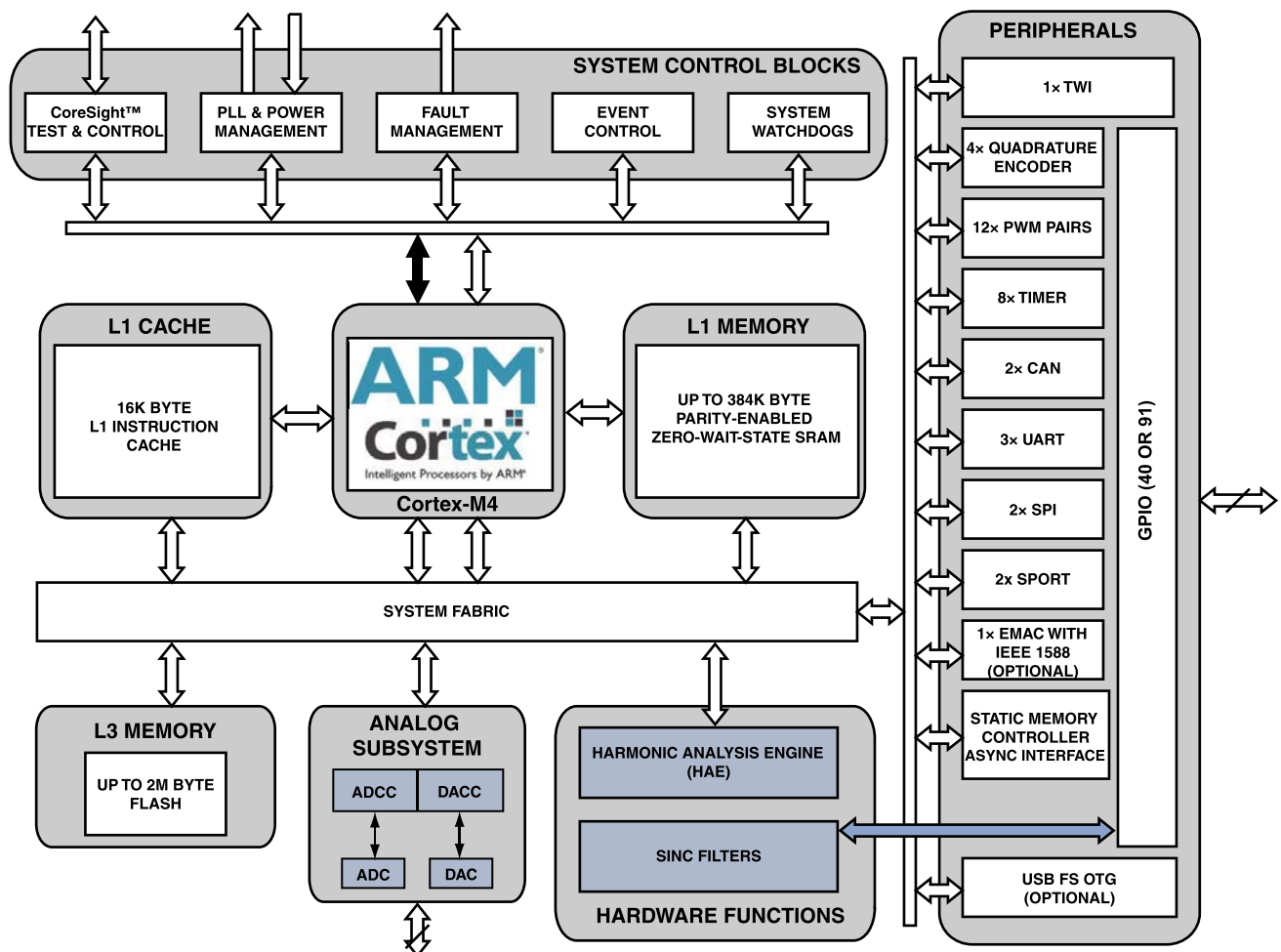
两个16位SAR ADC, 搭载最多24个多路复用输入, 支持双通道

380 ns同步转换(16位, 无失码, $\pm 3.5\text{LSB INL}$)

两个12位R串DAC, 输出速率最高达50 kHz

两个2.5 V精密基准电压输出

(详见第36页的“ADC/DAC规格”。)



Rev. PrE

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106 U.S.A.

Tel: 781.329.4700

Fax: 781.461.3113

www.analog.com

© 2013 Analog Devices, Inc. All rights reserved.

ADI中文版数据手册是英文版数据手册的译文, 敬请谅解翻译中可能存在的语言组织或翻译错误, ADI不对翻译中存在的差异或由此产生的错误负责。如需确认任何词语的准确性, 请参考ADI提供的最新英文版数据手册。

目录

系统特性	1	相关文档	15
模拟子系统特性	1	相关信号链	16
概述	3	ADSP-CM402F/ADSP-CM403F信号描述	17
模拟子系统	4	ADSP-CM402F/ADSP-CM403F多路复用引脚	22
ARM Cortex-M4内核	7	ADSP-CM407F/ADSP-CM408F信号描述	24
EmbeddedICE	7	ADSP-CM407F/ADSP-CM408F多路复用引脚	31
处理器基础结构	7	技术规格	34
存储器架构	8	工作条件	34
安全特性	10	电气特性	35
处理器可靠性特性	10	ADC/DAC规格	36
其他处理器外设	11	闪存规格	43
通用计数器	12	绝对最大额定值	44
串行外设接口(SPI)端口	12	ESD灵敏度	44
UART端口	12	封装信息	44
TWI控制器接口	12	时序规格	45
控制器区域网络(CAN)	13	输出驱动电流	72
10/100以太网MAC	13	环境条件	73
USB 2.0 OTG两用器件控制器	13	120引脚LQFP封装引脚分配	74
时钟和电源管理	14	176引脚LQFP封装引脚分配	77
系统调试	15	外形尺寸	81
开发工具	15	预发布产品	82

修订历史

2013年9月——修订版PrD至修订版PrE

更新“技术规格”部分，纳入了全部接口的闪存信息和时序数据。见“技术规格”部分 34

概述

ADSP-CM40x系列混合信号控制处理器基于ARM® Cortex-M4™ 处理器内核，其浮点运算单元工作频率最高达240 MHz，集成最高384KB SRAM存储器、最高2MB闪存、多个加速器和齐全的外设，专门针对电机控制和光伏(PV)逆变器控制而优化，同时还包括一个由两个16位SAR型ADC和两个12位DAC构成的模拟模块。ADSP-CM40x系列以单电源(VDD_EXT/VDD_ANA)供电，用内部稳压器和一个外部调整管自行生成内部电压源。

该系列混合信号控制处理器静态功耗低，采用低功耗和低电压设计生产，打造出世界级的低功耗处理器和ADC性能。

ADSP-CM40x混合信号控制处理器集成了许多业界领先的系统外设和丰富的存储器(如表1所示)，在一个集成封装中

提供RISC式编程能力、高级通信和先进的信号处理能力，堪称新一代应用的首选平台。这些应用涵盖众多市场领域，包括功率/电机控制、嵌入式工业、仪器仪表、医疗和消费电子等。

ADSP-CM40x系列中的每个成员都含有以下模块。

- 8个GP定时器，带PWM输出
- 3个3相PWM单元，每个最多4个输出对
- 2个CAN模块
- 1个双线接口(TWI)模块
- 3个UART

表1列出了各型号的其他产品特性。

表1ADSP-CM40x系列产品特性

通用	ADSP-CM402F		ADSP-CM403F			ADSP-CM407F			ADSP-CM408F	
封装	120引脚 LQFP					176引脚 LQFP				
GPIOs	40					91				
EBIU	16位异步/5位地址					16位异步/24位地址				
ADC ENOB(非均值计算)	11+		13+			11+			13+	
ADC输入	24					16				
DAC输出	2					无				
SPORT	3个半SPORT端口					4个半SPORT端口				
以太网	无					1	无	无	1	无
USB	无					1	1	无	1	1
外部SPI	1					2				
通用计数器	2					4(2个有双分频输出)				
特性集代码	E	F	C	E	F	A	B	D	A	B
L1 SRAM (KB)	128	128	384	128	128	384	384	128	384	384
闪存(KB)	512	256	2048	512	256	2048	2048	1024	2048	2048
内核时钟(MHz)	150	100	240	150	100	240	240	150	240	240
型号	ADSP-CM402BSWZ-EF	ADSP-CM402BSWZ-FF	ADSP-CM403BSWZ-CF	ADSP-CM403BSWZ-EF	ADSP-CM403BSWZ-FF	ADSP-CM407BSWZ-AF	ADSP-CM407BSWZ-BF	ADSP-CM407BSWZ-DF	ADSP-CM408BSWZ-AF	ADSP-CM408BSWZ-BF

模拟子系统

处理器含有两个ADC和两个DAC。一个强大的片内模数转换控制器(ADCC)和一个数模转换控制器(DACC)简化了对这些数据转换器的控制。ADCC和DACC无缝集成到软件编程模型中,而且可以高效地管理ADC和DAC的配置和实时运行。

详细的技术信息,参见第36页的“ADC/DAC规格”。

ADCC提供了对ADC上的时序执行和模拟采样事件进行精确控制的机制。ADCC支持以待定的ps级时间偏移精度(孔径延迟)对ADC输入进行双通道(ADC0、ADC1同时)同步采样,并可在3 μ s内把16个通道的ADC数据传输至存储器。来自ADC的转换数据既可以通过DMA路由至存储器,也可通过处理器路由至一个目标寄存器。ADCC可以配置为,

使两个ADC同时或不同时对两个模拟输入端进行采样和转换,并且支持异步或同步工作模式。在同步模式下可取得最佳性能。

类似地,DACC连接两个DAC,其作用是管理这些DAC。以DAC为目标的转换数据既可能是借道DMA、来自存储器,也可能借道处理器、来自一个源寄存器。

有关ADCC和DACC的运行和编程情况,详见《搭载ARM Cortex-M4的ADSP-CM40x混合信号控制处理器硬件参考手册》(ADSP-CM40x Mixed-Signal Control Processor with ARM Cortex-M4 Hardware Reference)。

ADC和DAC的特性和性能规格因处理器型号而异。ADCC、DACC以及ADC和DAC的简化框图如图2和图3所示。

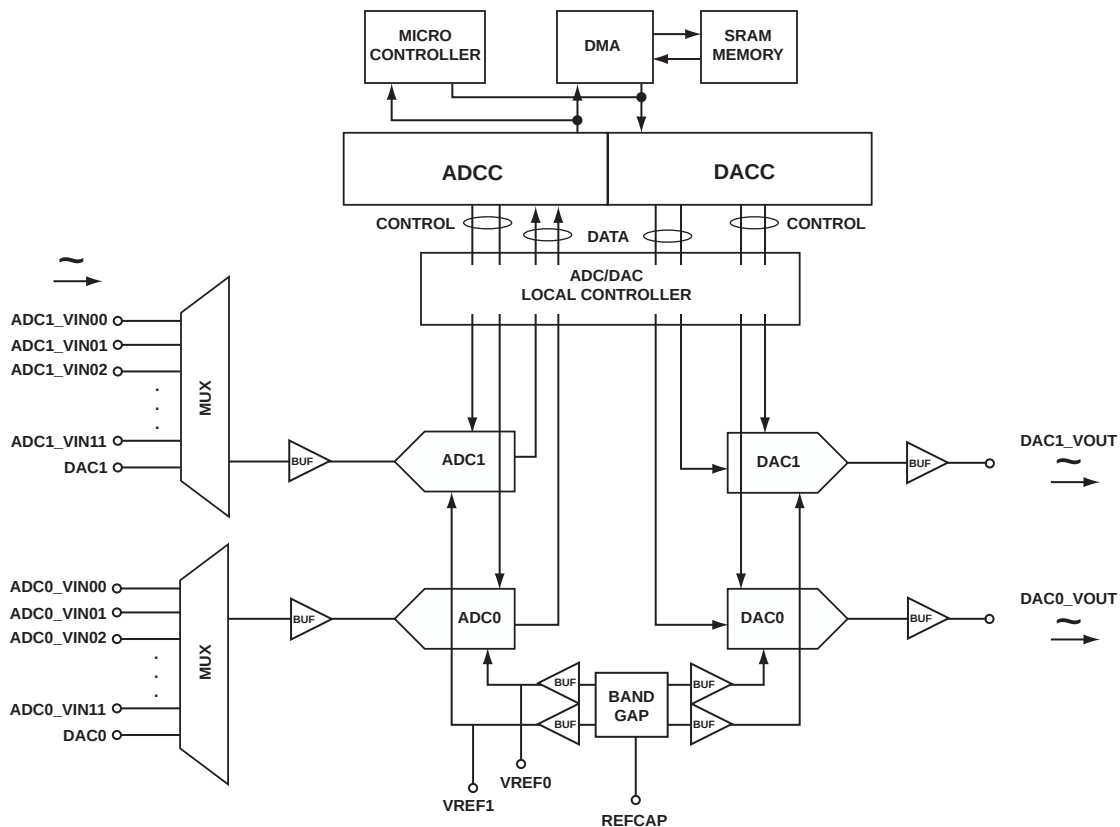


图2.CM402F/CM403F模拟子系统框图

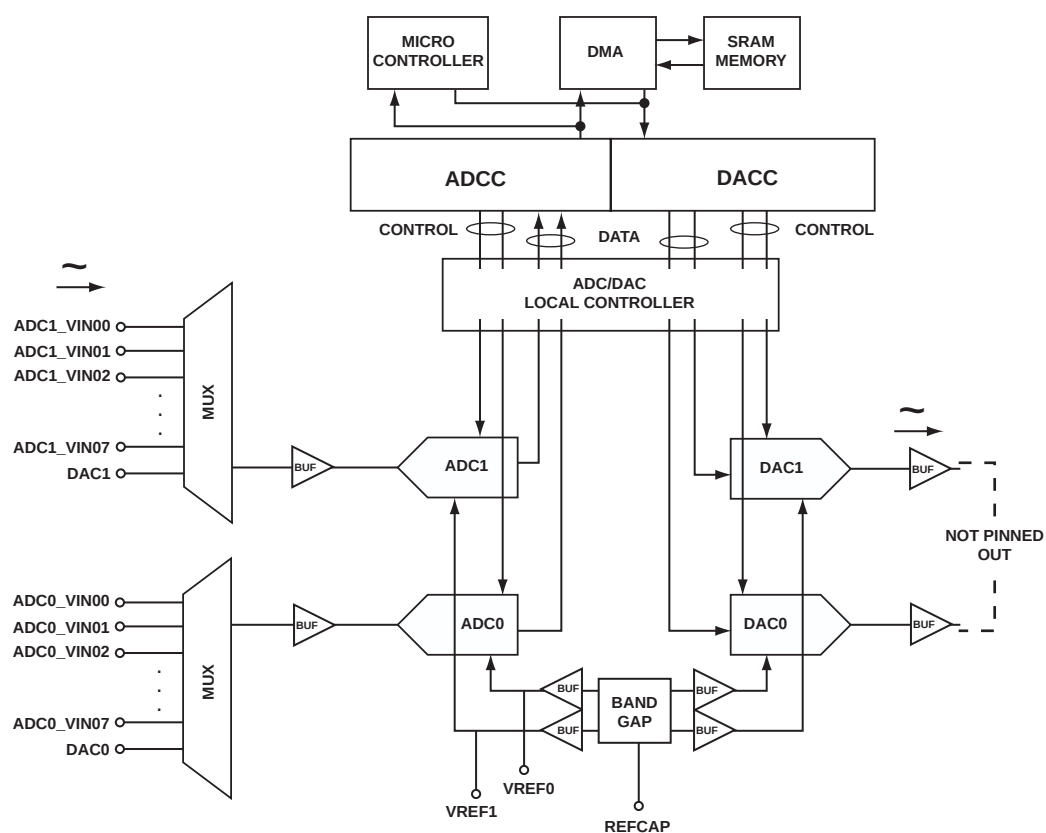


图3.CM407F/CM408F模拟子系统框图

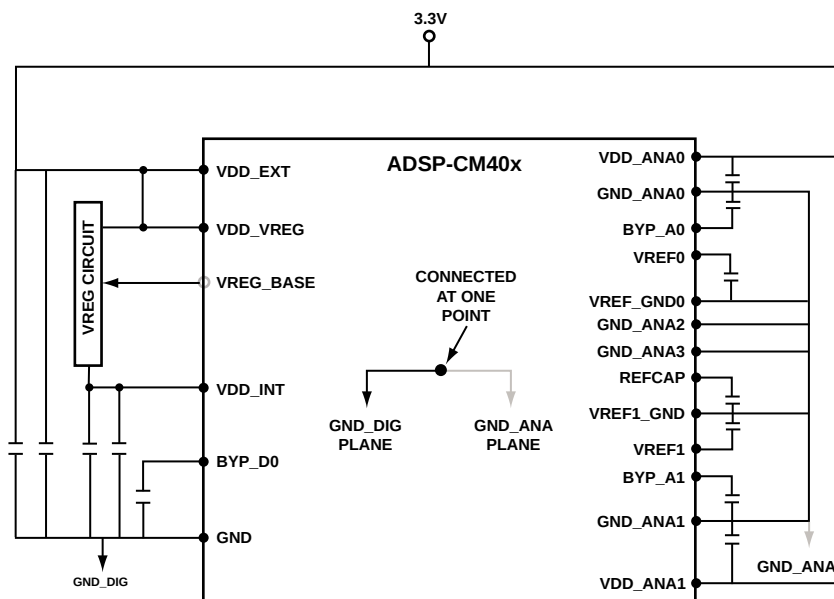


图4.典型电源配置

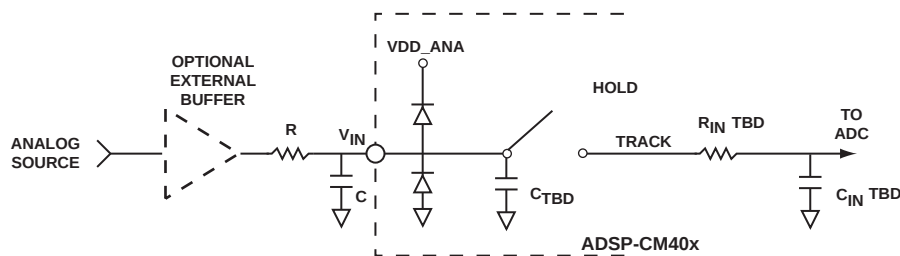


图5.等效单端输入(简化)

获得最佳转换器性能的考虑因素

就如任何高性能模拟/数字电路一样，为了取得最佳性能，必须践行良好的电路设计和电路板布局规范。电源及其噪声旁路(去耦)，接地返回路径和引脚连接，以及模拟/数字路由通道路径和信号屏蔽，这些都是首要考虑因素。有关最佳设计实践的应用提示，请参见图4以及《搭载ARM Cortex-M4的ADSP-CM40x混合信号控制处理器硬件参考手册》。

ADC模块

ADC模块含有两个16位、高速、低功耗逐次逼近寄存器(SAR) ADC，允许对位于12通道多路复用器之后的每个ADC，同时进行双通道采样。有关性能规格，详见第36页“ADC规格”部分。输入多路复用器可为ADC提供总共最多26个模拟输入源(每个12个模拟输入加1个DAC回送输入)。

这些模拟输入的电压输入范围为0 V至2.5 V。所有模拟输入都采用单端设计。就如所有单端输入一样，来自高阻抗源的信号是最难控制的，而且根据电气环境的不同，可能需

要一个外部缓冲器电路来进行信号调理(图5)。多路复用器与ADC之间的片内缓冲器减少了在处理器外部采用额外信号调理机制的需求。此外，每个ADC还内置2.5 V基准电压源，也可使用外部基准电压源。

DAC模块

DAC采用12位、低功耗串式DAC设计。DAC的输出进行了缓冲，可以将R/C负载驱动至地或V_{DD_ANA}。有关性能规格，详见第38页“DAC规格”部分。需要注意的是，在某些处理器型号上，DAC输出没有引脚排列。但这些输出始终可以作为ADC多路复用引脚之一使用。该特性对于对转换器的功能性自检可能有用。

谐波分析引擎(HAE)

谐波分析引擎(HAE)模块从两个源信号接收8 kHz输入采样，这两个源信号的频率在45 Hz和65 Hz之间。然后，HAE将处理输入采样，并生成输出结果。输出结果由对基波进行的电能质量测量值和最多12个额外谐波构成。

SINC滤波器

SINC模块处理4个位流，为每个位流使用一对可配置的SINC滤波器。每对的主要SINC滤波器用于产生该对的滤波输出和抽取输出。输出的抽取速率可以是比输入速率低8至256倍的任意整数速率。更大的抽取速率可以移除更多噪声，因而带来更大的ENOB。

还可在SINC模块之外选用额外的滤波装置来进一步增加ENOB。主SINC滤波器输出可通过借道DMA传输至处理器存储器或传输至另一外设的方式进行访问。

四个通道中的每一个都有一个低延迟辅助滤波器，其中含有可编程的正、负超量程检测电容。这些限值检测事件可以用于使内核中断，生成触发信号，或者指示系统故障。

ARM CORTEX-M4内核

图6所示ARM Cortex-M4内核是一款32位简化指令集计算机(RISC)。指令和数据使用单32位总线。数据的长度可以是8位、16位或32位。指令字的长度为16位或32位。控制器有如下特性：

Cortex-M4架构

- Thumb-2 ISA技术
- DSP和SIMD扩展
- 单周期MAC(最多 $32 \times 32 + 64 \rightarrow 64$)
- 硬件除法指令
- 单精度FPU
- NVIC中断控制器(129个中断和16个优先级)
- 存储器保护单元(MPU)
- 全面的CoreSight™ 调试、跟踪、断点、观察点和交叉触发器

微架构

- 3级流水线，带分支推测
- 低延迟中断处理，带尾链

可配置以支持超低功耗模式

- 深度休眠模式，动态电源管理
- 可编程时钟发生器单元

EmbeddedICE

EmbeddedICE® 为内核提供集成式片内支持。EmbeddedICE模块包含断点和观察点寄存器，在调试时这些寄存器可使代码中止执行。这些寄存器可以通过JTAG测试端口来控制。

当遇到一个断点或观察点时，处理器中断，并进入调试状态。一旦进入调试状态，就可以检查处理器寄存器、Flash/EE，SRAM和存储器映射寄存器的状态。

处理器基础结构

以下部分说明有关ADSP-CM40x处理器基本组成的信息。

DMA控制器(DDE)

处理器含有17个外设DMA通道和两个MDMA流。第0-16号DDE通道用于外设，第17-20号通道用于MDMA。

系统事件控制器(SEC)

SEC通过其集成故障管理单元对系统故障源的使能和路由进行管理。

触发路由单元(TRU)

TRU提供系统级序列控制，无需内核干预。TRU将触发主机(触发产生者)映射到触发从机(触发接收者)。从机端点可以通过多种方式响应触发。TRU支持的常见应用包括：

- 一个DMA通道的序列完成后，自动触发另一个DMA序列开始
- 软件触发
- 同时发生的活动的同步

引脚中断

处理器的每个端口引脚都可以通过边沿敏感或电平敏感方式请求中断，极性可编程。中断功能与GPIO操作分离。6个系统级中断通道(PINT0-5)专门用于此目的。每个中断通道最多可以管理32个中断引脚。中断的引脚分配不是在单个引脚基础上进行，而是以8个引脚为一组(半个端口)，灵活地分配给中断通道。

每个引脚中断通道都有一组特殊的32位存储器映射寄存器，用于支持半端口分配和中断管理，包括请求的屏蔽、识别和清除。通过这些寄存器还可以访问相应引脚的状态，并使用中断锁存器，无论中断屏蔽与否。多数控制寄存器具有多个MMR地址条目，以便“写1设置”或“写1清除”。

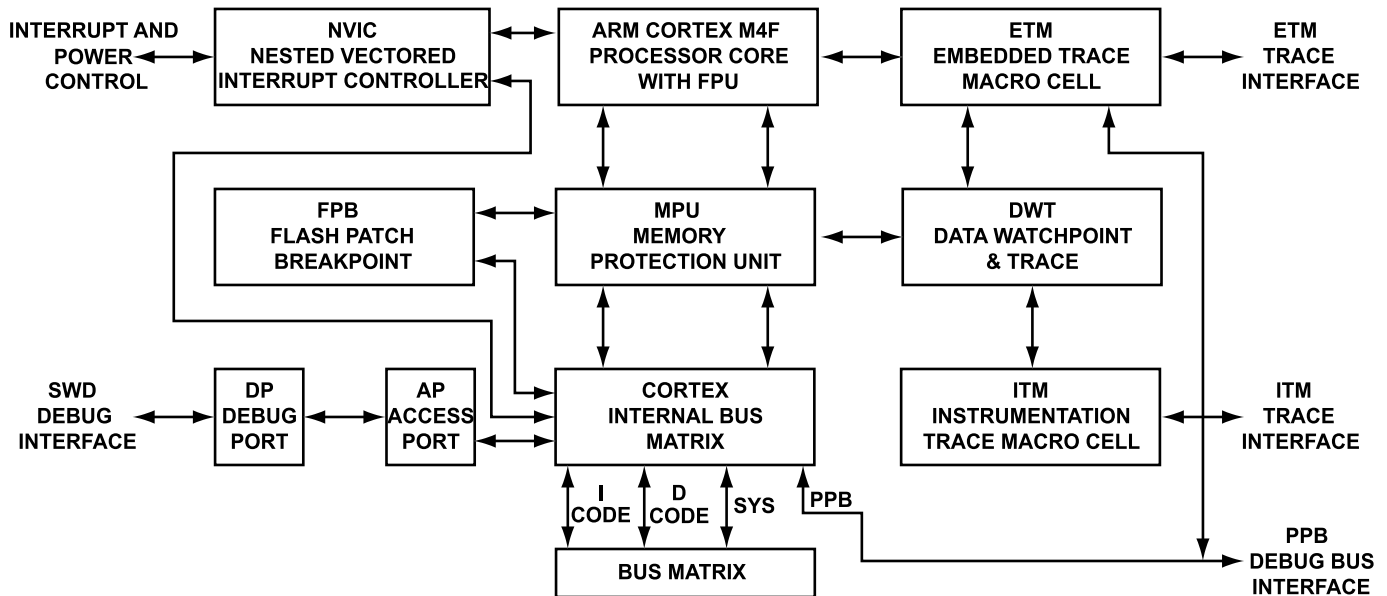


图6.Cortex-M4功能框图

通用I/O (GPIO)

每个通用端口引脚都可以通过操纵端口控制、状态和中断寄存器进行控制。

- GPIO方向控制寄存器——指定各GPIO引脚的方向：输入或输出。
- GPIO控制和状态寄存器——“写1修改”机制支持通过单一指令来修改GPIO引脚的任意组合，而不会影响其他GPIO引脚的电平。
- GPIO中断屏蔽寄存器——允许各GPIO引脚用作处理器的中断。定义为输入的GPIO引脚可以用来产生硬件中断，输出引脚则可以由软件中断触发。
- GPIO中断敏感性寄存器——指定各引脚是对电平敏感还是对边沿敏感；如果是对边沿敏感，则还要指定仅信号的上升沿有意义还是上升沿和下降沿均有意义。

引脚复用

处理器支持灵活的复用方案，各种外设可以复用GPIO引脚。最多4个外设加上GPIO功能可以共享一个GPIO引脚。所有GPIO引脚都有旁路特性——也就是说，当一个GPIO引脚的输出使能和输入使能均有效时，引脚驱动器之前的数据信号会被回送到该GPIO引脚的接收路径。详见第22页“ADSP-CM402F/ADSP-CM403F多路复用引脚”和第31页“ADSP-CM407F/ADSP-CM408F多路复用引脚”。

存储器架构

ADSP-CM40x处理器的内外存储器如图7所示，以下各节将对其进行说明。

ARM Cortex-M4存储器子系统

ADSP-CM40x系列的存储器映射是以ARM出品的Cortex-M4型号为基础的。通过保留标准化的存储器映射，使得跨各M4平台的端口应用变得更加容易。该型号与其他供应商产品的唯一区别是其内部存储器的物理实现方式。

ADSP-CM40x应用开发一般是以跨越CODE/SRAM和外部存储器区域的存储器模块为基础的。通过内部SRAM和内部闪存提供了充足的内置存储器。额外的外部存储器件可以通过SMC异步存储器端口连接，也可通过SPI0串行存储器接口连接。

代码区域

该区域(0x0000_0000至0x1FFF_FFFF)中的访问操作由内核在其ICODE和DCODE两个接口上执行，其访问对象是ADI Cortex-M4F平台器件中的存储器和缓存资源。

- **引导ROM。**在系统复位时执行的一个32K字节引导ROM。本空间仅支持M4F内核的只读访问。注意，用户无法修改ROM存储器内容。
- **内部SRAM代码区域。**该存储器空间含有必须实时执行的应用指令和文字(常数)数据。支持M4F内核进行读/写访问，支持系统器件进行读/写DMA访问。内部SRAM可以按64K字节块在CODE和DATA(M4空间中

的SRAM区域)之间划分。对该区域的访问速率为内核时钟速率，无等待状态。

- **集成闪存。**含有通过处理器SPI2端口连接的2M字节闪存空间。该存储器空间含有应用指令和文字(常数)数据。对闪存的数据读取通过内部代码缓存直接缓存。允许通过SPI存储器映射协议，执行直接存储器映射读操作。
- **内部代码缓存。**内部有一个零等待状态代码缓存SRAM存储器(在存储器映射中不可见)，用于缓存来自内部闪存以及任何外部连接串行闪存和异步存储器的指令访问。
- **MEM-X/MEM-Y。**这些是虚拟存储器模块，用作代码缓存的可缓存存储器。这些模块中不驻留物理存储器件。应用代码必须针对这些存储器模块进行编译，才能利用缓存。

SRAM区域

该区域(0x2000_0000至0x3FFF_FFFF)中的访问操作由ARM Cortex-M4F内核在其SYS接口上执行。另外，内核的SRAM区域可以充当应用的数据区。

- **内部SRAM数据区域。**此空间可以包含读/写数据。内部SRAM可以按64K字节块在CODE和DATA(M4空间中的SRAM区域)之间划分。对该区域的访问速率为内核时钟速率，无等待状态。支持M4F内核进行读/写访问，支持系统器件进行读/写DMA访问。通过ADI Cortex-M4F平台中的全局独占访问监控器可以支持独占存储器访问。同时提供位段支持。

外部(存储器映射)外设区域

- **外部SPI闪存支持。**可以选择性地将最多16M字节外部串行四通道闪存连接至处理器的SPI0端口。来自闪存的读操作通过内部代码缓存直接缓存。允许通过SPI存储器映射协议，执行直接存储器映射读操作。
- **系统MMR。**该区域中驻留着各种系统MMR。为MMR提供了位段支持。

外部SRAM区域

- **L2异步存储器。**可以选择性地将最多32M字节×4组外部存储器连接至异步存储器端口(SMC)。来自这些存储器模块的代码执行操作可以通过内部代码缓存选择性地缓存起来。同时也可以进行直接R/W数据访问。

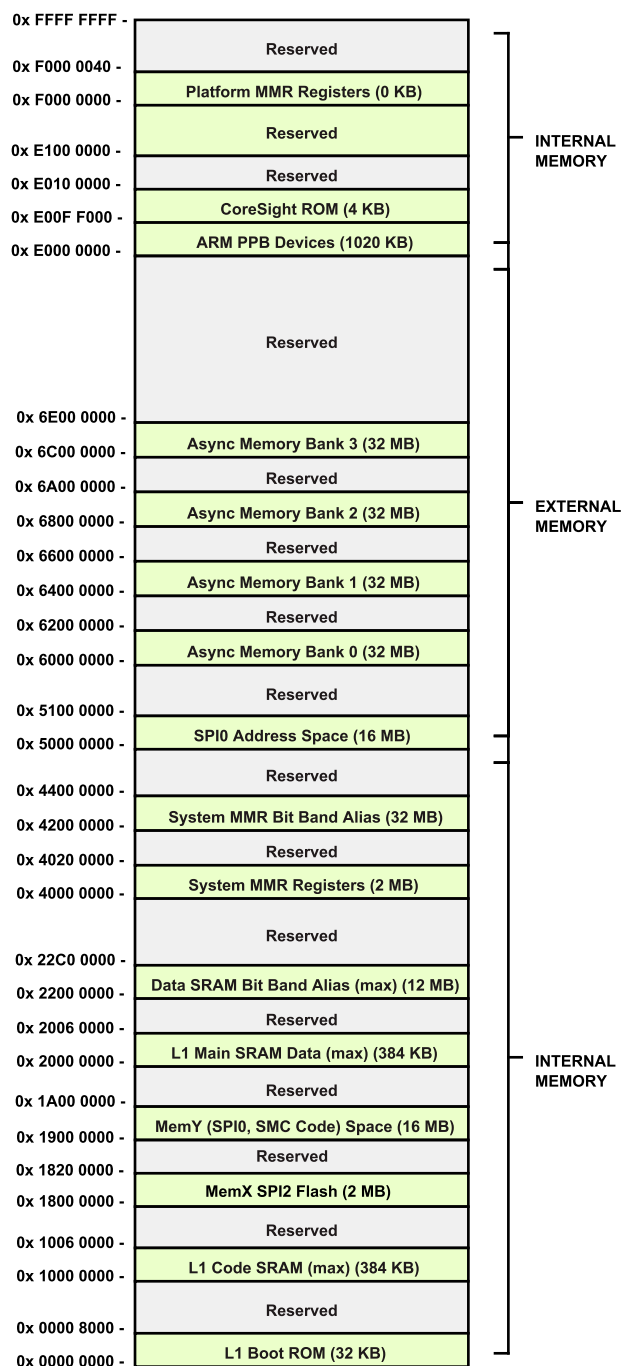


图7.ADSP-CM40x存储器映射

系统区域

该区域(0xE000_0000至0xF7FF_FFFF)中的访问操作由ARM Cortex-M4F内核在其SYS接口上执行，并在ADI Cortex-M4F平台内部进行处理。可以对MPU进行编程，将对该空间的访问限制为仅优先模式。

- **CoreSight ROM**。ROM表条目指向处理器的调试器件。
- **ARM PPB外设**。该空间由ARM定义，占据着SYS区域末端的256K字节(0xE000_0000至0xE004_0000)。该空间支持M4F内核对ARM内核的内部外设(MPU、ITM、DWT、FPB、SCS、TPIU、ETM)和CoreSight ROM进行读/写访问。系统DMA无法访问。
- **平台控制寄存器**。该空间拥有ADI Cortex-M4F平台器件中的寄存器，这些寄存器控制着ARM内核、其存储器和代码缓存。M4F内核可以通过其SYS端口进行访问(但系统DMA无法进行访问)。

静态存储控制器(SMC)

SMC可以用来控制最多4组外部存储器或存储器映射设备，其时序参数非常灵活。每一组都占用32M字节区段，与所用器件的大小无关。

引导

复位后，处理器可以通过多种机制自动加载内部和外部存储器。引导模式由专用SYS_BMODE输入引脚决定。引导模式分为两类。在主机引导模式下，处理器主动从串行存储器加载数据。在从机引导模式下，处理器接收来自外部主机的数据。

引导模式如表2所示。这些模式由RCU_CTL寄存器的SYS_BMODE位实现，在上电复位和软件启动的复位期间采样。

表2.引导模式

SYS_BMODE[1:0]设置	描述
00	无引导/空闲。处理器不引导，而是由引导内核执行一条IDLE指令。
01	闪存引导。通过SPI2从集成闪存引导。对于无闪存的衍生型号，处理器通过配置为主机的SPI0外设引导。
10	SPI从机引导。通过配置为从机的SPI0外设引导。
11	UART引导。通过配置为从机的UART0外设引导。

安全特性

处理器提供了软硬件相结合的多种保护机制，可在安全模式下阻止对器件的访问，在开放模式下允许访问。这些机制包括密码保护的从机引导模式(SPI和UART)以及密码保护的JTAG/SWD调试接口。

处理器可靠性特性

处理器提供了以下特性，可以增强或者帮助实现一定程度的系统安全性和可靠性。虽然安全性水平主要由系统考虑因素决定，但下列特性有助于增强鲁棒性。

多奇偶校验位保护的L1存储器

在处理器的SRAM和L1存储空间中，每个字都受多奇偶校验位的保护，可检测所有RAM中的单粒子翻转。

Cortex MPU

MPU将存储器映射分为几个区域，允许系统程序员定义每个区域的位置、大小、访问权限和存储器属性。支持为每个区域配置独立的属性设置，还支持重叠区域，以及将存储器属性导出到系统等。

有关更多信息，请访问<http://infocenter.arm.com/>

系统保护

所有系统资源和L2存储器组都可以由处理器内核、存储器到存储器DMA或调试单元控制。系统保护单元(SPU)支持对锁定到给定主机的特定资源进行写入访问。通过全局锁定，某些模块支持更小粒度的系统保护。

观察点保护

观察点和硬件断点主要用于仿真器。使能时，只要访问用户定义的系统资源或者内核从用户定义的地址执行操作，这些点就会通知仿真器。可以配置看门狗事件，以便把这些事件告知处理器或SEC。

软件看门狗

片内看门狗定时器可以对ADSP-CM40x内核提供基于软件的监控。

信号看门狗

8个通用定时器可以通过两种模式来监控片外信号。看门狗周期模式监控外部信号是否以预期范围内的周期切换。看门狗宽度模式监控外部信号的脉冲宽度是否在预期范围内。两种模式均有助于检测系统级信号的错误/不需要的切换(或缺少系统信号)。

振荡器看门狗

振荡器看门狗监控外部时钟振荡器，可以检测到时钟缺失和谐波振荡错误。振荡器看门狗检测信号被路由至系统事件控制器的故障管理部分。

低延迟Sinc滤波器超量程检测

SINC滤波器单元为每个输入通道提供一个搭载可编程正、负限幅检测器的低延迟辅助滤波器。这些滤波器可以用于监控隔离ADC位流中的超量程或欠量程条件，对于10 MHz的位流，滤波器组延迟低至0.7 μ s。辅助SINC滤波器事件可以用来中断内核，借助触发路由单元(TRU)直接在硬件中触发其他事件，或者指示系统故障的故障管理单元。

升/降计数不匹配检测

GP计数器可以监控外部信号对，如请求/授权选通等。如果边沿计数不匹配超过预期范围，升/降计数器可以将此信息告知处理器或SEC。

故障管理

故障管理单元是系统事件控制器(SEC)的一部分。多数系统事件都可以定义为故障。如果如此定义，SEC将把事件转送到其故障管理单元，它可能会自动复位整个器件以重新启动，或者仅切换输出引脚以告知片外硬件。SYS_FAULT此外，故障管理单元可以通过键控序列延迟所采取的操作，为内核提供最后一个机会来解决危机，防止采取故障操作。

其他处理器外设

处理器包括丰富的外设，它们通过多条并发高带宽总线连接到内核，提供灵活的系统配置和出色的整体系统性能(参见第1页的框图)。

处理器含有高速串行和并行端口、用于灵活管理片内外设或外部来源中断事件的中断控制器，以及根据不同应用情况调整处理器和系统的性能与功耗特性的电源管理控制功能。

以下部分说明上文未说明的其他外设。

定时器

处理器包括多个定时器，以下部分将说明这些定时器。

通用定时器

GP定时器单元提供8个通用可编程定时器。每个定时器具有外部引脚，可以将其配置为脉宽调制器(PWM)、定时器输出、定时器的时钟输入或用于测量脉宽和外部事件周期

的机制。这些定时器可以与TMRx引脚上的外部时钟输入、TM0_CLK输入引脚上的外部信号或内部SYSCLK同步。

定时器单元可以与UART和CAN控制器一起使用，测量数据流的脉冲宽度，为相应的串行通道提供软件自动波特率检测功能。

该定时器可以产生处理器内核中断，提供用于与系统时钟或外部信号同步的周期性事件。定时器事件也可以通过TRU触发其他外设(例如产生故障信号)。

看门狗定时器

该内核包括一个32位定时器，可以利用它来实现软件看门狗功能。软件看门狗可以提高系统可用性，如果定时器在软件复位之前超时，它将通过产生硬件复位、不可屏蔽的中断(NMI)或通用中断，迫使处理器进入已知状态。编程人员初始化计时器的计数值，使能适当的中断，然后使能定时器。此后，在计数器从编程值计数到0之前，软件必须重新加载计数器。这样在软件(正常情况下会复位定时器)由于外部噪声条件或软件错误而停止运行时，可以防止系统一直处于未知状态。

复位后，软件可以查询仅在看门狗产生的复位时置1的状态位，确定看门狗是否为硬件复位源。

三相PWM单元

脉冲宽度调制器(PWM)单元提供分辨率为一个系统时钟周期(SYSCLK)的占空比和相位控制能力。增强精度PWM(HPPWM)模块将其分辨率提高了几位，从而增强了PWM单元的性能，结果导致更高的精度水平。其他特性包括：

- 以中心为基准的16位PWM发生单元
- 可编程PWM脉冲宽度
- 单倍/双倍更新模式
- 可编程死区时间和开关频率
- 二进制补码实现方案支持平滑过渡到全开和全关状态
- 专用异步PWM关断信号

各PWM模块集成了一个灵活且可编程的三相PWM波形发生器，可用来产生所需的开关信号，以驱动用于交流感应电机(ACIM)或永磁同步电机(PMSM)控制的三相电压源逆变器。此外，PWM模块具有特殊功能，可大幅简化用于控制电子换向电机(ECM)或无刷直流电机(BDCM)所需PWM开关信号的产生。利用软件可以实现开关磁阻电机(SRM)的特殊模式。

8个PWM输出信号(每个PWM单元一个)包括4个高端驱动信号和4个低端驱动信号。PWM信号的极性可以通过软件设置,以便产生高电平有效或低电平有效PWM信号。

每个PWM单元都有一个专用异步关断引脚,将其拉低时,所有PWM输出立即处于关闭状态。

串行端口(SPORT)

利用同步串行端口,处理器可以低成本地连接到各种数字和混合信号外设,如ADI公司的音频编解码器、ADC和DAC。这些串行端口由两条数据线、一条时钟线和一条帧同步线组成。数据线可以编程为发送或接收数据,各数据线有一个专用DMA通道。

串行端口数据可以通过专用DMA通道自动写入和读取片内存储器/外部存储器。每个串行端口都可以与另一个串行端口合作以提供TDM支持。在这种配置中,一个SPORT提供两个发送信号,另一个SPORT提供两个接收信号。帧同步和时钟共享。

串行端口有五种工作模式:

- 标准DSP串行模式
- 多通道(TDM)模式
- I²S模式
- 包装I²S模式
- 左对齐模式

通用计数器

该32位计数器可以在通用升/降计数模式下工作,检测通常由工业驱动器或手动拇指滚轮发送的2位正交或二进制码。计数方向由电平敏感型输入引脚或两个边沿检测器控制。

第三个计数器可以提供灵活的零标记支持,或者也可以用于输入拇指滚轮的按钮信号。所有三个引脚都具有可编程去抖电路。

该GP计数器还支持在正交编码模式下,以可编程M/N频率方式将CNT_CUD和CNT_CDG引脚缩放到输出引脚上。

转送到各通用定时器的内部信号可以使能这些定时器来测量计数事件之间的时间间隔。边界寄存器支持自动调零操作,或者在超过可编程的计数值时通过中断发出简单的系统警告。

串行外设接口(SPI)端口

处理器含有SPI兼容型端口,可以与多个SPI兼容型器件通信。

在最简单的模式下,SPI接口用3个引脚传输数据:2个数据引脚(主机输出-从机输入和主机输入-从机输出,即SPI_MOSI和SPI_MISO)和1个时钟引脚(即SPI_CLK)。其他SPI器件利用一个SPI片选输入引脚(SPI_SS)选择处理器,处理器利用7个SPI片选输出引脚(SPI_SEL_n)选择其他SPI器件。SPI选择引脚是重新配置的通用I/O引脚。利用这些引脚,SPI提供一个全双工、同步串行接口,支持主机模式、从机模式和多主机环境。

SPI端口的波特率和时钟相位/极性是可编程的,而且它集成了DMA通道,支持发送和接收数据流。

UART端口

处理器提供全双工通用异步接收器/发送器(UART)端口,它们与PC标准UART完全兼容。每个UART端口提供一个简化的UART接口用于连接其他外设或主机,支持全双工、DMA、异步串行数据传输。UART端口支持5到8个数据位,不支持奇偶校验。在多分支总线(MDB)系统中,可以传输一个额外的地址位,以便仅中断寻址的节点。帧由一个、一个半、两个或两个半停止位终止。

UART端口通过允许发送(CTS)输入和请求发送(RTS)输出支持自动硬件流程控制,并提供可编程的置位FIFO级。

为了帮助支持本地互连网络(LIN)协议,可以使用一个特殊命令让发送器将一个位长可编程的中断命令排队输入发送缓冲器。同样,停止位的数量可以由可编程的帧间空间扩展。

UART还支持红外数据协会(IrDA®)串行红外物理层链路规范(SIR)协议。

TWI控制器接口

处理器包括一个双线接口(TWI)模块,用于在多个器件之间进行简单的控制数据交换。TWI模块兼容广泛使用的I²C总线标准。TWI模块能够同时以主机和从机工作,支持7位寻址和多媒体数据仲裁。TWI接口利用两个引脚传输时钟(TWI_SCL)和数据(TWI_SDA),支持最高速度为400 kb/s的协议。TWI接口引脚兼容5 V逻辑电平。

此外,TWI模块完全兼容串行相机控制总线(SCCB)功能,可轻松控制各种CMOS相机传感器。

控制器区域网络(CAN)

CAN控制器实现了CAN 2.0B(有源)协议。此协议是异步通信协议，用于工业和汽车控制系统。CAN协议能够可靠地通过网络通信，非常适合控制应用，这是因为该协议具有CRC校验、消息错误跟踪和故障节点限制等机制。

CAN控制器提供如下特性：

- 32个邮箱(8个仅用于接收，8个仅用于发送，16个可配置为接收或发送)。
- 每个邮箱具有专用接受屏蔽。
- 对前两个字节的补充数据滤波。
- 支持标准(11位)和扩展(29位)识别符(ID)消息格式。
- 支持远程帧。
- 支持有源或无源网络。
- CAN从休眠模式(最低静态功耗模式)唤醒。
- 中断，包括：TX完成、RX完成、错误和全局。

不需要额外晶振来提供CAN时钟，因为CAN时钟是通过可编程分频器从系统时钟获得。

10/100以太网MAC

处理器可以通过一个嵌入式快速以太网媒体访问控制器(MAC)直接连接网络，该MAC支持10-BaseT (10Mb/s)和100-BaseT (100Mb/s)工作模式。处理器上的10/100以太网MAC外设完全符合IEEE 802.3-2002标准，并提供可编程的特性，以便最大程度地减少监管、总线使用或处理器系统其余部分的消息处理。

下面是一些标准特性：

- 支持外部PHY的RMII协议
- 全双工和半双工模式
- 媒体访问管理(半双工模式)
- 流程控制
- 站管理：产生MDC/MDIO帧以便读/写PHY寄存器

下面是一些高级特性：

- 自动计算接收帧IP表头和IP有效载荷域的校验和
- 独立的32位描述符驱动接收和发送DMA通道
- 帧状态通过DMA传送到存储器，包括用于在软件中实现高效缓冲队列管理的帧完成令牌

- 发送DMA支持MAC表头和有效载荷使用不同的描述符，以消除缓冲复制操作
- 方便的帧对齐模式
- 47个MAC管理统计计数器提供可选的读取后清除特性和可编程的半最大值中断
- 高级电源管理
- 魔术包检测和唤醒帧滤波
- 支持802.3Q标记VLAN帧
- 可编程的MDC时钟速率和前同步码抑制

IEEE 1588支持

IEEE 1588标准是一种用于联网测量和控制系统的精密时钟同步协议(PTP)。处理器通过一个集成的精密时间协议同步引擎支持IEEE 1588。该引擎提供硬件辅助时间戳，以提高PTP节点之间的时钟同步精度。该引擎的主要特性如下：

- 支持IEEE 1588-2002和IEEE 1588-2008协议标准
- 64位硬件辅助时间戳，收发帧分辨率最高可达10 ns
- 识别直接通过以太网发送的帧中的PTP消息类型、版本和PTP有效载荷，传输状态
- 为系统时间更新提供粗/精校正方法
- 报警特性：可设置目标时间，以便在系统时间到达目标时间时中断
- PPS(脉冲/秒)输出，用于系统时间的物理表示。具有出色的灵活性，可以控制PPS输出信号，包括对开始时间、停止时间、PPS输出宽度和间隔的控制
- 通过IPv4、IPv6和以太网包自动检测PTP消息并加盖时间戳
- 多个输入时钟源(SYSCLK、RMII时钟和外部时钟)
- 辅助快照功能可对外部事件加盖时间戳

USB 2.0 OTG两用器件控制器

不仅手机、数码相机和MP3播放器等消费类移动设备，工业应用也在越来越多地采用USB 2.0 OTG总线标准。对此，USB 2.0 OTG两用器件控制器提供了一种低成本连接解决方案。USB 2.0控制器是一种仅支持全速(FS)的接口，允许这些设备利用点到点USB连接传输数据，而无需借助PC主机。该模块既可在传统USB外设模式下工作，也可在USB 2.0规范补充标准OTG提出的主机模式下工作。

时钟和电源管理

处理器提供3种工作模式，各种模式具有不同的性能/功耗特征。控制各处理器外设的时钟也可以降低功耗。[表3](#)总结了各种模式的电源设置。

表3.电源设置

模式	PLL	PLL旁路	f _{CCLK}	f _{SYSCLK}	内核电源
全开	使能	否	使能	使能	开
活跃	使能	是	使能	使能	开
	禁用	是	使能	使能	开
深度睡眠	禁用	—	禁用	禁用	开

晶振(SYS_XTAL)

处理器的时钟可以来自外部晶振、正弦波输入或源于外部时钟振荡器的缓冲整形时钟。如果使用外部时钟，它应为TTL兼容信号，而且在正常工作期间不得暂停、改变或以低于额定频率的频率工作。此信号连接到处理器的SYS_CLKIN引脚。使用外部时钟时，SYS_XTAL引脚保持断开。此外，由于处理器含有片内振荡器电路，因此也可以使用外部晶振。

振荡器看门狗

提供了一个可编程振荡器看门狗单元，以便对外部晶振的正确启动和谐波模式进行验证。允许用户指定预期振荡频率，并启用对非振荡和振荡错误故障的检测。这些事件可以路由至SYS_FAULT输出引脚和/或使器件复位。

时钟发生

时钟发生单元(CGU)产生所有片内时钟和同步信号。乘法系数写入PLL以定义PLLCLK频率。可编程值将PLLCLK频率分频，产生内核时钟(CCLK)、系统时钟(SYSCLK)和输出时钟(OCCLK)，如[第34页的图8](#)所示。

写入CGU控制寄存器不会立即影响PLL的行为。寄存器首先写入新值，然后PLL逻辑执行变更，以便从当前状态平稳过渡到新状态。

V_{DD_EXT}引脚通电时，SYS_CLKIN开始振荡。所有电压源都在额定范围内(参见[第34页的“工作条件”部分](#))，并且SYS_CLKIN振荡稳定后，便可以施加SYS_HWRST的上升沿。

SYS_CLKOUT输出引脚具有可编程选项，可以输出片内时钟(包括USB时钟)的分频版本。默认情况下，SYS_CLKOUT引脚驱动SYS_CLKIN输入的缓冲版本。时钟产生故障(例如PLL未锁定)可能会触发硬件复位。

时钟输出/外部时钟

SYS_CLKOUT可以用于输出处理器上使用的几种不同时钟中的一种。[表4](#)所示的时钟可以从SYS_CLKOUT输出。

表4.SYS_CLKOUT源和分频器选项

时钟源	分频器
CCLK(内核时钟)	4分频
SYSCLK(系统时钟)	无
OCCLK(输出时钟)	可编程
USBCCLK	可编程
CLKBUF	无，直接来自SYS_CLKIN

电源管理

如[第6页的表5](#)和[图4](#)所示，处理器支持3个不同的电源域，即V_{DD_INT}、V_{DD_EXT}和V_{DD_ANA}。通过将处理器的内部逻辑与其他I/O隔离并划入其自己的电源域，处理器便可以利用动态电源管理，而不会影响其他I/O器件。各种电源域没有时序控制要求，但所有电源域都必须按照处理器“工作条件”中的相应[技术规格表](#)来通电，即使不使用某一特性/外设。

处理器的动态电源管理功能可以动态控制处理器的内核时钟频率(f_{CCLK})。

表5.电源域

电源域	引脚
所有内部逻辑	V _{DD_INT}
数字I/O	V _{DD_EXT}
模拟	V _{DD_ANA}

处理器的功耗在很大程度上与其时钟频率和工作电压的平方成比例。例如，工作频率降低25%，动态功耗也会降低25%。有关电源引脚的更多信息，请参见[第34页“工作条件”部分](#)。

全开工作模式—最高性能

在全开模式下，PLL使能且未被旁路，能够以最高频率工作。这是可以实现最高性能的执行状态。处理器内核和所有使能的外设以全速工作。

有关PLL控制的更多信息，请参见《搭载ARM Cortex-M4的ADSP-CM40x混合信号控制处理器硬件参考手册》“动态电源管理”一章。

深度睡眠工作模式—最大动态省电

深度睡眠模式通过禁用处理器内核的时钟和所有同步外设的时钟来最大程度地降低动态功耗。异步外设仍然可以运行，但不能访问内部资源或外部存储器。

VDD_INT电压调节

待定

复位控制单元

复位是整个处理器或内核的初始状态，并且是硬件或软件触发事件的结果。在此状态下，所有控制寄存器都设为默认值，功能单元空闲。要退出某一内核复位，此内核必须准备就绪以执行引导。

复位控制单元(RCU)控制所有功能单元如何进入和退出复位状态。功能要求和时钟约束条件的不同决定了复位信号的产生方式。程序必须保证任何复位功能都不会将系统置于不明状态或引起资源停转。

从系统角度来看，复位由复位目标和复位源定义，如下所示。

目标定义：

- 硬件复位——所有功能单元都复位到默认状态，无一例外。历史记录丢失。
- 系统复位——除RCU以外的所有功能单元都复位到默认状态。
- 处理器仅内核复位——只影响内核。系统软件应保证任何总线主机都不会访问处于复位状态的内核。

来源定义：

- 硬件复位——SYS_HWRST输入信号置位有效(下拉)。
- 系统复位——可以由软件(写入RCU_CTL寄存器)或另一功能单元触发，例如动态电源管理(DPM)单元、任一系统事件控制器(SEC)、触发路由单元(TRU)或仿真器输入。
- 触发请求(外设)。

系统调试

处理器包括多种用于简化系统调试的特性，下面说明这些特性。

JTAG调试和串行线调试端口(SWJ-DP)

SWJ-DP是JTAG-DP与SW-DP的结合，通过它可以将在串行线调试(SWD)或JTAG探针连接到目标。SWD信号与JTAG共用相同的引脚。有一种自动检测机制，可在JTAG-DP和SW-DP之间切换，具体取决于仿真器Pod传输至JTAG引脚时使用的是哪个特殊数据序列。当收到正常JTAG序列时，SWJ-DP表现为一个JTAG目标；如果发送的是SW_DP序列，则表现为一个单线目标。

嵌入式跟踪宏单元(ETM)和仪表跟踪宏单元(ITM)

ADSP-CM40x处理器支持嵌入式跟踪宏单元(ETM)和仪表跟踪宏单元(ITM)。这两种宏单元都提供了一个可选调试器件，可以记录CPU内核中的实时指令和数据流。这些数据通过具有跟踪功能的特殊调试器Pod读取。ITM是一种单数据引脚特性，ETM则是一种4数据引脚特性。

系统观察点单元

系统观察点单元(SWU)是单一模块，连接到单条系统总线以监控处理。进入各系统从机的总线都连有一个SWU。SWU为所有系统总线地址通道信号提供端口。每个SWU包含4组匹配的寄存器和相关硬件。这四个SWU匹配组独立工作，但共享事件(中断和触发)输出。

开发工具

与ADSP-CM40x处理器配套的是一组高度完善、易于使用的嵌入式应用开发工具。有关更多信息，请访问ADI公司网站。

相关文件

待定

指令集描述

见ARM文档。

相关信号链

“信号链”指一系列信号调理电子器件，它们相继接收输入(通过采样实时现象获得的数据或存储的数据)，信号链一部分的输出作为下一部分的输入。信号处理应用常常使用信号链来采集和处理数据，或者根据对实时现象的分析应用系统控制。有关这个术语和相关话题的更多信息，请参见ADI公司网站上“[EE术语表](#)”中的词条“信号链”。

ADI公司提供能够完美配合工作的信号处理器件来简化信号处理系统的开发。www.analog.com 网站提供了一款工具，用于查看特定应用与相关器件之间的关系。

参考电路Circuits from the Lab™ 网站(<http://www.analog.com/circuits>)的“应用信号链”页面提供如下内容：

- 各种电路类型和应用的信号链电路图
- 各信号链中的器件均有选型指南和应用信息链接
- 采用最佳设计技术的参考设计

ADSP-CM402F/ADSP-CM403F

信号描述

表6给出了芯片上的每个信号，描述了信号内容，列出了驱动器类型、端口和引脚名称。

表6.ADSP-CM402F/ADSP-CM403F 信号描述

信号	描述	驱动器类型	端口	引脚名称
ADC0_VIN00	用于ADC0的通道0单端模拟输入	待定	未多路复用	ADC0_VIN00
ADC0_VIN01	用于ADC0的通道1单端模拟输入	待定	未多路复用	ADC0_VIN01
ADC0_VIN02	用于ADC0的通道2单端模拟输入	待定	未多路复用	ADC0_VIN02
ADC0_VIN03	用于ADC0的通道3单端模拟输入	待定	未多路复用	ADC0_VIN03
ADC0_VIN04	用于ADC0的通道4单端模拟输入	待定	未多路复用	ADC0_VIN04
ADC0_VIN05	用于ADC0的通道5单端模拟输入	待定	未多路复用	ADC0_VIN05
ADC0_VIN06	用于ADC0的通道6单端模拟输入	待定	未多路复用	ADC0_VIN06
ADC0_VIN07	用于ADC0的通道7单端模拟输入	待定	未多路复用	ADC0_VIN07
ADC0_VIN08	用于ADC0的通道8单端模拟输入	待定	未多路复用	ADC0_VIN08
ADC0_VIN09	用于ADC0的通道9单端模拟输入	待定	未多路复用	ADC0_VIN09
ADC0_VIN10	用于ADC0的通道10单端模拟输入	待定	未多路复用	ADC0_VIN10
ADC0_VIN11	用于ADC0的通道11单端模拟输入	待定	未多路复用	ADC0_VIN11
ADC1_VIN00	用于ADC1的通道0单端模拟输入	待定	未多路复用	ADC1_VIN00
ADC1_VIN01	用于ADC1的通道1单端模拟输入	待定	未多路复用	ADC1_VIN01
ADC1_VIN02	用于ADC1的通道2单端模拟输入	待定	未多路复用	ADC1_VIN02
ADC1_VIN03	用于ADC1的通道3单端模拟输入	待定	未多路复用	ADC1_VIN03
ADC1_VIN04	用于ADC1的通道4单端模拟输入	待定	未多路复用	ADC1_VIN04
ADC1_VIN05	用于ADC1的通道5单端模拟输入	待定	未多路复用	ADC1_VIN05
ADC1_VIN06	用于ADC1的通道6单端模拟输入	待定	未多路复用	ADC1_VIN06
ADC1_VIN07	用于ADC1的通道7单端模拟输入	待定	未多路复用	ADC1_VIN07
ADC1_VIN08	用于ADC1的通道8单端模拟输入	待定	未多路复用	ADC1_VIN08
ADC1_VIN09	用于ADC1的通道9单端模拟输入	待定	未多路复用	ADC1_VIN09
ADC1_VIN10	用于ADC1的通道10单端模拟输入	待定	未多路复用	ADC1_VIN10
ADC1_VIN11	用于ADC1的通道11单端模拟输入	待定	未多路复用	ADC1_VIN11
BYP_A0	用于ADC0的片内模拟电源调节旁路滤波器节点(见第6页图4“推荐旁路”)	待定	未多路复用	BYP_A0
BYP_A1	用于ADC1的片内模拟电源调节旁路滤波器节点(见第6页图4“推荐旁路”)	待定	未多路复用	BYP_A1
BYP_D0	用于模拟子系统的片内数字电源调节旁路滤波器节点(见第6页图4“推荐旁路”)	待定	未多路复用	BYP_D0
CAN0_RX	CAN0接收	待定	B	PB_15
CAN0_TX	CAN0发送	待定	C	PC_00
CAN1_RX	CAN0接收	待定	B	PB_10
CAN1_TX	CAN0发送	待定	B	PB_11
CNT0_DG	CNT0递减计数和栅极	待定	B	PB_02
CNT0_OUTA	CNT0输出分频器A	待定	B	PB_13
CNT0_OUTB	CNT0输出分频器B	待定	B	PB_14
CNT0_UD	CNT0递增计数和方向	待定	B	PB_01
CNT0_ZM	CNT0零标记	待定	B	PB_00
CNT1_DG	CNT1递减计数和栅极	待定	B	PB_05
CNT1_UD	CNT1递增计数和方向	待定	B	PB_04
CNT1_ZM	CNT1零标记	待定	B	PB_03

ADSP-CM402F/CM403F/CM407F/CM408F

表6.ADSP-CM402F/ADSP-CM403F信号描述(续)

信号	描述	驱动器类型	端口	引脚名称
DAC0_VOUT	模拟电压输出0	待定	未多路复用	DAC0_VOUT
DAC1_VOUT	模拟电压输出1	待定	未多路复用	DAC1_VOUT
GND	数字地	待定	未多路复用	GND
GND_ANA0	用于VDD_ANA0的模拟接地回路(见第6页图4“推荐旁路”)	待定	未多路复用	GND_ANA0
GND_ANA1	用于VDD_ANA1的模拟接地回路(见第6页图4“推荐旁路”)	待定	未多路复用	GND_ANA1
GND_ANA2	模拟地(见第6页图4“推荐旁路”)	待定	未多路复用	GND_ANA2
GND_ANA3	模拟地(见第6页图4“推荐旁路”)	待定	未多路复用	GND_ANA3
GND_VREF0	用于VREF0的接地回路(见第6页图4“推荐旁路滤波器”)	待定	未多路复用	GND_VREF0
GND_VREF1	用于VREF1的接地回路(见第6页图4“推荐旁路滤波器”)	待定	未多路复用	GND_VREF1
JTG_TCK/SWCLK	JTG时钟/串行线时钟	待定	未多路复用	JTG_TCK/SWCLK
JTG_TDI	JTG串行数据输入	待定	未多路复用	JTG_TDI
JTG_TDO/SWO	JTG串行数据输出/串行线跟踪输出	待定	未多路复用	JTG_TDO/SWO
JTG_TMS/SWDIO	JTG模式选择/串行线调试数据I/O	待定	未多路复用	JTG_TMS/SWDIO
JTG_TRST	JTG复位	待定	未多路复用	JTG_TRST
PA_00 – PA_15	端口A位0 – 15	待定	A	PA_00 – PA_15
PB_00 – PB_15	端口B位0 – 15	待定	B	PB_00 – PB_15
PC_00 – PC_07	端口C位0 – 7	待定	C	PC_00 – PC_07
PWM0_AH	PWM0通道A高端	待定	A	PA_02
PWM0_AL	PWM0通道A低端	待定	A	PA_03
PWM0_BH	PWM0通道B高端	待定	A	PA_04
PWM0_BL	PWM0通道B低端	待定	A	PA_05
PWM0_CH	PWM0通道C高端	待定	A	PA_06
PWM0_CL	PWM0通道C低端	待定	A	PA_07
PWM0_DH	PWM0通道D高端	待定	B	PB_00
PWM0_DL	PWM0通道D低端	待定	B	PB_01
PWM0_SYNC	PWM0同步	待定	A	PA_00
PWM0_TRIP0	PWM0关断输入0	待定	A	PA_01
PWM1_AH	PWM1通道A高端	待定	A	PA_12
PWM1_AL	PWM1通道A低端	待定	A	PA_13
PWM1_BH	PWM1通道B高端	待定	A	PA_14
PWM1_BL	PWM1通道B低端	待定	A	PA_15
PWM1_CH	PWM1通道C高端	待定	A	PA_08
PWM1_CL	PWM1通道C低端	待定	A	PA_09
PWM1_DH	PWM1通道D高端	待定	B	PB_02
PWM1_DL	PWM1通道D低端	待定	B	PB_03
PWM1_SYNC	PWM1同步	待定	A	PA_10
PWM1_TRIP0	PWM1关断输入0	待定	A	PA_11
PWM2_AH	PWM2通道A高端	待定	B	PB_06
PWM2_AL	PWM2通道A低端	待定	B	PB_07
PWM2_BH	PWM2通道B高端	待定	B	PB_08
PWM2_BL	PWM2通道B低端	待定	B	PB_09
PWM2_CH	PWM2通道C高端	待定	C	PC_03
PWM2_CL	PWM2通道C低端	待定	C	PC_04
PWM2_DH	PWM2通道D高端	待定	C	PC_05

表6.ADSP-CM402F/ADSP-CM403F信号描述(续)

信号	描述	驱动器类型	端口	引脚名称
PWM2_DL	PWM2通道D低端	待定	C	PC_06
PWM2_SYNC	PWM2同步	待定	B	PB_04
PWM2_TRIP0	PWM2关断输入0	待定	B	PB_05
REFCAP	带隙发生器滤波器节点输出(见第6页图4“推荐旁路滤波器”)	待定	未多路复用	REFCAP
SINC0_CLK0	SINC0时钟0	待定	B	PB_10
SINC0_CLK1	SINC0时钟1	待定	C	PC_07
SINC0_D0	SINC0数据0	待定	B	PB_11
SINC0_D1	SINC0数据1	待定	B	PB_12
SINC0_D2	SINC0数据2	待定	B	PB_13
SINC0_D3	SINC0数据3	待定	B	PB_14
SMC0_A01	SMC0地址1	待定	B	PB_13
SMC0_A02	SMC0地址2	待定	B	PB_14
SMC0_A03	SMC0地址3	待定	B	PB_15
SMC0_A04	SMC0地址4	待定	C	PC_00
SMC0_A05	SMC0地址5	待定	C	PC_01
SMC0_AMS0	SMC0存储器选择0	待定	B	PB_11
SMC0_AMS2	SMC0存储器选择2	待定	A	PA_07
SMC0_AOE	SMC0输出使能	待定	B	PB_12
SMC0_ARDY	SMC0异步就绪	待定	B	PB_08
SMC0_ARE	SMC0读取使能	待定	B	PB_09
SMC0_AWE	SMC0写入使能	待定	B	PB_10
SMC0_D00	SMC0数据0	待定	A	PA_08
SMC0_D01	SMC0数据1	待定	A	PA_09
SMC0_D02	SMC0数据2	待定	A	PA_10
SMC0_D03	SMC0数据3	待定	A	PA_11
SMC0_D04	SMC0数据4	待定	A	PA_12
SMC0_D05	SMC0数据5	待定	A	PA_13
SMC0_D06	SMC0数据6	待定	A	PA_14
SMC0_D07	SMC0数据7	待定	A	PA_15
SMC0_D08	SMC0数据8	待定	B	PB_00
SMC0_D09	SMC0数据9	待定	B	PB_01
SMC0_D10	SMC0数据10	待定	B	PB_02
SMC0_D11	SMC0数据11	待定	B	PB_03
SMC0_D12	SMC0数据12	待定	B	PB_04
SMC0_D13	SMC0数据13	待定	B	PB_05
SMC0_D14	SMC0数据14	待定	B	PB_06
SMC0_D15	SMC0数据15	待定	B	PB_07
SPI0_CLK	SPI0时钟	待定	C	PC_03
SPI0_D2	SPI0数据2	待定	B	PB_10
SPI0_D3	SPI0数据3	待定	B	PB_11
SPI0_MISO	SPI0主机输入、从机输出	待定	C	PC_04
SPI0_MOSI	SPI0主机输出、从机输入	待定	C	PC_05
SPI0_RDY	SPI0就绪	待定	C	PC_02
SPI0_SEL1	SPI0从机选择输出1	待定	C	PC_06
SPI0_SEL2	SPI0从机选择输出2	待定	B	PB_13

ADSP-CM402F/CM403F/CM407F/CM408F

表6.ADSP-CM402F/ADSP-CM403F信号描述(续)

信号	描述	驱动器类型	端口	引脚名称
$\overline{\text{SPIO_SEL3}}$	SPIO从机选择输出3	待定	B	PB_14
$\overline{\text{SPIO_SS}}$	SPIO从机选择输入	待定	B	PB_14
SPT0_ACLK	SPORT0通道A时钟	待定	B	PB_00
SPT0_AD0	SPORT0通道A数据0	待定	B	PB_02
SPT0_AD1	SPORT0通道A数据1	待定	B	PB_03
SPT0_AFS	SPORT0通道A帧同步	待定	B	PB_01
SPT0_ATDV	SPORT0通道A发送数据有效	待定	B	PB_04
SPT1_ACLK	SPORT1通道A时钟	待定	A	PA_00
SPT1_AD0	SPORT1通道A数据0	待定	A	PA_02
SPT1_AD1	SPORT1通道A数据1	待定	A	PA_03
SPT1_AFS	SPORT1通道A帧同步	待定	A	PA_01
SPT1_ATDV	SPORT1通道A发送数据有效	待定	B	PB_15
SPT1_BCLK	SPORT1通道B时钟	待定	A	PA_04
SPT1_BD0	SPORT1通道B数据0	待定	A	PA_06
SPT1_BD1	SPORT1通道B数据1	待定	A	PA_07
SPT1_BFS	SPORT1通道B帧同步	待定	A	PA_05
SPT1_BTDV	SPORT1通道B发送数据有效	待定	C	PC_00
SYS_BMODE0	系统引导模式控制0	待定	未多路复用	SYS_BMODE0
SYS_BMODE1	系统引导模式控制1	待定	未多路复用	SYS_BMODE1
SYS_CLKIN	系统时钟/晶振输入	待定	未多路复用	SYS_CLKIN
SYS_CLKOUT	系统处理器时钟输出	待定	未多路复用	SYS_CLKOUT
SYS_DSWAKE0	系统深度休眠唤醒0	待定	C	PC_06
SYS_DSWAKE1	系统深度休眠唤醒1	待定	C	PC_07
SYS_DSWAKE2	系统深度休眠唤醒2	待定	B	PB_14
SYS_DSWAKE3	系统深度休眠唤醒3	待定	B	PB_13
$\overline{\text{SYS_FAULT}}$	系统补充故障输出	待定	未多路复用	$\overline{\text{SYS_FAULT}}$
$\overline{\text{SYS_HWRST}}$	系统处理器硬件复位控制	待定	未多路复用	$\overline{\text{SYS_HWRST}}$
$\overline{\text{SYS_NMI}}$	系统不可屏蔽的中断	待定	未多路复用	$\overline{\text{SYS_NMI}}$
$\overline{\text{SYS_RESOUT}}$	系统复位输出	待定	未多路复用	$\overline{\text{SYS_RESOUT}}$
SYS_XTAL	系统晶振输出	待定	未多路复用	SYS_XTAL
TM0_AC11	TIMER0备选捕获输入1	待定	B	PB_10
TM0_AC12	TIMER0备选捕获输入2	待定	B	PB_08
TM0_AC13	TIMER0备选捕获输入3	待定	B	PB_12
TM0_AC14	TIMER0备选捕获输入4	待定	B	PB_15
TM0_AC15	TIMER0备选捕获输入5	待定	C	PC_01
TM0_ACLK0	TIMER0备选时钟0	待定	B	PB_13
TM0_ACLK1	TIMER0备选时钟1	待定	B	PB_11
TM0_ACLK2	TIMER0备选时钟2	待定	A	PA_11
TM0_ACLK3	TIMER0备选时钟3	待定	A	PA_10
TM0_ACLK4	TIMER0备选时钟4	待定	A	PA_09
TM0_ACLK5	TIMER0备选时钟5	待定	A	PA_08
TM0_CLK	TIMER0时钟	待定	B	PB_06
TM0_TMR0	TIMER0定时器0	待定	B	PB_07
TM0_TMR1	TIMER0定时器1	待定	B	PB_08
TM0_TMR2	TIMER0定时器2	待定	B	PB_09

表6.ADSP-CM402F/ADSP-CM403F信号描述(续)

信号	描述	驱动器类型	端口	引脚名称
TM0_TMR3	TIMER0定时器3	待定	A	PA_15
TM0_TMR4	TIMER0定时器4	待定	A	PA_12
TM0_TMR5	TIMER0定时器5	待定	A	PA_13
TM0_TMR6	TIMER0定时器6	待定	A	PA_14
TM0_TMR7	TIMER0定时器7	待定	B	PB_05
TRACE_CLK	嵌入式跟踪模块时钟	待定	B	PB_00
TRACE_D0	嵌入式跟踪模块数据0	待定	B	PB_01
TRACE_D1	嵌入式跟踪模块数据1	待定	B	PB_02
TRACE_D2	嵌入式跟踪模块数据2	待定	B	PB_03
TRACE_D3	嵌入式跟踪模块数据3	待定	C	PC_02
TWI0_SCL	TWI0串行时钟	待定	未多路复用	TWI0_SCL
TWI0_SDA	TWI0串行数据	待定	未多路复用	TWI0_SDA
UART0_CTS	UART0清除发送	待定	B	PB_05
UART0_RTS	UART0请求发送	待定	B	PB_04
UART0_RX	UART0接收	待定	C	PC_01
UART0_TX	UART0发送	待定	C	PC_02
UART1_CTS	UART1清除发送	待定	A	PA_11
UART1_RTS	UART1请求发送	待定	C	PC_07
UART1_RX	UART1接收	待定	B	PB_08
UART1_RX	UART1接收	待定	B	PB_15
UART1_TX	UART1发送	待定	B	PB_09
UART1_TX	UART1发送	待定	C	PC_00
UART2_RX	UART2接收	待定	B	PB_12
UART2_TX	UART2发送	待定	C	PC_07
VDD_ANA0	模拟电源电压(见第6页图4“推荐旁路”)	待定	未多路复用	VDD_ANA0
VDD_ANA1	模拟电源电压(见第6页图4“推荐旁路”)	待定	未多路复用	VDD_ANA1
VDD_EXT	外部电压域	待定	未多路复用	VDD_EXT
VDD_INT	内部电压域	待定	未多路复用	VDD_INT
VDD_VREG	VREG电源电压	待定	未多路复用	VDD_VREG
VREF0	ADC0的基准电压源。默认配置为输出(见第6页图4“推荐旁路”)	待定	未多路复用	VREF0
VREF1	ADC1的基准电压源。默认配置为输出(见第6页图4“推荐旁路”)	待定	未多路复用	VREF1
VREG_BASE	稳压器基节点	待定	未多路复用	VREG_BASE

ADSP-CM402F/ADSP-CM403F

多路复用引脚

表7至表9给出了芯片上每个多路复用引脚上的信号，一个端口一张表。各种功能通过各端口上指示的PORT_FER寄存器 and PORT_MUX寄存器设置进行访问。

表7.信号多路复用表端口A

PORT_FER = 0	PORT_FER = 1				输入分支
GPIO	PORT_MUX=b#00	PORT_MUX=b#01	PORT_MUX=b#10	PORT_MUX=b#11	
PA_00	PWM0_SYNC		SPT1_ACLK		TM0_ACLK5 TM0_ACLK4 TM0_ACLK3 TM0_ACLK2
PA_01	PWM0_TRIP0		SPT1_AFS		
PA_02	PWM0_AH		SPT1_AD0		
PA_03	PWM0_AL		SPT1_AD1		
PA_04	PWM0_BH		SPT1_BCLK		
PA_05	PWM0_BL		SPT1_BFS		
PA_06	PWM0_CH		SPT1_BD0		
PA_07	PWM0_CL	SMC0_AMS2	SPT1_BD1		
PA_08	PWM1_CH		SMC0_D00		
PA_09	PWM1_CL		SMC0_D01		
PA_10	PWM1_SYNC		SMC0_D02		
PA_11	PWM1_TRIP0	UART1_CTS	SMC0_D03		
PA_12	PWM1_AH	TM0_TMR4	SMC0_D04		
PA_13	PWM1_AL	TM0_TMR5	SMC0_D05		
PA_14	PWM1_BH	TM0_TMR6	SMC0_D06		
PA_15	PWM1_BL	TM0_TMR3	SMC0_D07		

表8.信号多路复用表端口B

PORT_FER = 0	PORT_FER = 1				输入分支
GPIO	PORT_MUX=b#00	PORT_MUX=b#01	PORT_MUX=b#10	PORT_MUX=b#11	
PB_00	PWM0_DH	TRACE_CLK	SPT0_ACLK	SMC0_D08	CNT0_ZM
PB_01	PWM0_DL	TRACE_D0	SPT0_AFS	SMC0_D09	CNT0_UD
PB_02	PWM1_DH	TRACE_D1	SPT0_AD0	SMC0_D10	CNT0_DG
PB_03	PWM1_DL	TRACE_D2	SPT0_AD1	SMC0_D11	CNT1_ZM
PB_04	PWM2_SYNC	UART0_RTS	SPT0_ATDV	SMC0_D12	CNT1_UD
PB_05	PWM2_TRIP0	UART0_CTS	TM0_TMR7	SMC0_D13	CNT1_DG
PB_06	PWM2_AH	TM0_CLK		SMC0_D14	
PB_07	PWM2_AL	TM0_TMR0		SMC0_D15	
PB_08	PWM2_BH	TM0_TMR1	UART1_RX	SMC0_ARDY	TM0_AC12
PB_09	PWM2_BL	TM0_TMR2	UART1_TX	SMC0_ARE	
PB_10	SINC0_CLK0	SPI0_D2	CAN1_RX	SMC0_AWE	TM0_AC11
PB_11	SINC0_D0	SPI0_D3	CAN1_TX	SMC0_AMS0	TM0_ACLK1
PB_12	SINC0_D1		UART2_RX	SMC0_AOE	TM0_AC13
PB_13	SINC0_D2	CNT0_OUTA	SPI0_SEL2	SMC0_A01	TM0_ACLK0/SYS_DSWAKE3
PB_14	SINC0_D3	CNT0_OUTB	SPI0_SEL3	SMC0_A02	SPI0_SS/SYS_DSWAKE2
PB_15	CAN0_RX	SPT1_ATDV	UART1_RX	SMC0_A03	TM0_AC14

表9.信号多路复用表端口C

PORT_FER = 0	PORT_FER = 1				输入分支
GPIO	PORT_MUX=b#00	PORT_MUX=b#01	PORT_MUX=b#10	PORT_MUX=b#11	
PC_00	CAN0_TX	SPT1_BTDTV	UART1_TX	SMC0_A04	TM0_AC15
PC_01	UART0_RX			SMC0_A05	
PC_02	UART0_TX	TRACE_D3	SPI0_RDY		
PC_03	SPI0_CLK	PWM2_CH			
PC_04	SPI0_MISO	PWM2_CL			SYS_DSWAKE0 SYS_DSWAKE1
PC_05	SPI0_MOSI	PWM2_DH			
PC_06	SPI0_SEL1	PWM2_DL			
PC_07	SINC0_CLK1	UART2_TX	UART1_RTS		

ADSP-CM407F/ADSP-CM408F

信号描述

表10给出了芯片上的每个信号，描述了信号内容，列出了驱动器类型、端口和引脚名称。

表10.ADSP-CM407F/ADSP-CM408F信号描述

信号	描述	驱动器类型	端口	引脚名称
ADC0_VIN00	用于ADC0的通道0单端模拟输入	待定	未多路复用	ADC0_VIN00
ADC0_VIN01	用于ADC0的通道1单端模拟输入	待定	未多路复用	ADC0_VIN01
ADC0_VIN02	用于ADC0的通道2单端模拟输入	待定	未多路复用	ADC0_VIN02
ADC0_VIN03	用于ADC0的通道3单端模拟输入	待定	未多路复用	ADC0_VIN03
ADC0_VIN04	用于ADC0的通道4单端模拟输入	待定	未多路复用	ADC0_VIN04
ADC0_VIN05	用于ADC0的通道5单端模拟输入	待定	未多路复用	ADC0_VIN05
ADC0_VIN06	用于ADC0的通道6单端模拟输入	待定	未多路复用	ADC0_VIN06
ADC0_VIN07	用于ADC0的通道7单端模拟输入	待定	未多路复用	ADC0_VIN07
ADC1_VIN00	用于ADC1的通道0单端模拟输入	待定	未多路复用	ADC1_VIN00
ADC1_VIN01	用于ADC1的通道1单端模拟输入	待定	未多路复用	ADC1_VIN01
ADC1_VIN02	用于ADC1的通道2单端模拟输入	待定	未多路复用	ADC1_VIN02
ADC1_VIN03	用于ADC1的通道3单端模拟输入	待定	未多路复用	ADC1_VIN03
ADC1_VIN04	用于ADC1的通道4单端模拟输入	待定	未多路复用	ADC1_VIN04
ADC1_VIN05	用于ADC1的通道5单端模拟输入	待定	未多路复用	ADC1_VIN05
ADC1_VIN06	用于ADC1的通道6单端模拟输入	待定	未多路复用	ADC1_VIN06
ADC1_VIN07	用于ADC1的通道7单端模拟输入	待定	未多路复用	ADC1_VIN07
BYP_A0	用于ADC0的片内模拟电源调节旁路滤波器节点(见第6页图4“推荐旁路”)	待定	未多路复用	BYP_A0
BYP_A1	用于ADC1的片内模拟电源调节旁路滤波器节点(见第6页图4“推荐旁路”)	待定	未多路复用	BYP_A1
BYP_D0	用于模拟子系统的片内数字电源调节旁路滤波器节点(见第6页图4“推荐旁路”)	待定	未多路复用	BYP_D0
CAN0_RX	CAN0接收	待定	B	PB_15
CAN0_TX	CAN0发送	待定	C	PC_00
CAN1_RX	CAN1接收	待定	B	PB_10
CAN1_TX	CAN1发送	待定	B	PB_11
CNT0_DG	CNT0递减计数和栅极	待定	B	PB_02
CNT0_OUTA	CNT0输出分频器A	待定	B	PB_13
CNT0_OUTA	CNT0输出分频器A	待定	F	PF_00
CNT0_OUTB	CNT0输出分频器B	待定	B	PB_14
CNT0_OUTB	CNT0输出分频器B	待定	F	PF_01
CNT0_UD	CNT0递增计数和方向	待定	B	PB_01
CNT0_ZM	CNT0零标记	待定	B	PB_00
CNT1_DG	CNT1递减计数和栅极	待定	B	PB_05
CNT1_OUTA	CNT1输出分频器A	待定	E	PE_14
CNT1_OUTB	CNT1输出分频器B	待定	E	PE_15
CNT1_UD	CNT1递增计数和方向	待定	B	PB_04
CNT1_ZM	CNT1零标记	待定	B	PB_03
CNT2_DG	CNT2递减计数和栅极	待定	E	PE_10
CNT2_UD	CNT2递增计数和方向	待定	E	PE_09
CNT2_ZM	CNT2零标记	待定	E	PE_08
CNT3_DG	CNT3递减计数和栅极	待定	E	PE_13

表10.ADSP-CM407F/ADSP-CM408F信号描述(续)

信号	描述	驱动器类型	端口	引脚名称
CNT3_UD	CNT3递增计数和方向	待定	E	PE_12
CNT3_ZM	CNT3零标记	待定	E	PE_11
ETH0_CRS	EMAC0载波检测/RMII接收数据有效	待定	E	PE_09
ETH0_MDC	EMAC0管理通道时钟	待定	E	PE_11
ETH0_MDIO	EMAC0管理通道串行数据	待定	E	PE_10
ETH0_PTPAUXIN	EMAC0 PTP辅助触发输入	待定	E	PE_07
ETH0_PTPCLKIN	EMAC0 PTP时钟输入	待定	F	PF_10
ETH0_PTPPPS	EMAC0 PTP PPS(脉冲/秒)输出	待定	E	PE_08
ETH0_REFCLK	EMAC0参考时钟	待定	E	PE_15
ETH0_RXD0	EMAC0接收数据0	待定	F	PF_00
ETH0_RXD1	EMAC0接收数据1	待定	F	PF_01
ETH0_TXD0	EMAC0发送数据0	待定	E	PE_12
ETH0_TXD1	EMAC0发送数据1	待定	E	PE_13
ETH0_TXEN	EMAC0发送使能	待定	E	PE_14
GND	数字地	待定	未多路复用	GND
GND_ANA0	用于VDD_ANA0的模拟接地回路(见第6页图4“推荐旁路”)	待定	未多路复用	GND_ANA0
GND_ANA1	用于VDD_ANA1的模拟接地回路(见第6页图4“推荐旁路”)	待定	未多路复用	GND_ANA1
GND_ANA2	模拟地(见第6页图4“推荐旁路”)	待定	未多路复用	GND_ANA2
GND_ANA3	模拟地(见第6页图4“推荐旁路”)	待定	未多路复用	GND_ANA3
GND_VREF0	用于VREF0的接地回路(见第6页图4“推荐旁路滤波器”)	待定	未多路复用	GND_VREF0
GND_VREF1	用于VREF1的接地回路(见第6页图4“推荐旁路滤波器”)	待定	未多路复用	GND_VREF1
JTG_TCK/SWCLK	JTG时钟/串行线时钟	待定	未多路复用	JTG_TCK/SWCLK
JTG_TDI	JTG串行数据输入	待定	未多路复用	JTG_TDI
JTG_TDO/SWO	JTG串行数据输出/串行线跟踪输出	待定	未多路复用	JTG_TDO/SWO
JTG_TMS/SWDIO	JTG模式选择/串行线调试数据I/O	待定	未多路复用	JTG_TMS/SWDIO
JTG_TRST	JTG复位	待定	未多路复用	JTG_TRST
PA_00 – PA_15	端口A位0 – 15	待定	A	PA_00 – PA_15
PB_00 – PB_15	端口B位0 – 15	待定	B	PB_00 – PB_15
PC_00 – PC_15	端口C位0 – 15	待定	C	PC_00 – PC_15
PD_00 – PD_15	端口D位0 – 15	待定	D	PD_00 – PD_15
PE_00 – PE_15	端口E位0 – 15	待定	E	PE_00 – PE_15
PF_00 – PF_10	端口F位0 – 10	待定	F	PF_00 – PF_10
PWM0_AH	PWM0通道A高端	待定	A	PA_02
PWM0_AL	PWM0通道A低端	待定	A	PA_03
PWM0_BH	PWM0通道B高端	待定	A	PA_04
PWM0_BL	PWM0通道B低端	待定	A	PA_05
PWM0_CH	PWM0通道C高端	待定	A	PA_06
PWM0_CL	PWM0通道C低端	待定	A	PA_07
PWM0_DH	PWM0通道D高端	待定	B	PB_00
PWM0_DL	PWM0通道D低端	待定	B	PB_01
PWM0_SYNC	PWM0同步	TBD	A	PA_00
PWM0_TRIP0	PWM0关断输入0	待定	A	PA_01

ADSP-CM402F/CM403F/CM407F/CM408F

表10.ADSP-CM407F/ADSP-CM408F信号描述(续)

信号	描述	驱动器类型	端口	引脚名称
PWM1_AH	PWM1通道A高端	待定	A	PA_12
PWM1_AL	PWM1通道A低端	待定	A	PA_13
PWM1_BH	PWM1通道B高端	待定	A	PA_14
PWM1_BL	PWM1通道B低端	待定	A	PA_15
PWM1_CH	PWM1通道C高端	待定	A	PA_08
PWM1_CL	PWM1通道C低端	待定	A	PA_09
PWM1_DH	PWM1通道D高端	待定	B	PB_02
PWM1_DL	PWM1通道D低端	待定	B	PB_03
PWM1_SYNC	PWM1同步	待定	A	PA_10
<u>PWM1_TRIP0</u>	PWM1关断输入0	待定	A	PA_11
PWM2_AH	PWM2通道A高端	待定	B	PB_06
PWM2_AL	PWM2通道A低端	待定	B	PB_07
PWM2_BH	PWM2通道B高端	待定	B	PB_08
PWM2_BL	PWM2通道B低端	待定	B	PB_09
PWM2_CH	PWM2通道C高端	待定	C	PC_03
PWM2_CL	PWM2通道C低端	待定	C	PC_04
PWM2_DH	PWM2通道D高端	待定	C	PC_05
PWM2_DL	PWM2通道D低端	待定	C	PC_06
PWM2_SYNC	PWM2同步	待定	B	PB_04
<u>PWM2_TRIP0</u>	PWM2关断输入0	待定	B	PB_05
REFCAP	带隙发生器滤波器节点输出(见第6页图4“推荐旁路滤波器”)	待定	未多路复用	REFCAP
SINC0_CLK0	SINC0时钟0	待定	B	PB_10
SINC0_CLK1	SINC0时钟1	待定	C	PC_07
SINC0_D0	SINC0数据0	待定	B	PB_11
SINC0_D1	SINC0数据1	待定	B	PB_12
SINC0_D2	SINC0数据2	待定	B	PB_13
SINC0_D3	SINC0数据3	待定	B	PB_14
SMC0_A01	SMC0地址1	待定	B	PB_13
SMC0_A01	SMC0地址1	待定	F	PF_05
SMC0_A02	SMC0地址2	待定	B	PB_14
SMC0_A02	SMC0地址2	待定	F	PF_06
SMC0_A03	SMC0地址3	待定	B	PB_15
SMC0_A03	SMC0地址3	待定	F	PF_07
SMC0_A04	SMC0地址4	待定	C	PC_00
SMC0_A04	SMC0地址4	待定	F	PF_08
SMC0_A05	SMC0地址5	待定	C	PC_01
SMC0_A05	SMC0地址5	待定	F	PF_09
SMC0_A06	SMC0地址6	待定	D	PD_08
SMC0_A07	SMC0地址7	待定	D	PD_09
SMC0_A08	SMC0地址8	待定	D	PD_10
SMC0_A09	SMC0地址9	待定	D	PD_11
SMC0_A10	SMC0地址10	待定	D	PD_12
SMC0_A11	SMC0地址11	待定	D	PD_13
SMC0_A12	SMC0地址12	待定	D	PD_14
SMC0_A13	SMC0地址13	待定	D	PD_15

表10ADSP-CM407F/ADSP-CM408F信号描述(续)

信号	描述	驱动器类型	端口	引脚名称
SMC0_A14	SMC0地址14	待定	E	PE_00
SMC0_A15	SMC0地址15	待定	E	PE_01
SMC0_A16	SMC0地址16	待定	E	PE_02
SMC0_A17	SMC0地址17	待定	E	PE_03
SMC0_A18	SMC0地址18	待定	E	PE_04
SMC0_A19	SMC0地址19	待定	E	PE_05
SMC0_A20	SMC0地址20	待定	E	PE_06
SMC0_A21	SMC0地址21	待定	E	PE_07
SMC0_A22	SMC0地址22	待定	E	PE_08
SMC0_A23	SMC0地址23	待定	E	PE_09
SMC0_A24	SMC0地址24	待定	E	PE_11
SMC0_ABE0	SMC0字节使能0	待定	E	PE_12
SMC0_ABE1	SMC0字节使能1	待定	E	PE_13
SMC0_AMS0	SMC0存储器选择0	待定	B	PB_11
SMC0_AMS0	SMC0存储器选择0	待定	未多路复用	SMC0_AMS0
SMC0_AMS1	SMC0存储器选择1	待定	E	PE_10
SMC0_AMS2	SMC0存储器选择2	待定	A	PA_07
SMC0_AMS3	SMC0存储器选择3	待定	C	PC_11
SMC0_AOE	SMC0输出使能	待定	B	PB_12
SMC0_AOE	SMC0输出使能	待定	F	PF_03
SMC0_ARDY	SMC0异步就绪	待定	B	PB_08
SMC0_ARDY	SMC0异步就绪	待定	F	PF_04
SMC0_ARE	SMC0读取使能	待定	B	PB_09
SMC0_ARE	SMC0读取使能	待定	未多路复用	SMC0_ARE
SMC0_AWE	SMC0写入使能	待定	B	PB_10
SMC0_AWE	SMC0写入使能	待定	未多路复用	SMC0_AWE
SMC0_D00	SMC0数据0	待定	A	PA_08
SMC0_D00	SMC0数据0	待定	C	PC_08
SMC0_D01	SMC0数据1	待定	A	PA_09
SMC0_D01	SMC0数据1	待定	C	PC_09
SMC0_D02	SMC0数据2	待定	A	PA_10
SMC0_D02	SMC0数据2	待定	C	PC_10
SMC0_D03	SMC0数据3	待定	A	PA_11
SMC0_D03	SMC0数据3	待定	C	PC_11
SMC0_D04	SMC0数据4	待定	A	PA_12
SMC0_D04	SMC0数据4	待定	C	PC_12
SMC0_D05	SMC0数据5	待定	A	PA_13
SMC0_D05	SMC0数据5	待定	C	PC_13
SMC0_D06	SMC0数据6	待定	A	PA_14
SMC0_D06	SMC0数据6	待定	C	PC_14
SMC0_D07	SMC0数据7	待定	A	PA_15
SMC0_D07	SMC0数据7	待定	C	PC_15
SMC0_D08	SMC0数据8	待定	B	PB_00
SMC0_D08	SMC0数据8	待定	D	PD_00
SMC0_D09	SMC0数据9	待定	B	PB_01

ADSP-CM402F/CM403F/CM407F/CM408F

表10.ADSP-CM407F/ADSP-CM408F信号描述(续)

信号	描述	驱动器类型	端口	引脚名称
SMC0_D09	SMC0数据9	待定	D	PD_01
SMC0_D10	SMC0数据10	待定	B	PB_02
SMC0_D10	SMC0数据10	待定	D	PD_02
SMC0_D11	SMC0数据11	待定	B	PB_03
SMC0_D11	SMC0数据11	待定	D	PD_03
SMC0_D12	SMC0数据12	待定	B	PB_04
SMC0_D12	SMC0数据12	待定	D	PD_04
SMC0_D13	SMC0数据13	待定	B	PB_05
SMC0_D13	SMC0数据13	待定	D	PD_05
SMC0_D14	SMC0数据14	待定	B	PB_06
SMC0_D14	SMC0数据14	待定	D	PD_06
SMC0_D15	SMC0数据15	待定	B	PB_07
SMC0_D15	SMC0数据15	待定	D	PD_07
SPI0_CLK	SPI0时钟	待定	C	PC_03
SPI0_D2	SPI0数据2	待定	B	PB_10
SPI0_D3	SPI0数据3	待定	B	PB_11
SPI0_MISO	SPI0主机输入、从机输出	待定	C	PC_04
SPI0_MOSI	SPI0主机输出、从机输入	待定	C	PC_05
SPI0_RDY	SPI0就绪	待定	C	PC_02
$\overline{\text{SPI0_SEL1}}$	SPI0从机选择输出1	待定	C	PC_06
$\overline{\text{SPI0_SEL2}}$	SPI0从机选择输出2	待定	B	PB_13
$\overline{\text{SPI0_SEL3}}$	SPI0从机选择输出3	待定	B	PB_14
$\overline{\text{SPI0_SS}}$	SPI0从机选择输入	待定	B	PB_14
SPI1_CLK	SPI1时钟	待定	C	PC_12
SPI1_MISO	SPI1主机输入、从机输出	待定	C	PC_13
SPI1_MOSI	SPI1主机输出、从机输入	待定	C	PC_14
$\overline{\text{SPI1_SEL1}}$	SPI1从机选择输出1	待定	C	PC_15
$\overline{\text{SPI1_SEL2}}$	SPI1从机选择输出2	待定	B	PB_06
$\overline{\text{SPI1_SEL3}}$	SPI1从机选择输出3	待定	B	PB_07
$\overline{\text{SPI1_SS}}$	SPI1从机选择输入	待定	C	PC_15
SPT0_ACLK	SPORT0通道A时钟	待定	B	PB_00
SPT0_AD0	SPORT0通道A数据0	待定	B	PB_02
SPT0_AD1	SPORT0通道A数据1	待定	B	PB_03
SPT0_AFS	SPORT0通道A帧同步	待定	B	PB_01
SPT0_ATDV	SPORT0通道A发送数据有效	待定	B	PB_04
SPT0_BCLK	SPORT0通道B时钟	待定	C	PC_08
SPT0_BD0	SPORT0通道B数据0	待定	C	PC_10
SPT0_BD1	SPORT0通道B数据1	待定	C	PC_11
SPT0_BFS	SPORT0通道B帧同步	待定	C	PC_09
SPT0_BTDTV	SPORT0通道B发送数据有效	待定	B	PB_12
SPT1_ACLK	SPORT1通道A时钟	待定	A	PA_00
SPT1_AD0	SPORT1通道A数据0	待定	A	PA_02
SPT1_AD1	SPORT1通道A数据1	待定	A	PA_03
SPT1_AFS	SPORT1通道A帧同步	待定	A	PA_01
SPT1_ATDV	SPORT1通道A发送数据有效	待定	B	PB_15

表10.ADSP-CM407F/ADSP-CM408F信号描述(续)

信号	信号	驱动器类型	端口	引脚名称
SPT1_BCLK	SPORT1通道B时钟	待定	A	PA_04
SPT1_BD0	SPORT1通道B数据0	待定	A	PA_06
SPT1_BD1	SPORT1通道B数据1	待定	A	PA_07
SPT1_BFS	SPORT1通道B帧同步	待定	A	PA_05
SPT1_BTDTV	SPORT1通道B发送数据有效	待定	C	PC_00
SYS_BMODE0	系统引导模式控制0	待定	未多路复用	SYS_BMODE0
SYS_BMODE1	系统引导模式控制1	待定	未多路复用	SYS_BMODE1
SYS_CLKIN	系统时钟/晶振输入	待定	未多路复用	SYS_CLKIN
SYS_CLKOUT	系统处理器时钟输出	待定	未多路复用	SYS_CLKOUT
SYS_DSWAKE0	系统深度休眠唤醒0	待定	C	PC_06
SYS_DSWAKE1	系统深度休眠唤醒1	待定	C	PC_07
SYS_DSWAKE2	系统深度休眠唤醒2	待定	B	PB_14
SYS_DSWAKE3	系统深度休眠唤醒3	待定	B	PB_13
$\overline{\text{SYS_FAULT}}$	系统补充故障输出	待定	未多路复用	$\overline{\text{SYS_FAULT}}$
$\overline{\text{SYS_HWRST}}$	系统处理器硬件复位控制	待定	未多路复用	$\overline{\text{SYS_HWRST}}$
$\overline{\text{SYS_NMI}}$	系统不可屏蔽的中断	待定	未多路复用	$\overline{\text{SYS_NMI}}$
$\overline{\text{SYS_RESOUT}}$	系统复位输出	待定	未多路复用	$\overline{\text{SYS_RESOUT}}$
SYS_XTAL	系统晶振输出	待定	未多路复用	SYS_XTAL
TM0_AC11	TIMER0备选捕获输入1	待定	B	PB_10
TM0_AC12	TIMER0备选捕获输入2	待定	B	PB_08
TM0_AC13	TIMER0备选捕获输入3	待定	B	PB_12
TM0_AC14	TIMER0备选捕获输入4	待定	B	PB_15
TM0_AC15	TIMER0备选捕获输入5	待定	C	PC_01
TM0_ACLK0	TIMER0备选时钟0	待定	B	PB_13
TM0_ACLK1	TIMER0备选时钟1	待定	B	PB_11
TM0_ACLK2	TIMER0备选时钟2	待定	A	PA_11
TM0_ACLK3	TIMER0备选时钟3	待定	A	PA_10
TM0_ACLK4	TIMER0备选时钟4	待定	A	PA_09
TM0_ACLK5	TIMER0备选时钟5	待定	A	PA_08
TM0_CLK	TIMER0时钟	待定	B	PB_06
TM0_TMR0	TIMER0定时器0	待定	B	PB_07
TM0_TMR1	TIMER0定时器1	待定	B	PB_08
TM0_TMR2	TIMER0定时器2	待定	B	PB_09
TM0_TMR3	TIMER0定时器3	待定	A	PA_15
TM0_TMR4	TIMER0定时器4	待定	A	PA_12
TM0_TMR5	TIMER0定时器5	待定	A	PA_13
TM0_TMR6	TIMER0定时器6	待定	A	PA_14
TM0_TMR7	TIMER0定时器7	待定	B	PB_05
TRACE_CLK	时钟	待定	B	PB_00
TRACE_D0	嵌入式跟踪模块数据0	待定	B	PB_01
TRACE_D1	嵌入式跟踪模块数据1	待定	B	PB_02
TRACE_D2	嵌入式跟踪模块数据2	待定	B	PB_03
TRACE_D3	嵌入式跟踪模块数据3	待定	C	PC_02
TRACE_D3	嵌入式跟踪模块数据3	待定	F	PF_02
TWI0_SCL	TWI0串行时钟	待定	未多路复用	TWI0_SCL

ADSP-CM402F/CM403F/CM407F/CM408F

表10.ADSP-CM407F/ADSP-CM408F信号描述(续)

信号	描述	驱动器类型	端口	引脚名称
TWI0_SDA	TWI0串行数据	待定	未多路复用	TWI0_SDA
UART0_CTS	UART0清除发送	待定	B	PB_05
UART0_RTS	UART0请求发送	待定	B	PB_04
UART0_RX	UART0接收	待定	C	PC_01
UART0_TX	UART0发送	待定	C	PC_02
UART1_CTS	UART1清除发送	待定	A	PA_11
UART1_RTS	UART1请求发送	待定	C	PC_07
UART1_RX	UART1接收	待定	B	PB_08
UART1_RX	UART1接收	待定	B	PB_15
UART1_TX	UART1发送	待定	B	PB_09
UART1_TX	UART1发送	待定	C	PC_00
UART2_RX	UART2接收	待定	B	PB_12
UART2_TX	UART2发送	待定	C	PC_07
USB0_DM	USB0数据	待定	未多路复用	USB0_DM
USB0_DP	USB0数据+	待定	未多路复用	USB0_DP
USB0_ID	USB0 OTG ID	待定	未多路复用	USB0_ID
USB0_VBC	USB0 VBUS控制	待定	F	PF_02
USB0_VBUS	USB0总线电压	待定	未多路复用	USB0_VBUS
VDD_ANA0	模拟电源电压(见第6页图4“推荐旁路”)	待定	未多路复用	VDD_ANA0
VDD_ANA1	模拟电源电压(见第6页图4“推荐旁路”)	待定	未多路复用	VDD_ANA1
VDD_EXT	外部电压域	待定	未多路复用	VDD_EXT
VDD_INT	内部电压域	待定	未多路复用	VDD_INT
VDD_VREG	VREG电源电压	待定	未多路复用	VDD_VREG
VREF0	ADC0的基准电压源。默认配置为输出(见第6页图4“推荐旁路”)	待定	未多路复用	VREF0
VREF1	ADC1的基准电压源。默认配置为输出(见第6页图4“推荐旁路”)	待定	未多路复用	VREF1
VREG_BASE	稳压器基节点	待定	未多路复用	VREG_BASE

ADSP-CM407F/ADSP-CM408F

多路复用引脚

表11至表16给出了芯片上每个多路复用引脚上的信号，一个端口一张表。各种功能通过各端口上指示的PORT_FER寄存器和PORT_MUX寄存器设置进行访问。

表11.信号多路复用表端口A

PORT_FER = 0	PORT_FER = 1				输入分支
GPIO	PORT_MUX=b#00	PORT_MUX=b#01	PORT_MUX=b#10	PORT_MUX=b#11	
PA_00	PWM0_SYNC		SPT1_ACLK		TM0_ACLK5 TM0_ACLK4 TM0_ACLK3 TM0_ACLK2
PA_01	PWM0_TRIP0		SPT1_AFS		
PA_02	PWM0_AH		SPT1_AD0		
PA_03	PWM0_AL		SPT1_AD1		
PA_04	PWM0_BH		SPT1_BCLK		
PA_05	PWM0_BL		SPT1_BFS		
PA_06	PWM0_CH		SPT1_BD0		
PA_07	PWM0_CL	SMC0_AMS2	SPT1_BD1		
PA_08	PWM1_CH		SMC0_D00		
PA_09	PWM1_CL		SMC0_D01		
PA_10	PWM1_SYNC		SMC0_D02		
PA_11	PWM1_TRIP0	UART1_CTS	SMC0_D03		
PA_12	PWM1_AH	TM0_TMR4	SMC0_D04		
PA_13	PWM1_AL	TM0_TMR5	SMC0_D05		
PA_14	PWM1_BH	TM0_TMR6	SMC0_D06		
PA_15	PWM1_BL	TM0_TMR3	SMC0_D07		

表12.信号多路复用表端口B

PORT_FER = 0	PORT_FER = 1				输入分支
GPIO	PORT_MUX=b#00	PORT_MUX=b#01	PORT_MUX=b#10	PORT_MUX=b#11	
PB_00	PWM0_DH	TRACE_CLK	SPT0_ACLK	SMC0_D08	CNT0_ZM
PB_01	PWM0_DL	TRACE_D0	SPT0_AFS	SMC0_D09	CNT0_UD
PB_02	PWM1_DH	TRACE_D1	SPT0_AD0	SMC0_D10	CNT0_DG
PB_03	PWM1_DL	TRACE_D2	SPT0_AD1	SMC0_D11	CNT1_ZM
PB_04	PWM2_SYNC	UART0_RTS	SPT0_ATDV	SMC0_D12	CNT1_UD
PB_05	PWM2_TRIP0	UART0_CTS	TM0_TMR7	SMC0_D13	CNT1_DG
PB_06	PWM2_AH	TM0_CLK	SPI1_SEL2	SMC0_D14	TM0_AC12
PB_07	PWM2_AL	TM0_TMR0	SPI1_SEL3	SMC0_D15	
PB_08	PWM2_BH	TM0_TMR1	UART1_RX	SMC0_ARDY	
PB_09	PWM2_BL	TM0_TMR2	UART1_TX	SMC0_ARE	TM0_AC11
PB_10	SINC0_CLK0	SPIO_D2	CAN1_RX	SMC0_AWE	
PB_11	SINC0_D0	SPIO_D3	CAN1_TX	SMC0_AMS0	TM0_ACLK1
PB_12	SINC0_D1	SPT0_BTDTV	UART2_RX	SMC0_AOE	TM0_AC13
PB_13	SINC0_D2	CNT0_OUTA	SPI0_SEL2	SMC0_A01	TM0_ACLK0/SYS_DS_WAKE3
PB_14	SINC0_D3	CNT0_OUTB	SPI0_SEL3	SMC0_A02	SPI0_SS/SYS_DS_WAKE2
PB_15	CAN0_RX	SPT1_ATDV	UART1_RX	SMC0_A03	TM0_AC14

ADSP-CM402F/CM403F/CM407F/CM408F

表13.信号多路复用表端口C

PORT_FER = 0	PORT_FER = 1				输入分支
GPIO	PORT_MUX=b#00	PORT_MUX=b#01	PORT_MUX=b#10	PORT_MUX=b#11	
PC_00	CAN0_TX	SPT1_BTDTV	UART1_TX	SMC0_A04	TM0_AC15
PC_01	UART0_RX			SMC0_A05	
PC_02	UART0_TX	TRACE_D3	SPI0_RDY		
PC_03	SPI0_CLK	PWM2_CH			
PC_04	SPI0_MISO	PWM2_CL			SYS_DSWAKE0
PC_05	SPI0_MOSI	PWM2_DH			
PC_06	SPI0_SEL1	PWM2_DL			
PC_07	SINC0_CLK1	UART2_TX	UART1_RT5		
PC_08		SPT0_BCLK	SMC0_D00		SYS_DSWAKE1
PC_09		SPT0_BFS	SMC0_D01		
PC_10		SPT0_BD0	SMC0_D02		
PC_11	SMC0_AMS3	SPT0_BD1	SMC0_D03		
PC_12		SPI1_CLK	SMC0_D04		SPI1_SS
PC_13		SPI1_MISO	SMC0_D05		
PC_14		SPI1_MOSI	SMC0_D06		
PC_15		SPI1_SEL1	SMC0_D07		

表14.信号多路复用表端口D

PORT_FER = 0	PORT_FER = 1				输入分支
GPIO	PORT_MUX=b#00	PORT_MUX=b#01	PORT_MUX=b#10	PORT_MUX=b#11	
PD_00			SMC0_D08		
PD_01			SMC0_D09		
PD_02			SMC0_D10		
PD_03			SMC0_D11		
PD_04			SMC0_D12		
PD_05			SMC0_D13		
PD_06			SMC0_D14		
PD_07			SMC0_D15		
PD_08			SMC0_A06		
PD_09			SMC0_A07		
PD_10			SMC0_A08		
PD_11			SMC0_A09		
PD_12			SMC0_A10		
PD_13			SMC0_A11		
PD_14			SMC0_A12		
PD_15			SMC0_A13		

表15.信号多路复用表端口E

PORT_FER = 0	PORT_FER = 1				输入分支
GPIO	PORT_MUX=b#00	PORT_MUX=b#01	PORT_MUX=b#10	PORT_MUX=b#11	
PE_00			SMC0_A14		CNT2_ZM CNT2_UD CNT2_DG CNT3_ZM CNT3_UD CNT3_DG
PE_01			SMC0_A15		
PE_02			SMC0_A16		
PE_03			SMC0_A17		
PE_04			SMC0_A18		
PE_05			SMC0_A19		
PE_06			SMC0_A20		
PE_07		ETH0_PTPAUXIN	SMC0_A21		
PE_08		ETH0_PTPPPS	SMC0_A22		
PE_09		ETH0_CRS	SMC0_A23		
PE_10		ETH0_MDIO	SMC0_AMS1		
PE_11	ETH0_MDC		SMC0_A24		
PE_12	ETH0_TXD0		SMC0_ABE0		
PE_13	ETH0_TXD1		SMC0_ABE1		
PE_14	ETH0_TXEN	CNT1_OUTA			
PE_15	ETH0_REFCLK	CNT1_OUTB			

表16.信号多路复用表端口F

PORT_FER = 0	PORT_FER = 1				输入分支
GPIO	PORT_MUX=b#00	PORT_MUX=b#01	PORT_MUX=b#10	PORT_MUX=b#11	
PF_00	ETH0_RXD0	CNT0_OUTA			
PF_01	ETH0_RXD1	CNT0_OUTB			
PF_02	USB0_VBC	TRACE_D3			
PF_03			SMC0_AOE		
PF_04			SMC0_ARDY		
PF_05			SMC0_A01		
PF_06			SMC0_A02		
PF_07			SMC0_A03		
PF_08			SMC0_A04		
PF_09			SMC0_A05		
PF_10	ETH0_PTPCLKIN				

规格

有关产品规格的信息，请联系ADI公司代表。

工作条件

参数		条件	最小值	标称	最大值	单位
$V_{DD_INT}^1$	数字内部电源电压	待定MHz	待定	待定	待定	V
$V_{DD_EXT}^2$	数字外部电源电压		3.13	3.3	3.47	V
$V_{DD_ANA}^2$	模拟电源电压		3.13	3.3	3.47	V
V_{IH}^3	高电平输入电压	$V_{DD_EXT} = 3.47\text{ V}$	2.0			V
V_{IHTWI}^4	高电平输入电压	$V_{DD_EXT} = 3.47\text{ V}$	$0.7 \times V_{VBUSTWI}$		$V_{VBUSTWI}$	V
V_{IL}^3	低电平输入电压	$V_{DD_EXT} = 3.13\text{ V}$			0.8	V
V_{ILTWI}^4	低电平输入电压	$V_{DD_EXT} = 3.13\text{ V}$			$0.3 \times V_{VBUSTWI}$	V
T_J	结温	$T_{AMBIENT} = \text{待定}^{\circ}\text{C至+待定}^{\circ}\text{C}$	-40		105	$^{\circ}\text{C}$

¹ 预期标称值为1.2 V ±5%，客户初始设计应利用一个可编程稳压器设计，该稳压器可在1.0 V到1.4 V范围内以50 mV步进进行调整。

² 必须保持通电(即便不使用相关的功能)。

³ 参数值适用于TWI信号和USB0信号以外的所有输入和双向信号。

⁴ 参数适用于TWI_SDA和TWI_SCL。

时钟相关工作条件

表17说明了内核时钟时序要求。除非另有明确说明，表中的数据适用于所有速度等级。图8显示了各个时钟及其可用的分频器值。

表17.时钟工作条件

参数		最大值	单位
f_{CCLK}	内核时钟频率($CCLK \geq SYSCLK$, $CSEL \leq SYSSEL$)	待定	MHz
f_{SYSCLK}	SYSCLK频率	待定	MHz
f_{OCLK}	输出时钟频率	待定	MHz

表18.锁相环工作条件

参数		最小值	最大值	单位
$f_{PLLCCLK}$	PLL时钟频率	待定	待定	MHz

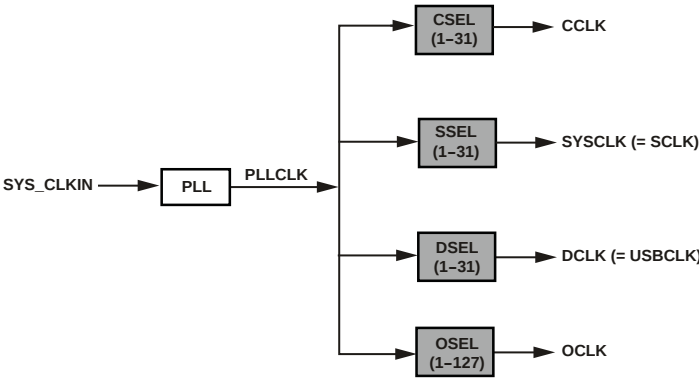


图8.时钟关系和分频器值

电气特性

参数		测试条件	最小值	典型值	最大值	单位
V_{OH}	高电平输出电压	$V_{DD_EXT} = 3.13\text{ V}$, $I_{OH} = -0.5\text{ mA}$	2.4			V
V_{OL}	低电平输出电压	$V_{DD_EXT} = 3.13\text{ V}$, $I_{OL} = 2.0\text{ mA}$			0.4	V
V_{OLTWI}^1	低电平输出电压	$V_{DD_EXT} = 3.13\text{ V}$, $I_{OL} = 2.0\text{ mA}$			待定	V
I_{IH}^2	高电平输入电流	$V_{DD_EXT} = 3.47\text{ V}$, $V_{IN} = 3.47\text{ V}$			10	μA
I_{IL}^2	低电平输入电流	$V_{DD_EXT} = 3.47\text{ V}$, $V_{IN} = 0\text{ V}$			10	μA
I_{IHP}^3	高电平输入电流JTAG	$V_{DD_EXT} = 3.47\text{ V}$, $V_{IN} = 3.47\text{ V}$			100	μA
I_{OZH}^4	三态漏电流	$V_{DD_EXT} = 3.47\text{ V}$, $V_{IN} = 3.47\text{ V}$			10	μA
I_{OZTWI}^1	三态漏电流	$V_{DD_EXT} = 3.47\text{ V}$, $V_{IN} = \text{TBD V}$			待定	μA
I_{OZL}^4	三态漏电流	$V_{DD_EXT} = 3.47\text{ V}$, $V_{IN} = 0\text{ V}$			10	μA
$C_{IN}^{5,6}$	输入电容	$f_{IN} = 1\text{ MHz}$, $T_J = 25^\circ\text{C}$, $V_{IN} = 3.3\text{ V}$		待定	待定	pF
$I_{DD_DEEPSLEEP}^7$	深度休眠模式下的 V_{DD_INT} 电流	$V_{DD_INT} = \text{待定 V}$, $f_{CCLK} = 0\text{ MHz}$, $f_{SYSCLK} = 0\text{ MHz}$, $T_J = 25^\circ\text{C}$, $ASF = 0.00$		待定		mA
I_{DD_IDLE}	空闲时的 V_{DD_INT} 电源	$V_{DD_INT} = \text{待定 V}$, $f_{CCLK} = \text{待定 MHz}$, $T_J = 25^\circ\text{C}$, $ASF = \text{待定}$		待定		mA
I_{DD_TYP}	V_{DD_INT} 电流	$V_{DD_INT} = \text{待定 V}$, $f_{CCLK} = \text{待定 MHz}$, $T_J = 25^\circ\text{C}$, $ASF = 1.00$		待定		mA
$I_{DD_DEEPSLEEP}$	深度休眠模式下的 V_{DD_INT} 电流	$f_{CCLK} = 0\text{ MHz}$, $f_{SYSCLK} = 0\text{ MHz}$			待定	mA
I_{DD_INT}	V_{DD_INT} 电流	$f_{CCLK} > 0\text{ MHz}$, $f_{SYSCLK} \geq 0\text{ MHz}$			待定	mA

¹ 适用于双向引脚TWI_SCL和TWI_SDA。

² 适用于输入引脚。

³ 适用于JTAG输入引脚(JTG_TCK, JTG_TDI, JTG_TMS, JTG_TRST)。

⁴ 适用于三态引脚。

⁵ 保证符合要求, 但未经过测试。

⁶ 适用于所有信号引脚。

⁷ 有关深度休眠工作模式的定义, 请参见《搭载ARM Cortex-M4的ADSP-CM40x混合信号控制处理器硬件参考手册》。

总功耗

总功耗包括两个分量：

1. 静态功耗, 包括漏电流
2. 动态功耗, 由晶振管开关特性引起

许多工作条件也可能影响功耗, 包括温度、电压、工作频率和处理器活动等。第35页的电气特性列出了内部电路(V_{DD_INT})的功耗。

$I_{DD_DEEPSLEEP}$ 表示与电压(V_{DD_INT})和温度相关的静态功耗, I_{DD_INT} 表示所列测试条件下的总功耗, 包括与电压(V_{DD_INT})和频率相关的动态功耗。

动态分量包括两部分。第一部分是由内核时钟(CCLK)域的晶振管开关引起的, 该部分与一个“活动比例因子”(ASF)相关, 它代表处理器内核和L1存储器上运行的应用程序代码。

ASF与CCLK频率和 V_{DD_INT} 相关数据(表待定)共同来计算这一部分功耗。第二部分是由系统时钟(SYSCLK)域的晶体管开关引起的, I_{DD_INT} 规格方程式(待定)中已包括该部分。

ADSP-CM402F/CM403F/CM407F/CM408F

参数	最小值	典型值	最大值	单位	测试条件/注释
动态性能					
吞吐速率			2.63	MSPS	ADC0_V _{IN,00-11} , ADC1_V _{IN,00-11}
转换速率		150		nS	图待定
采集时间					ADC0_V _{IN,00-11} , ADC1_V _{IN,00-11}
交流精度					
特性					
ADSP-CM403F/ADSP-CM408F					
信噪比(SNR)		81.25		dB	f _{IN} = 1 kHz, 0 V至2.5 V输入, 2.63 MSPS
信纳比(SINAD)		81		dB	f _{IN} = 1 kHz, 0 V至2.5 V输入, 2.63 MSPS
总谐波失真(THD)		-90		dB	f _{IN} = 1 kHz, 0 V至2.5 V输入, 2.63 MSPS
无杂散动态范围(SFDR)		90		dBc	f _{IN} = 1 kHz, 0 V至2.5 V输入, 2.63 MSPS
动态范围		82	待定	dB	f _{IN} = DC
有效位数(ENOB)		13.2		Bits	
ADSP-CM402F/ADSP-CM407F					
信噪比(SNR)		74		dB	f _{IN} = 1 kHz, 0 V至2.5 V输入, 2.63 MSPS
信纳比(SINAD)		73		dB	f _{IN} = 1 kHz, 0 V至2.5 V输入, 2.63 MSPS
总谐波失真(THD)		-88	待定	dB	f _{IN} = 1 kHz, 0 V至2.5 V输入, 2.63 MSPS
无杂散动态范围(SFDR)		88	待定	dBc	f _{IN} = 1 kHz, 0 V至2.5 V输入, 2.63 MSPS
动态范围		75.5	待定	dB	f _{IN} = DC
有效位数(ENOB)	待定	11.8		位	
通道间隔离		待定		dB	指向相同ADC的任意通道对
ADC间隔离		待定		dB	指向相反ADC的任意通道对
电源抑制比(PSRR)		待定		dB	100 mv p-p @1 kHz施加于V _{DD,ANA}

ADSP-CM402F/CM403F/CM407F/CM408F

DAC技术规格

除非另有说明，设 $V_{DD_ANA} = 3.3\text{ V}$, $V_{REF} = 2.5\text{ V}$, $T_{JUNCTION} = 25^{\circ}\text{C}$ 。

参数	最小值	典型值	最大值	单位	测试条件/注释
模拟输出 特性					DAC0_VOUT, DAC1_VOUT
输出电压范围	待定	0.1至2.5	待定	V	
输出阻抗		待定		Ohms	正常工作
				Ohms	DAC(满量程)
				Ohms	DAC(零电平)
更新速率			50	kHz	
至GND的短路电流		30		mA	
至 V_{DD} 的短路电流		30		mA	
静态性能 直流精度 特性					RL = 500 ohms, CL = 100 pF
分辨率		12		位	
差分非线性(DNL)		± 0.5	待定	LSB	保证单调性
积分非线性(INL)		± 2	待定	LSB	
失调误差		$\pm$ 待定	待定	mV	在待定代码下测得， 第41页图23 ， 第42页图27
满量程误差		$\pm$ 待定	待定	% FSR	满量程的百分比，在代码0xFFFF下测得， 第42页图28 ， 第42页图30
增益误差		$\pm$ 待定	待定	% FSR	满量程的百分比， 第42页图28 ， 第42页图30
DC隔离			待定	uV	在DAC1_VOUT从0切换至满量程时，DAC0_VOUT的静态输出
动态性能 交流精度 特性					RL = 500 ohms, CL = 100 pF
信噪比(SNR)		70		dB	
信纳比(SINAD)		69		dB	
总谐波失真		待定		dB	
动态范围		待定		dB	
建立时间	10	待定		μS	$\frac{1}{4}$ 至 $\frac{3}{4}$ 满量程， 第42页图31
压摆率		1.5		V/ μS	
D/A毛刺能量		待定		nV/Sec	在代码从0x7FF变为0x800时测量
DAC至DAC隔离		待定		nV/Sec	
电源抑制比(PSRR)		待定		dB	100mv p-p @1kHz施加于 V_{DD_ANAx}

ADC典型性能参数

除非另有说明， $V_{DD_ANA} = 3.3\text{ V}$, $V_{REF} = 2.5\text{ V}$, $T_{JUNCTION} = 25^{\circ}\text{C}$ 。

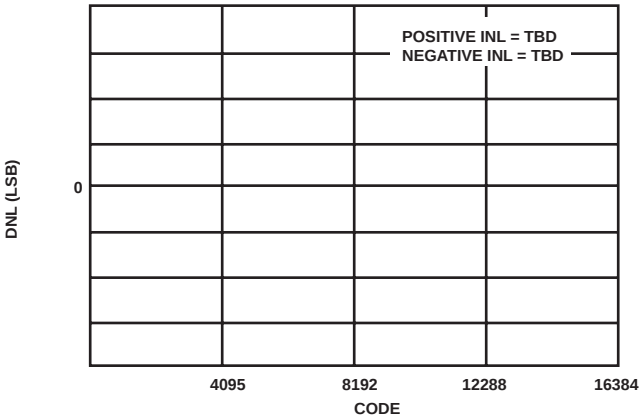


图9.DNL与代码

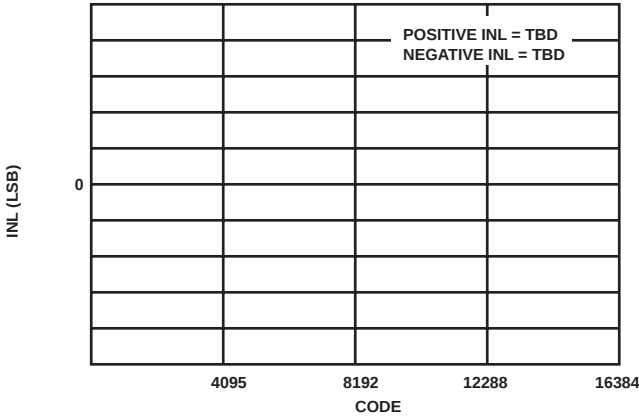


图12.INL与代码

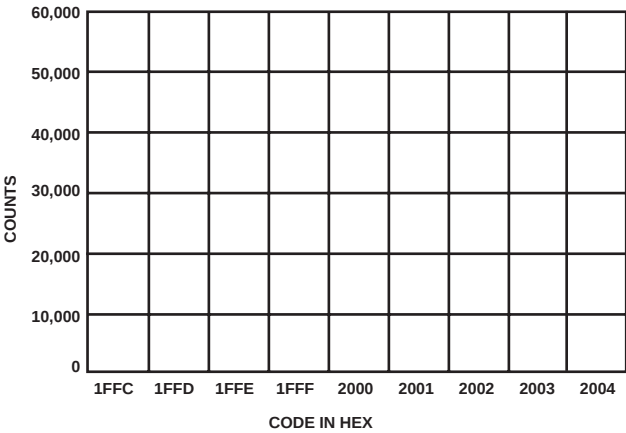


图10.直流输入直方图(码中心、外部基准源)

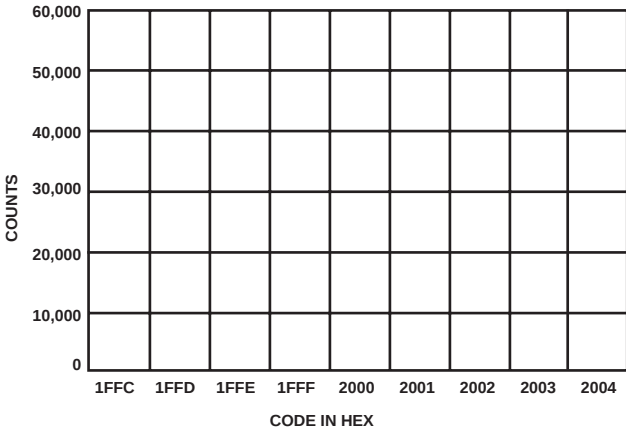


图13.直流输入直方图(码转换、外部基准源)

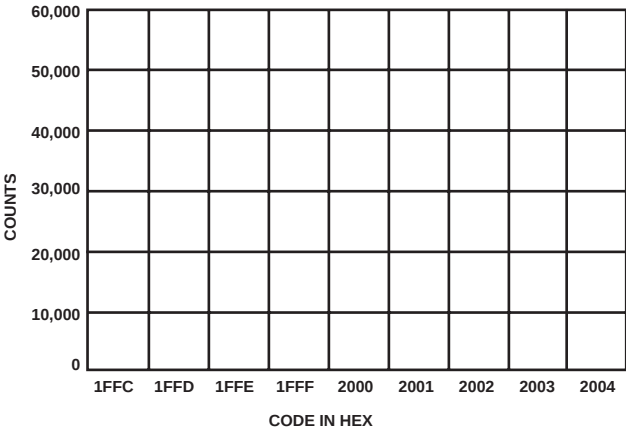


图11.直流输入直方图(码中心、内部基准源)

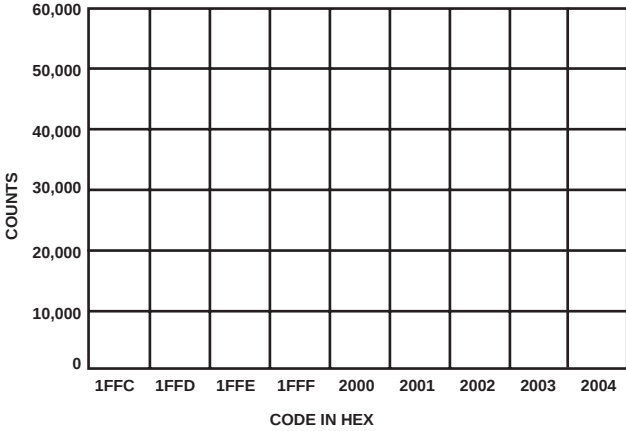


图14.直流输入直方图(码转换、内部基准源)

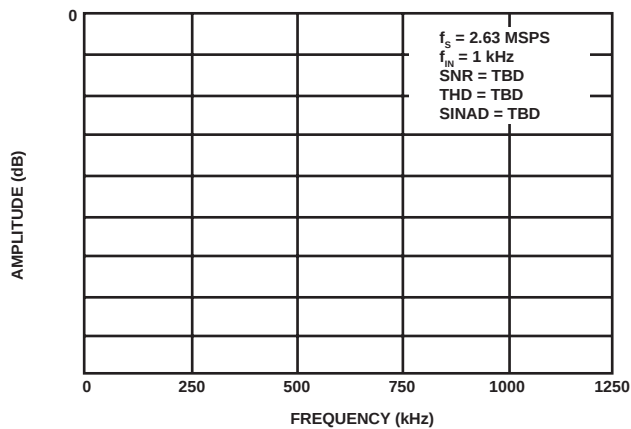


图15.FFT曲线(外部基准源)

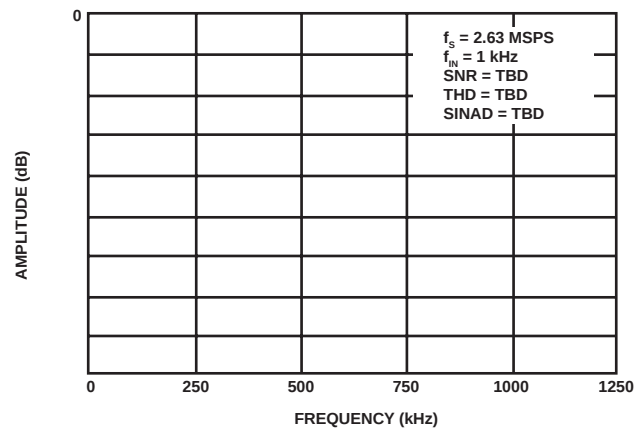


图18.FFT曲线(内部基准源)

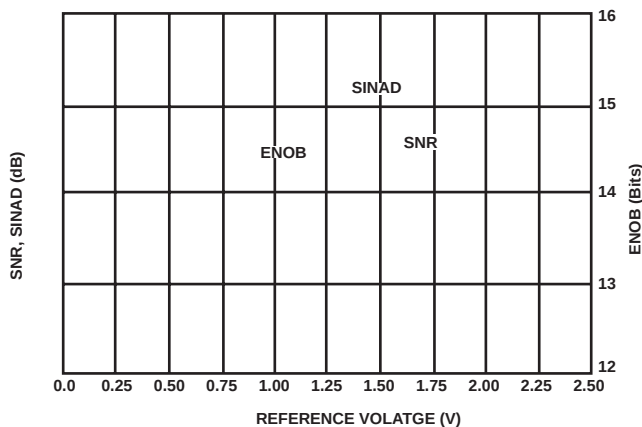


图16.SNR、SINAD和ENOB与外部基准电压的关系

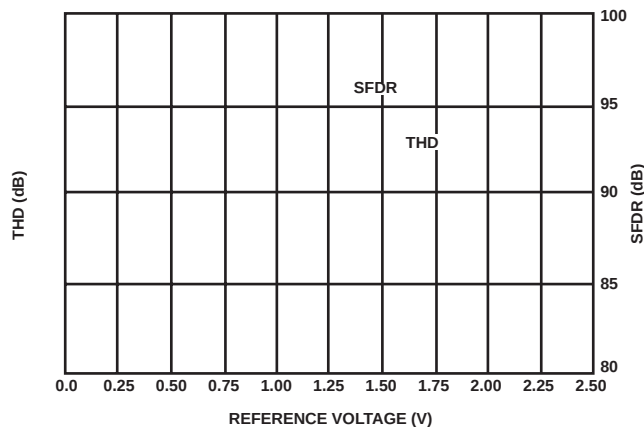


图19.TH和SFDR与外部基准电压的关系

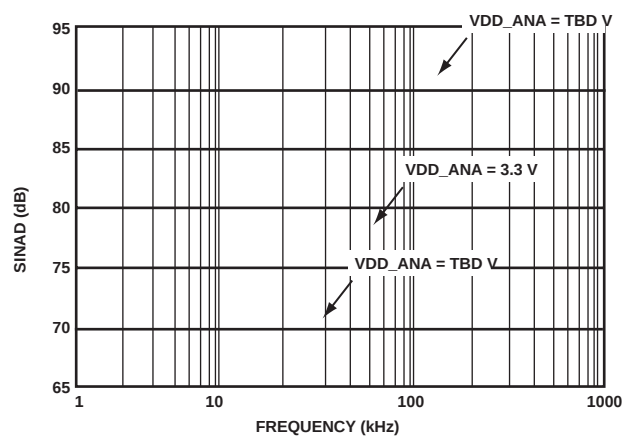


图17.SINAD与频率的关系

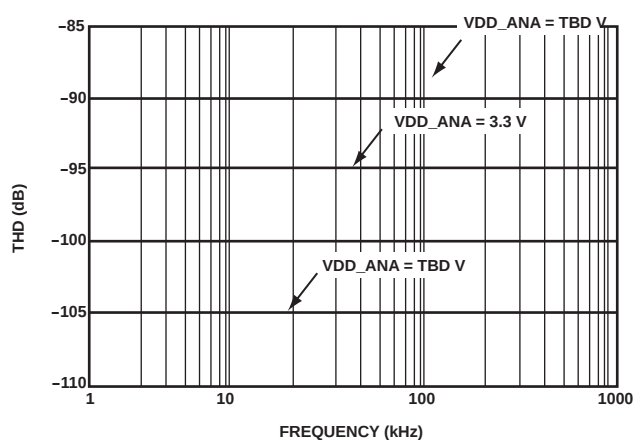


图20.TH和频率的关系

DAC典型性能参数

除非另有说明, $V_{DD_ANA} = 3.3\text{ V}$, $V_{REF} = 2.5\text{ V}$, $T_{JUNCTION} = 25^{\circ}\text{C}$ 。

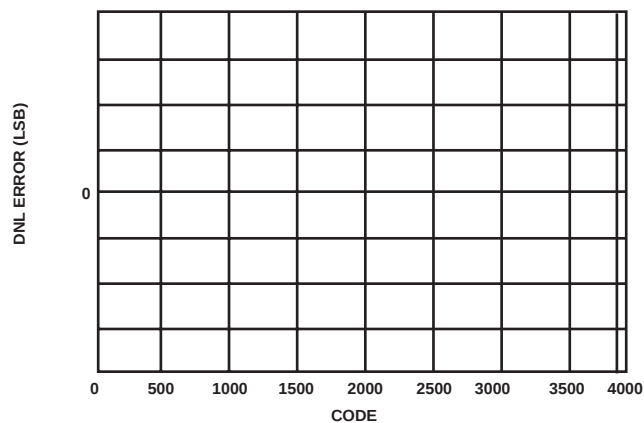


图21.DNL与代码

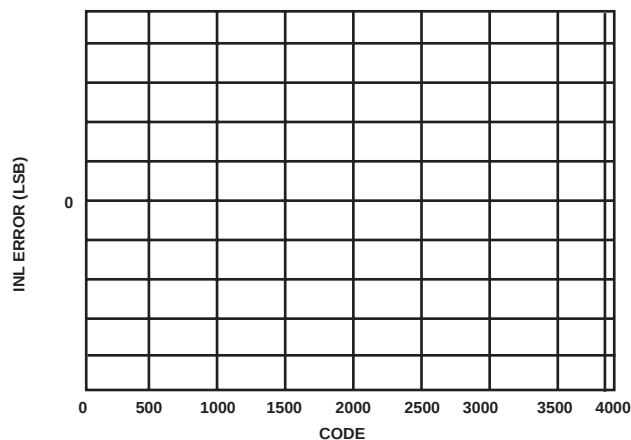


图24.INL与代码

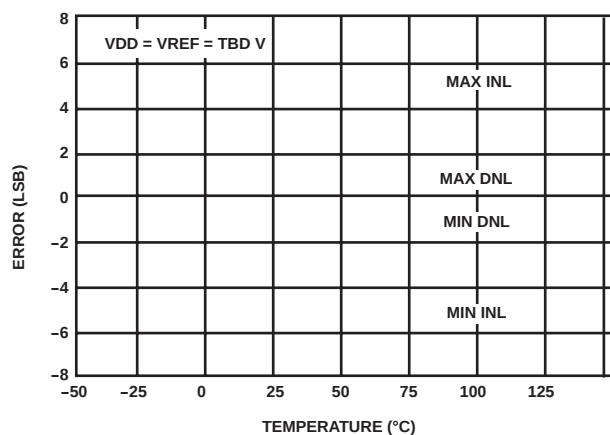


图22.INL误差和DNL误差与温度的关系

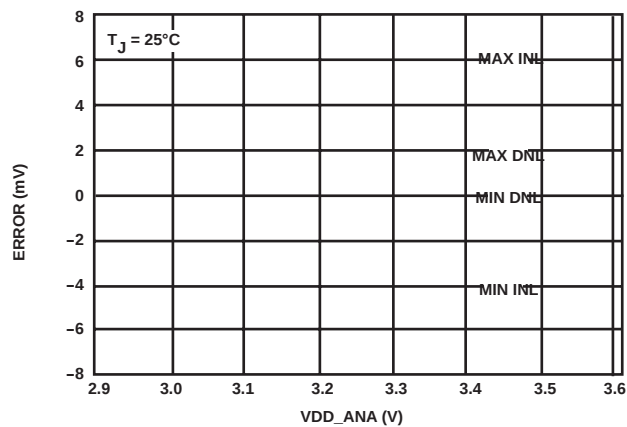


图25.INL误差和DNL误差与电源的关系

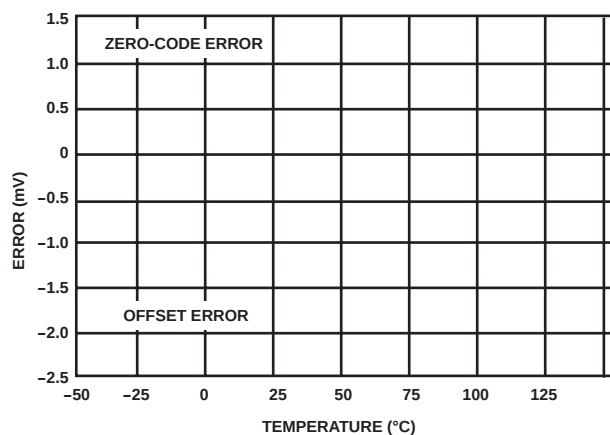


图23.零代码误差和偏置误差与温度的关系

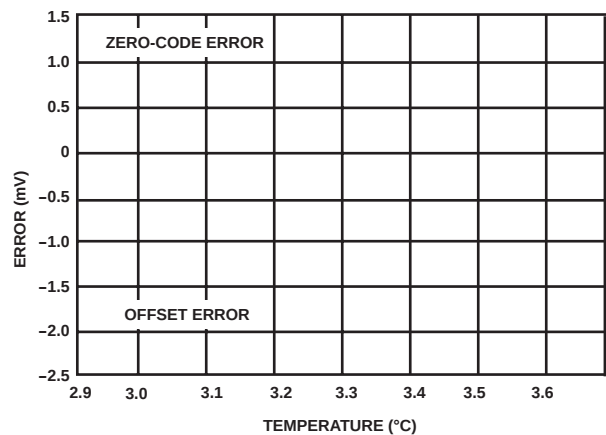


图26.INL误差和DNL误差与电源的关系

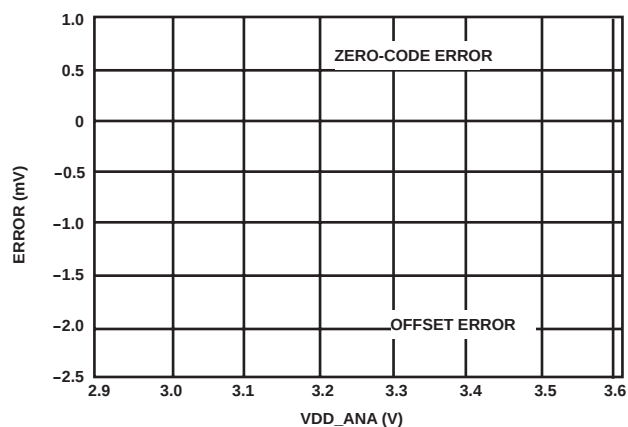


图27.零代码误差和偏置误差与电源的关系

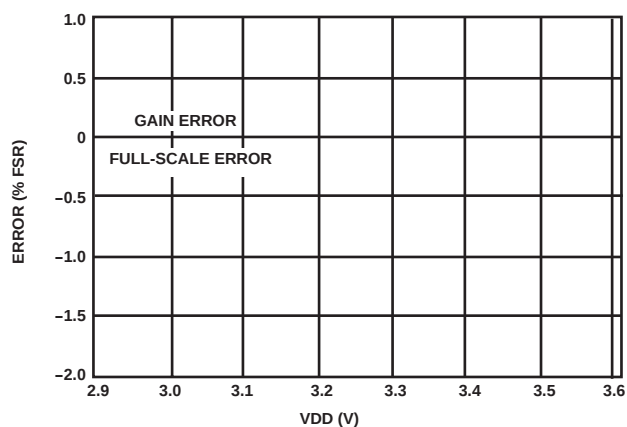


图30.增益误差和满量程误差与电源的关系

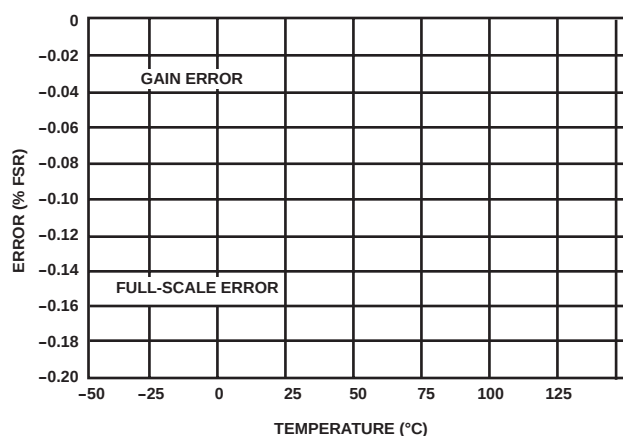


图28.增益误差和满量程误差与温度的关系

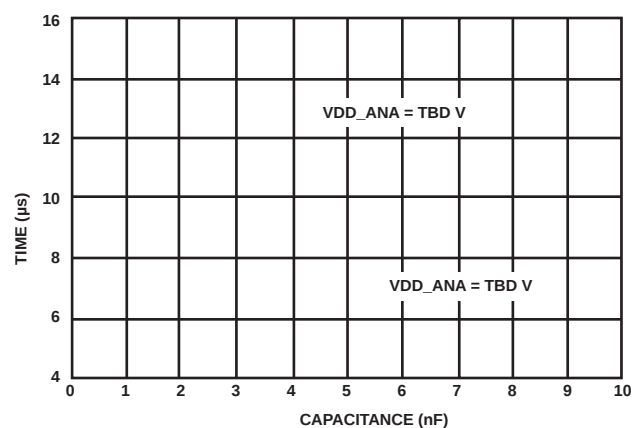


图31.建立时间与容性负载的关系

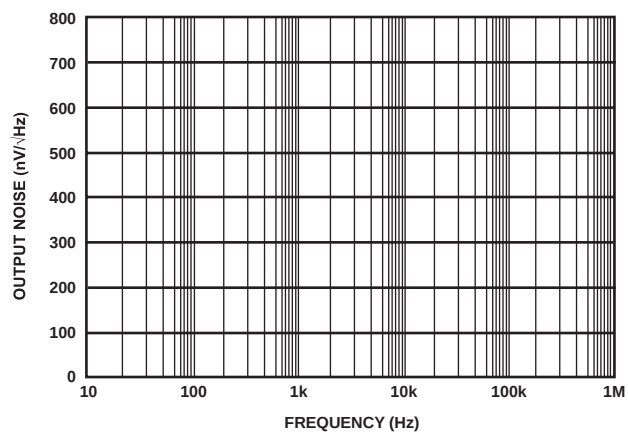


图29.噪声频谱密度

闪存规格

闪存特性包括：

- 每个扇区100,000个擦除周期
- 20年数据保留期

闪存写/擦除挂起命令

表19列出了闪存挂起命令参数。

表19.挂起参数^{1,2,3}

参数	环境	典型值	最大值	单位	备注
擦除挂起	扇区擦除或擦除恢复至擦除挂起	700	–	μs	1
写挂起	写恢复至写挂起	5	–	μs	1
子扇区擦除挂起	子扇区擦除或子扇区擦除恢复至擦除挂起	50	–	μ	1
挂起延迟	写	7	–	μs	2
挂起延迟	子扇区擦除	15	–	μs	2
挂起延迟	擦除	15	–	μs	3

¹ 时序不在内部进行控制。
² 可接受任何读取命令。
³ 可接受下列命令以外的任何命令：扇区、子扇区或批量擦除；写状态寄存器。

闪存交流特性和工作条件

表20给出了闪存特有的工作条件。

表20.交流特性和工作条件

参数	符号	最小值	典型值 ¹	最大值	单位
读取命令以外的所有其他命令的时钟频率(SPI-ER、QIO-SPI协议)	f _C	直流	–	100	MHz
读取命令的时钟频率	f _R	直流	–	54	MHz
页面写周期时间(256字节) ²	t _{PP}	–	0.5	5	ms
页面写周期时间(n字节) ^{2,3}	t _{PP}	–	int(n/8) × 0.015	5	ms
子扇区擦除周期时间	t _{SSE}	–	0.3	1.5	s
扇区擦除周期时间	t _{SE}	–	0.7	3	s
批量擦除周期时间	t _{BE}	–	170	250	s

¹ 典型值的条件为T_J = 25°C。
² 当使用页面写命令来写连续字节时，可获得优化时序，其中一个序列包括所有字节，几个序列只包括少量字节(1 < n < 256)。
³ int(A)对应于A的整数上限。例如，int(12/8) = 2，int(32/8) = 4，(15.3) = 16。

ADSP-CM402F/CM403F/CM407F/CM408F

绝对最大额定值

超出表中所列值可能会导致器件永久性损坏。这只是额定最值，不表示在这些条件下或者在任何其他超出本技术规范操作章节中所示规格的条件下，器件能够正常工作。长期在绝对最大额定值条件下工作会影响器件的可靠性。

参数	评分
内部电源电压(V_{DD_INT})	-0.33 V至+1.32 V
外部(I/O)电源电压(V_{DD_EXT})	-0.33 V至+3.63 V
模拟电源电压(V_{DD_ANA})	-0.33 V至+3.63 V
数字输入电压 ^{1,2}	-0.33 V至+3.63 V
TWI数字输入电压 ^{1,2,3}	-0.33 V至+5.50 V
数字输出电压摆幅	-0.33 V至 $V_{DD_EXT} + 0.5 V$
模拟输入电压	-0.3 V至 $V_{REF0}/V_{REF1} + 0.3 V$
USB0_Dx输入	-0.33 V至+5.25 V
USB0_VBUS输入电压	-0.33 V至+6.00 V
存储温度范围	-65°C至+150°C
偏置条件下的结温	+125°C

¹ 适用于100%瞬变占空比。其他占空比参见表21。

² 仅适用于 V_{DD_EXT} 处于规格范围之内时。当 V_{DD_EXT} 超出规格要求时，该范围为 $V_{DD_EXT} \pm 0.2 V$ 。

³ 适用于引脚TWI_SCL和TWI_SDA。

表21输入瞬变电压的最大占空比¹

V_{IN} 最小值(V)	V_{IN} 最大值(V)	最大占空比
待定	待定	待定
待定	待定	待定
待定	待定	待定
待定	待定	待定
待定	待定	待定

¹ 适用于SYS_CLKIN、SYS_XTAL以外的所有信号引脚。

ESD灵敏度



ESD(静电放电)敏感器件。

带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路，但在遇到高能量ESD时，器件可能会损坏。因此，应当采取适当的ESD防范措施，以避免器件性能下降或功能丧失。

封装信息

图32和表22所示的信息提供了封装标识的详情。产品供货的完整列表请参阅第82页的“预发布产品”。



图32.产品封装信息

表22.封装标识信息

标识码	字段说明
ADSP-CM40x	产品名称 ¹
t	温度范围
pp	封装类型
Z	符合RoHS标准
ccc	参见订购指南
vvvvvv.x	组装批次代码
n.n	芯片版本
yyww	日期代码

¹ 参见第82页“预发布产品”中的已供货产品。

时序规格

规格如有变更恕不另行通知。

时钟和复位时序

表23和图33描述时钟和复位操作。根据第34页表17中的CCLK、SYSCLK、SCLK、DCLK和OCLK时序规格，SYS_CLKIN与时钟乘法器的组合不得选择超过处理器最大指令速率的时钟速率。

表23.时钟和复位时序

参数		最小值	最大值	单位
时序要求				
f _{CKIN}	SYS_CLKIN频率(使用晶振) ^{1,2,3}	20	50	MHz
f _{CKIN}	SYS_CLKIN频率(使用晶振) ^{1,2,3}	20	60	MHz
t _{CKINL}	SYS_CLKIN低电平脉冲 ¹	TBD		ns
t _{CKINH}	SYS_CLKIN高电平脉冲 ¹	TBD		ns
t _{WRST}	$\overline{\text{SYS_HWRST}}$ 置位低电平脉冲宽度 ⁴	11 × t _{CKIN}		ns

¹ 适用于PLL旁路模式和PLL非旁路模式。

² t_{CKIN}周期(见图33)等于1/f_{CKIN}。

³ 如果CGU_CTL.DF位置1，则f_{CKIN}最小值规格为40 MHz。

⁴ 上电序列完成之后应用。上电复位时序参见表24和图34。

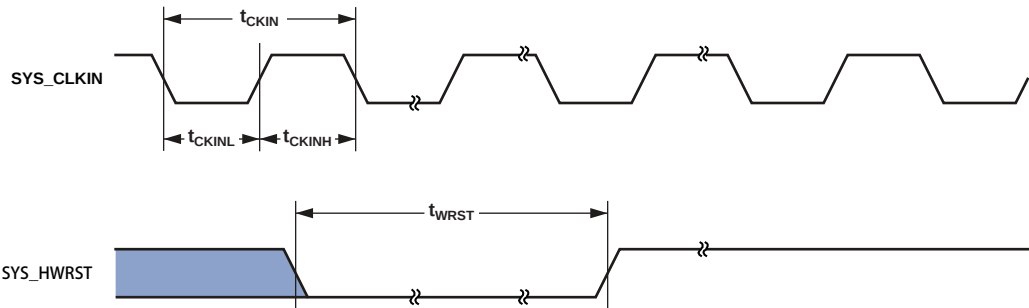


图33.时钟和复位时序

ADSP-CM402F/CM403F/CM407F/CM408F

上电复位时序

在图34中， $V_{DD_SUPPLIES}$ 为 V_{DD_INT} 、 V_{DD_EXT} 、 V_{DD_VREG} 、 V_{DD_ANA0} 和 V_{DD_ANA1} 。

表24.上电复位时序

参数	最小值	最大值	单位
时序要求			
$t_{RST_IN_PWR}$ $\overline{SYS_HWRST}$ 在 V_{DD_INT} 、 V_{DD_EXT} 、 V_{DD_VREG} 、 V_{DD_ANA0} 、 V_{DD_ANA1} 和 SYS_CLKIN 稳定于规格范围之内之后解除置位	$11 \times t_{CKIN}$		ns

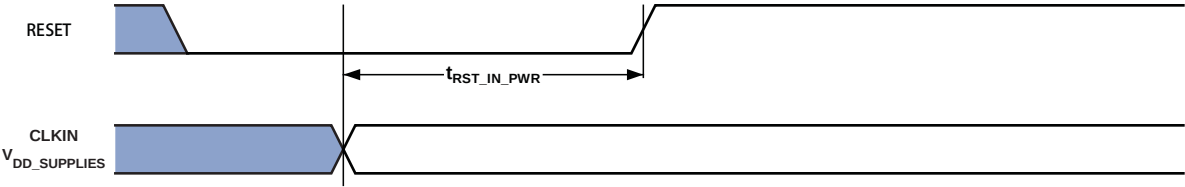


图34上电复位时序

异步读取

表25.异步存储器读取(BxMODE = b#00)

参数	最小值	最大值	单位
时序要求			
$t_{SDATARE}$	待定		ns
$t_{HDATARE}$	待定		ns
$t_{DARDYARE}$		$(RAT - 2.5) \times t_{SCLK} - \text{待定}$	ns
开关特性			
$t_{ADDRARE}$	$(PREST + RST + PREAT) \times t_{SCLK} - \text{待定}$		ns
t_{AOEARE}	$(RST + PREAT) \times t_{SCLK} - \text{待定}$		ns
t_{HARE}	$RHT \times t_{SCLK} - \text{待定}$		ns
t_{WARE}	$RAT \times t_{SCLK} - \text{待定}$		ns
$t_{DAREARDY}$	$2.5 \times t_{SCLK}$	$3.5 \times t_{SCLK} + \text{待定}$	ns

¹ SMC0_BxCTL.ARDYEN位 = 1.

² RAT值通过SMC_BxTIM.RAT位设置。

³ PREST、RST和PREAT值用SMC_BxETIM.PREST位、SMC_BxTIM.RST位和SMC_BxETIM.PREAT位设置。

⁴ 输出信号为SMC0_Ax、SMC0_AMS、SMC0_AOE、SMC0_ABEx。

⁵ RHT值用SMC_BxTIM.RHT位设置。

⁶ SMC0_BxCTL.ARDYEN位 = 0.

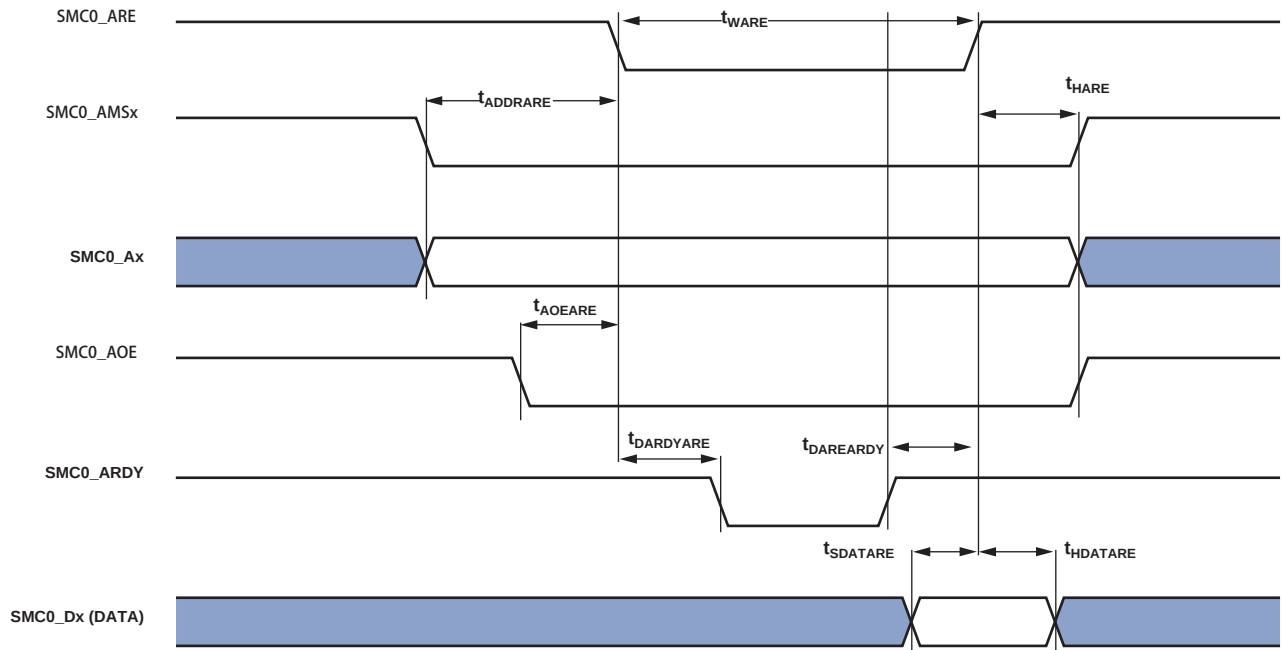


图35.异步读取

异步闪存读取

表26.异步闪存读取

参数		最小值	最大值	单位
开关特性				
t_{AMSADV}	$\overline{SMC0_AOE}$ 低电平之前SMC0_Ax(地址)/ $\overline{SMC0_AMSx}$ 置位时间 ¹	$PREST \times t_{SCLK}$ – 待定		ns
t_{WADV}	$\overline{SMC0_AOE}$ 有效低电平宽度 ²	$RST \times t_{SCLK}$ – 待定		ns
$t_{DADVARE}$	$\overline{SMC0_ARE}$ 从 $\overline{SMC0_AOE}$ 高电平到低电平的延迟时间 ³	$PREAT \times t_{SCLK}$ – 待定		ns
t_{HARE}	$\overline{SMC0_ARE}$ 高电平 ⁵ 之后输出 ⁴ 保持时间	$RHT \times t_{SCLK}$ – 待定		ns
t_{WARE} ⁶	$\overline{SMC0_ARE}$ 有效低电平宽度 ⁷	$RAT \times t_{SCLK}$ – 待定		ns

¹ PREST值用SMC_BxETIM.PREST位设置。
² RST值用SMC_BxTIM.RST位设置。
³ PREAT值用SMC_BxETIM.PREAT位设置。
⁴ 输出信号为SMC0_Ax、 $\overline{SMC0_AMS}$ 、 $\overline{SMC0_AOE}$ 。
⁵ RHT值用SMC_BxTIM.RHT位设置。
⁶ SMC0_BxCTL.ARDYEN位 = 0。
⁷ RAT值通过SMC_BxTIM.RAT位设置。

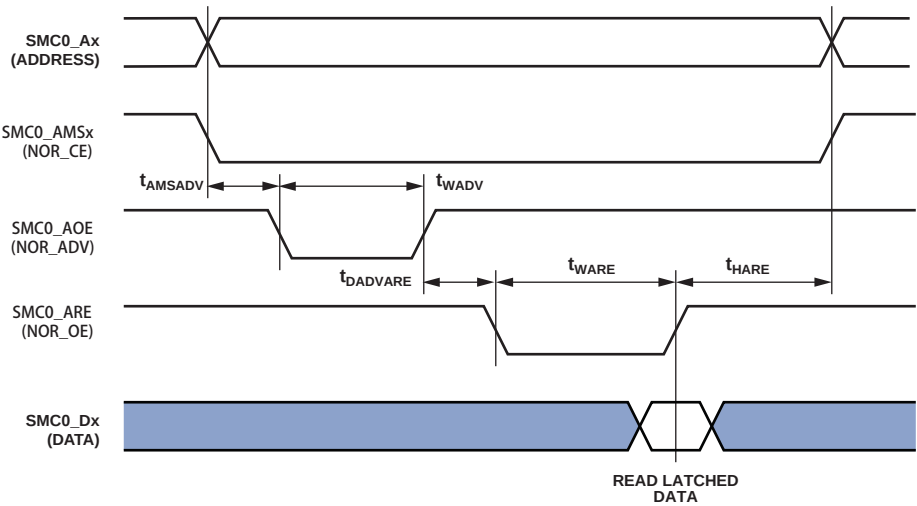


图36.异步闪存读取

异步页面模式读取

表27.异步页面模式读取

参数	最小值	最大值	单位
开关特性			
t_{AV} 第一个地址最小宽度的SMC0_Ax(地址)有效时间 ¹	$(PREST + RST + PREAT + RAT) \times t_{SCLK}$ – 待定		ns
t_{AV1} 后续SMC0_Ax(地址)最小宽度的SMC0_Ax(地址)有效时间	$PGWS \times t_{SCLK}$ – 待定		ns
t_{WADV} SMC0_AOE 有效低电平宽度 ²	$RST \times t_{SCLK}$ – 待定		ns
t_{HARE} SMC0_ARE 高电平 ⁴ 之后输出3保持时间	$RHT \times t_{SCLK}$ – 待定		ns
t_{WARE} ⁵ SMC0_ARE 有效低电平宽度 ⁶	$RAT \times t_{SCLK}$ – 待定		ns

¹ PREST、RST、PREAT和RAT值用SMC_BxETIM.PREST位、SMC_BxTIM.RST位、SMC_BxETIM.PREAT位和SMC_BxTIM.RAT位设置。

² RST值用SMC_BxTIM.RST位设置。

³ 输出信号为SMC0_Ax、SMC0_AMSx、SMC0_AOE。

⁴ RHT值用SMC_BxTIM.RHT位设置。

⁵ SMC_BxCTL.ARDYEN位 = 0。

⁶ RAT值通过SMC_BxTIM.RAT位设置。

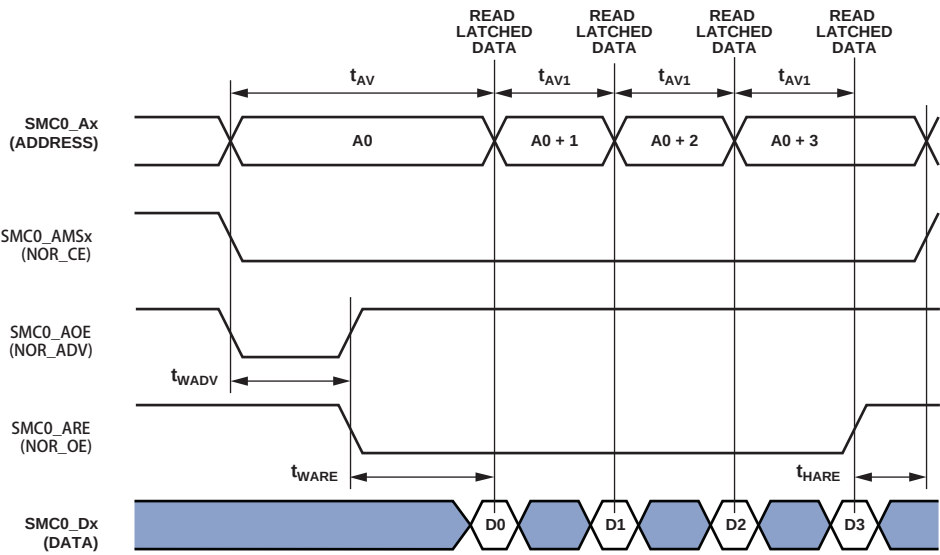


图37.异步页面模式读取

异步写入

表28.异步存储器写入(BxMODE = b#00)

参数		最小值	最大值	单位
时序要求				
$t_{DARDYAW}$ ¹	$\overline{SMC0_AWE}$ 低电平之后的SMC0_ARDY有效时间 ²		$(WAT - 2.5) \times t_{SCLK}$ - 待定	ns
开关特性				
t_{ENDAT}	$\overline{SMC0_AMSx}$ 置位之后数据使能时间	待定		ns
t_{DDAT}	$\overline{SMC0_AMSx}$ 解除置位之后数据禁用时间		待定	ns
t_{AMSAWE}	$\overline{SMC0_AWE}$ 低电平之前SMC0_Ax/ $\overline{SMC0_AMSx}$ 置位 时间 ³	$(PREST + WST + PREAT) \times t_{SCLK}$ - 待定		ns
t_{HAW}	$\overline{SMC0_AWE}$ 高电平 ⁵ 之后输出 ⁴ 保持时间	$WHT \times t_{SCLK}$ - 待定		ns
t_{WAVE} ⁶	$\overline{SMC0_AWE}$ 有效低电平宽度 ²	$WAT \times t_{SCLK}$ - 待定		ns
$t_{DAWEARDY}$ ¹	$\overline{SMC0_AWE}$ SMC0_ARDY置位之后高电平延迟时间	$2.5 \times t_{SCLK}$	$3.5 \times t_{SCLK}$ + 待定	ns

¹ 时序不在内部进行控制。
² WAT值用SMC_BxTIM.WAT位设置。
³ PREST、WST、PREAT值用SMC_BxETIM.PREST位、SMC_BxTIM.WST位、SMC_BxETIM.PREAT位和SMC_BxTIM.RAT位设置。
⁴ 输出信号为DATA、SMC0_Ax、 $\overline{SMC0_AMSx}$ 、SMC0_ABEx。
⁵ WHT值用SMC_BxTIM.WHT位设置。
⁶ SMC_BxCTL.ARDYEN位 = 0。

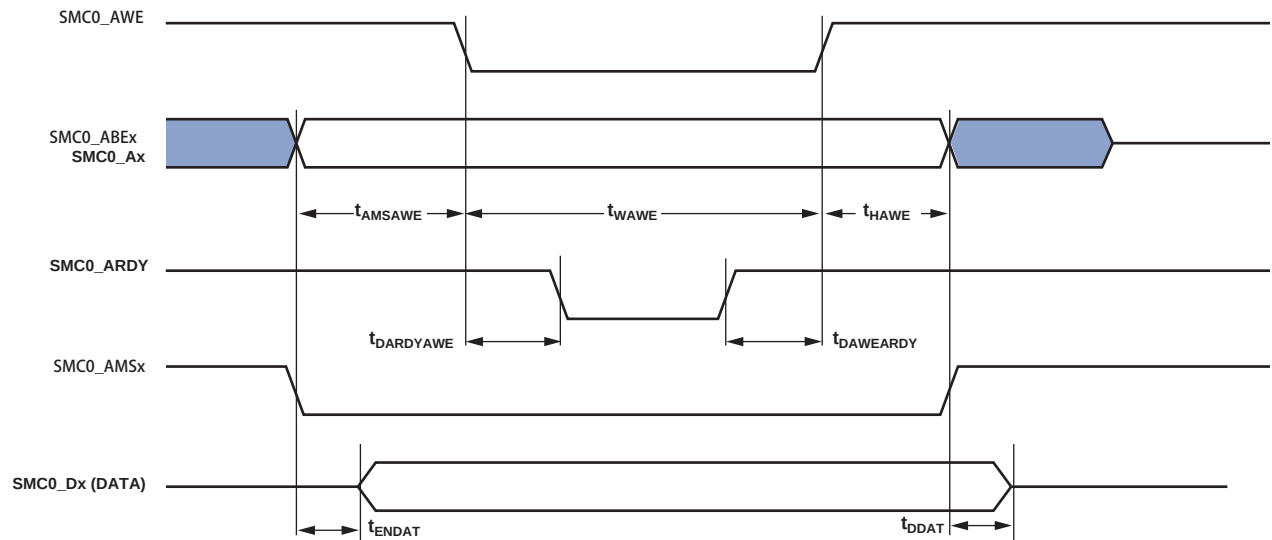


图38.异步写入

异步闪存写入

表29.异步闪存写入

参数		最小值	最大值	单位
开关特性				
t_{AMSADV}	SMC0_AOE低电平之前SMC0_Ax/ $\overline{SMC0_AMSx}$ 置位时间 ¹	$PREST \times t_{SCLK}$ – 待定		ns
$t_{DADVAWE}$	$\overline{SMC0_AWE}$ 从SMC0_AOE高电平到低电平的延迟时间 ²	$PREAT \times t_{SCLK}$ – 待定		ns
t_{WADV}	$\overline{SMC0_AOE}$ 有效低电平宽度 ³	$WST \times t_{SCLK}$ – 待定		ns
t_{HAWE}	$\overline{SMC0_AWE}$ 高电平 ⁵ 之后输出 ⁴ 保持时间	$WHT \times t_{SCLK}$ – 待定		ns
t_{WAVE} ⁶	$\overline{SMC0_AWE}$ 有效低电平宽度 ⁷	$WAT \times t_{SCLK}$ – 待定		ns

¹ PREST值用SMC_BxETIM.PREST位设置。

² PREAT值用SMC_BxETIM.PREAT位设置。

³ WST值用SMC_BxTIM.WST位设置。

⁴ 输出信号为DATA、SMC0_Ax、 $\overline{SMC0_AMSx}$ 、 $\overline{SMC0_ABEx}$ 。

⁵ WHT值用SMC_BxTIM.WHT位设置。

⁶ SMC_BxCTL.ARDYEN位 = 0。

⁷ WAT值用SMC_BxTIM.WAT位设置。

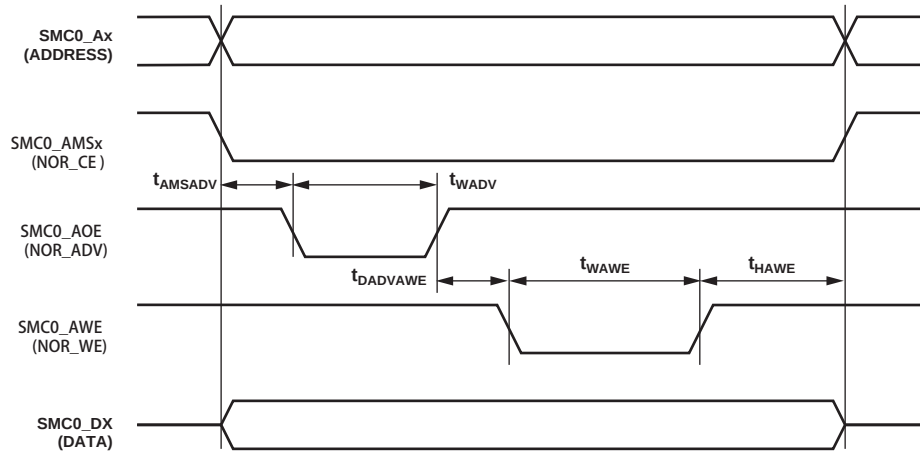


图39.异步闪存写入

所有访问

表30.所有访问

参数		最小值	最大值	单位
开关特性				
t_{TURN}	$\overline{SMC0_AMSx}$ 无效宽度	$(IT + TT) \times t_{SCLK}$ – TBD		ns

串行端口

为确定在时钟速度n时两个器件之间通信是否可行，必须确认以下规格：1) 帧同步延迟和帧同步建立/保持；2) 数据延迟和数据建立与保持；3) 串行时钟(SPT_CLK)宽度。在图40中，SPT_CLK的上升沿或下降沿(外部或内部)可用作有效采样沿。

表31串行端口——外部时钟

参数		最小值	最大值	单位
时序要求				
t _{SFSE}	SPT_CLK之前帧同步建立时间 (发送或接收模式下外部产生的帧同步) ¹	待定		ns
t _{HFSE}	SPT_CLK之后帧同步保持时间 (发送或接收模式下外部产生的帧同步) ¹	待定		ns
t _{SDRE}	接收SPT_CLK之前接收数据建立时间 ¹	待定		ns
t _{HDRE}	SPT_CLK之后接收数据保持时间 ¹	待定		ns
t _{SCLKW}	外部SPT_CLK数据/FS接收的SPT_CLK宽度 ²	[0.5 × t _{SCLK} – 待定]或[待定]		ns
	外部SPT_CLK数据/FS发送的SPT_CLK宽度 ²	[0.5 × t _{SCLK} – 待定]或[待定]		ns
t _{SPTCLK}	外部SPT_CLK数据/FS接收的SPT_CLK周期 ²	[t _{SCLK} – 待定]或[待定]		ns
	外部SPT_CLK数据/FS发送的SPT_CLK周期 ²	[t _{SCLK} – 待定]或[待定]		ns
开关特性				
t _{DFSE}	SPT_CLK之后帧同步延迟时间 (发送或接收模式下内部产生的帧同步) ³		待定	ns
t _{HOFSE}	SPT_CLK之后帧同步保持时间 (发送或接收模式下内部产生的帧同步) ³	待定		ns
t _{DDTE}	发送SPT_CLK之后发送数据延迟时间 ³		待定	ns
t _{HDTE}	发送SPT_CLK之后发送数据保持时间 ³	待定		ns

¹ 以采样沿为基准。
² 以其中较大者为准。
³ 以驱动沿为基准。

表32.串行端口——内部时钟

参数		最小值	最大值	单位
时序要求				
t_{SFSI}	SPT_CLK之前帧同步建立时间 (发送或接收模式下外部产生的帧同步) ¹	待定		ns
t_{HFSI}	SPT_CLK之后帧同步保持时间 (发送或接收模式下外部产生的帧同步) ¹	待定		ns
t_{SDRI}	SPT_CLK之前接收数据建立时间 ¹	待定		ns
t_{HDRI}	SPT_CLK之后接收数据保持时间 ¹	待定		ns
开关特性				
t_{DFSI}	SPT_CLK之后帧同步延迟时间 (发送或接收模式下内部产生的帧同步) ²		待定	ns
t_{HOFSI}	SPT_CLK之后帧同步保持时间 (发送或接收模式下内部产生的帧同步) ²	待定		ns
t_{DDTI}	SPT_CLK之后发送数据延迟时间 ²		待定	ns
t_{HDTI}	SPT_CLK之后发送数据保持时间 ²	待定		ns
t_{SCLKIW}	内部SPT_CLK数据/FS发送的SPT_CLK宽度 ³	$[0.5 \times t_{\text{SCLK}} - \text{待定}]$ 或[待定]		ns
	内外部SPT_CLK数据/FS接收的SPT_CLK宽度	$[0.5 \times t_{\text{SCLK}} - \text{待定}]$ 或[待定]		ns
t_{SPTCLK}	内部SPT_CLK数据/FS发送的SPT_CLK周期 ³	$[t_{\text{SCLK}} - \text{待定}]$ 或[待定]		ns
t_{SPTCLK}	内部SPT_CLK数据/FS接收的SPT_CLK周期 ³	$[t_{\text{SCLK}} - \text{待定}]$ 或[待定]		ns

¹ 以采样沿为基准。² 以驱动沿为基准。³ 以其中较大者为准。

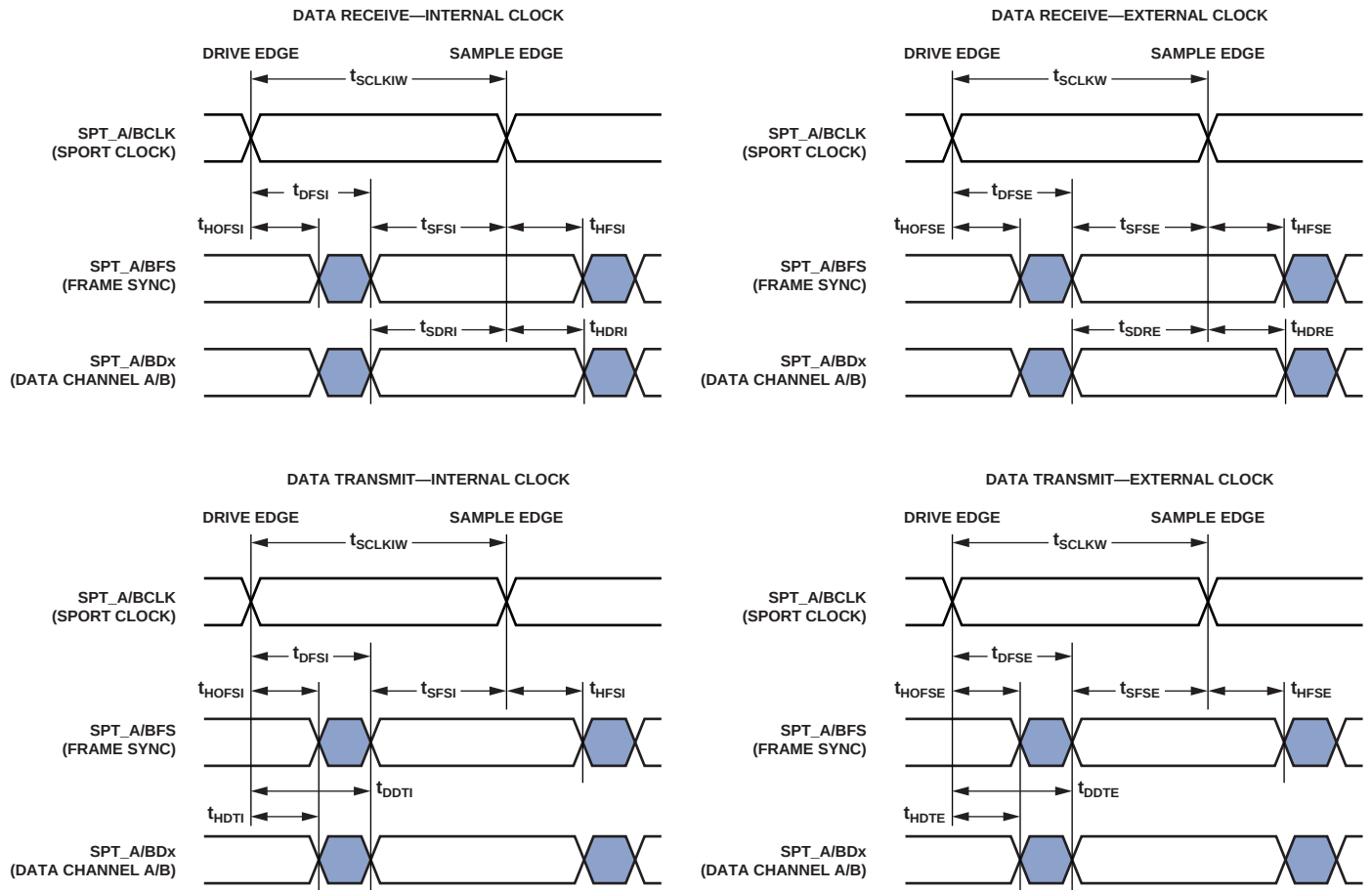


图40.串行端口

表33.串行端口—使能和三态

参数		最小值	最大值	单位
开关特性				
t_{DDTEN}	从外部发送SPT_CLK起的数据使能时间 ¹	待定	待定	ns
t_{DDTTE}	从外部发送SPT_CLK起的数据禁用时间 ¹			ns
t_{DDTIN}	从内部发送SPT_CLK起的数据使能时间 ¹	待定	待定	ns
t_{DDTTI}	从内部发送SPT_CLK起的数据禁用时间 ¹			ns

¹ 以驱动沿为基准。

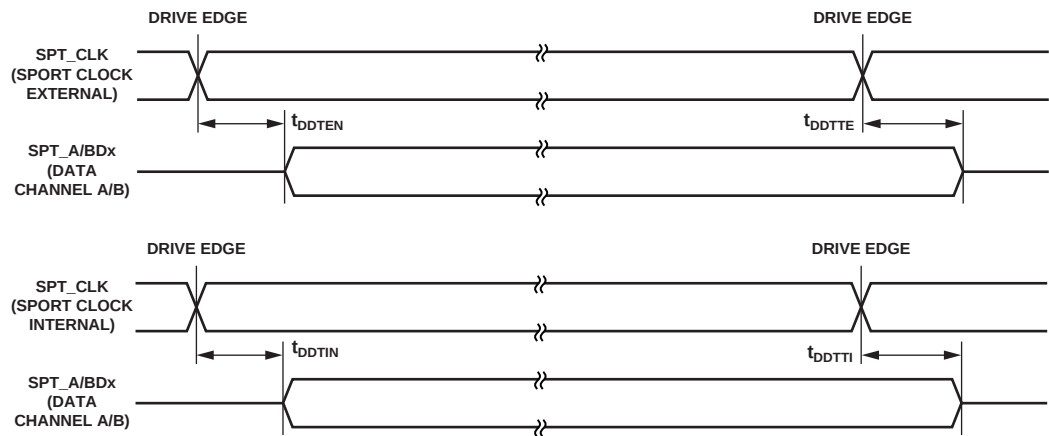


图41.串行端口—使能和三态

SPT_TDV输出信号在SPORT多通道模式下有效。在发送时隙(通过活动通道选择寄存器使能)，SPT_TDV置位以便与外部器件通信。

表34.串行端口—TDV(发送数据有效)

参数		最小值	最大值	单位
开关特性				
t_{DRDVEN}	自外部时钟驱动沿起的数据有效使能延迟时间 ¹	待定		ns
t_{DFDVEN}	自外部时钟驱动沿起的数据有效禁用延迟时间 ¹		待定	ns
t_{DRDVIN}	自内部时钟驱动沿起的数据有效使能延迟时间 ¹	待定		ns
t_{DFDVIN}	自内部时钟驱动沿起的数据有效禁用延迟时间 ¹		待定	ns

¹ 以驱动沿为基准。

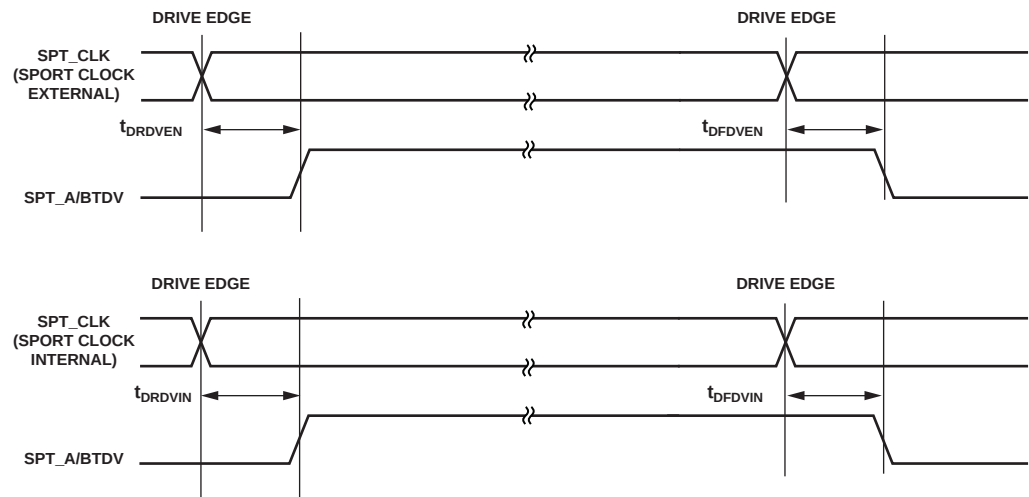


图42.串行端口—发送数据有效的内部和外部时钟

表35.串行端口—外部晚帧同步

参数	最小值	最大值	单位
开关特性			
t_{DDLSE} 自晚外部发送帧同步或外部接收帧同步(MCE = 1、MFD = 0 ¹)起的数据延迟时间		待定	ns
$t_{DDTENFS}$ 数据使能时间(MCE = 1、MFD = 0 ¹)	待定		ns

¹ t_{DDLSE} 和 $t_{DDTENFS}$ 参数适用于左对齐和标准串行模式，而且MCE = 1、MFD = 0。

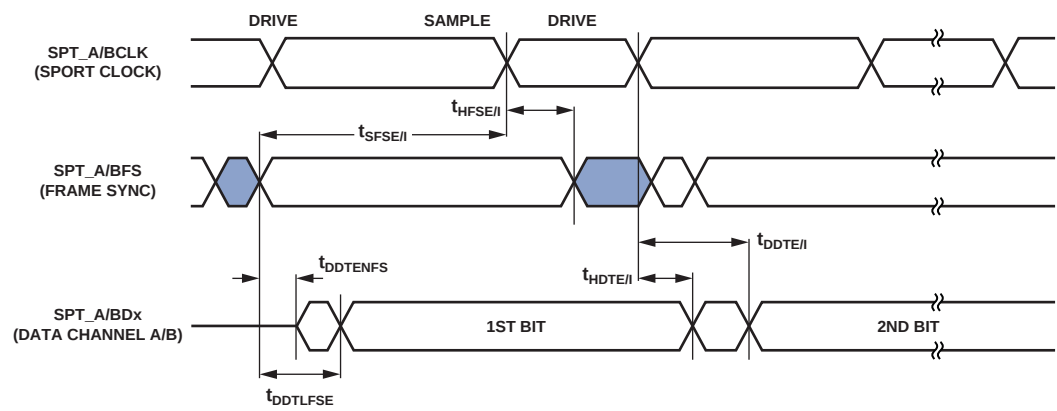


图43.外部晚帧同步

ADSP-CM402F/CM403F/CM407F/CM408F

串行外设接口(SPI)端口—主机时序

表36和图44描述SPI端口主机操作。请注意：

- 在双通道模式数据发送下，SPI_MISO信号也是输出。
 - 在四通道模式数据发送下，SPI_MISO、SPI_D2和SPI_D3信号也是输出。
- 在双通道模式数据接收下，SPI_MOSI信号也是输入。
 - 在四通道模式数据接收下，SPI_MOSI、SPI_D2和SPI_D3信号也是输入。

表36.串行外设接口(SPI)端口—主机时序

参数		最小值	最大值	单位
时序要求				
t _{SSPIDM}	数据输入有效到SPI_CLK边沿(数据输入建立)	待定		ns
t _{HSPIDM}	SPI_CLK采样沿到数据输入无效	待定		ns
开关特性				
t _{SDSCIM}	$\overline{\text{SPI_SEL}}$ 低电平到第一个SPI_CLK边沿 ¹	[0.5 × t _{SCLK} – 待定]或[待定]		ns
t _{SPICHM}	数据发送的SPI_CLK高电平周期 ¹	[0.5 × t _{SCLK} – 待定]或[待定]		ns
	数据接收的SPI_CLK高电平周期 ¹	[0.5 × t _{SCLK} – 待定]或[待定]		ns
t _{SPICLM}	数据发送的SPI_CLK低电平周期 ¹	[0.5 × t _{SCLK} – 待定]或[待定]		ns
	数据接收的SPI_CLK低电平周期 ¹	[0.5 × t _{SCLK} – 待定]或[待定]		ns
t _{SPICLK}	数据发送的SPI_CLK周期 ¹	[t _{SCLK} – 待定]或[待定]		ns
	数据接收的SPI_CLK周期 ¹	[t _{SCLK} – 待定]或[待定]		ns
t _{HDSM}	最后一个SPI_CLK边沿到 $\overline{\text{SPI_SEL}}$ 高电平	2 × t _{SCLK} – 待定		ns
t _{SPITDM}	顺序传输延迟 ^{1,2}	[t _{SCLK} – 待定]或[待定]		ns
t _{DDSPIDM}	SPI_CLK边沿到数据输出有效(数据输出延迟)		待定	ns
t _{HDSPIDM}	SPI_CLK边沿到数据输出无效(数据输出保持)	待定		ns

¹ 以其中较大者为准。
² 适用于顺序模式，其中，STOP ≥ 1。

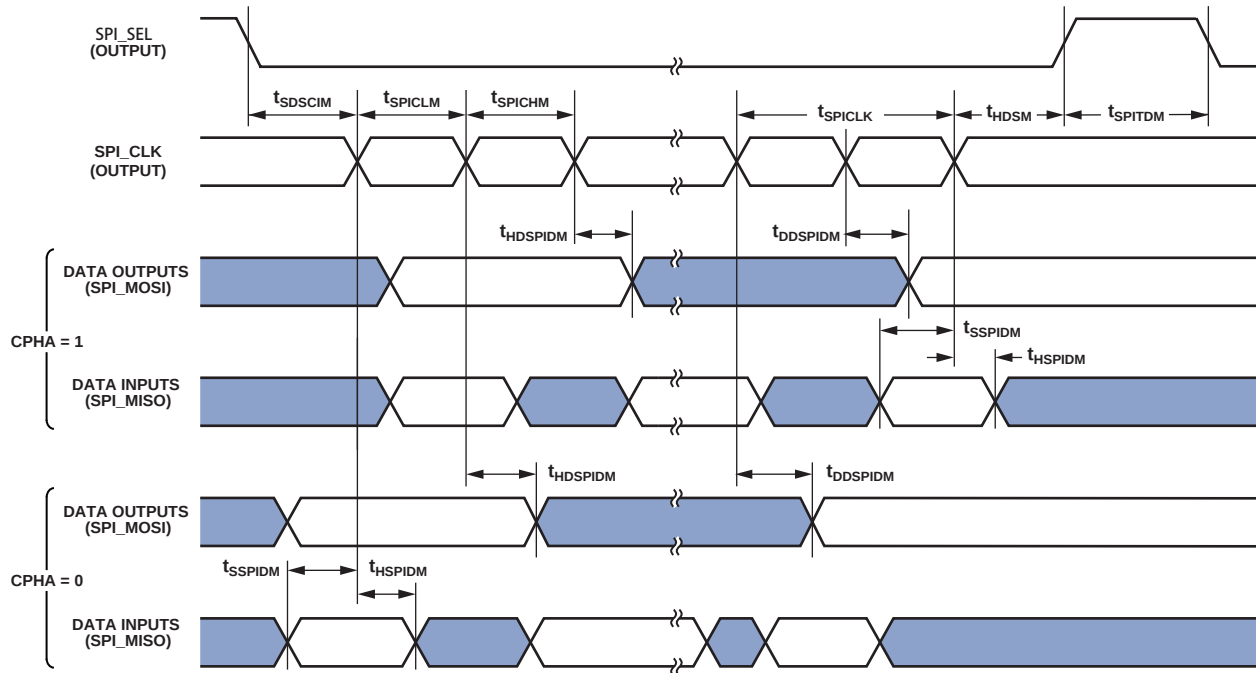


图44.串行外设接口(SPI)端口—主机时序

串行外设接口(SPI)端口—从机时序

表37和图45描述SPI端口从机操作。请注意：

- 在双通道模式数据发送下，SPI_MOSI信号也是输出。
 - 在四通道模式数据发送下，SPI_MOSI、SPI_D2和SPI_D3信号也是输出。
- 在双通道模式数据接收下，SPI_MISO信号也是输入。
 - 在四通道模式数据接收下，SPI_MISO、SPI_D2和SPI_D3信号也是输入。

表37.串行外设接口(SPI)端口—从机时序

参数	最小值	最大值	单位
时序要求			
t _{SPICHS} 数据发送的SPI_CLK高电平周期 ¹	[0.5 × t _{SCLK} – 待定]或[待定]		ns
数据接收的SPI_CLK高电平周期 ¹	[0.5 × t _{SCLK} – 待定]或[待定]		ns
t _{SPICLS} 数据发送的SPI_CLK低电平周期 ¹	[0.5 × t _{SCLK} – 待定]或[待定]		ns
数据接收的SPI_CLK低电平周期 ¹	[0.5 × t _{SCLK} – 待定]或[待定]		ns
t _{SPICLK} 数据发送的SPI_CLK周期 ¹	[t _{SCLK} – 待定]或[待定]		ns
数据接收的SPI_CLK周期 ¹	[t _{SCLK} – 待定]或[待定]		ns
t _{HDS} 最后一个SPI_CLK边沿到 $\overline{\text{SPI_SS}}$ 未置位	待定		ns
t _{SPITDS} 顺序传输延迟时间	0.5 × t _{SPICLK} – 待定		ns
t _{SDSCI} $\overline{\text{SPI_SS}}$ 置位到第一个SPI_CLK边沿	待定		ns
t _{SSPID} 数据输入有效到SPI_CLK边沿(数据输入建立)	待定		ns
t _{HSPID} SPI_CLK采样沿到数据输入无效	待定		ns
开关特性			
t _{DSOE} $\overline{\text{SPI_SS}}$ 置位至数据输出有效			
t _{DSDHI} $\overline{\text{SPI_SS}}$ 解除置位到数据高阻态	待定	待定	ns
t _{DDSPID} SPI_CLK边沿到数据输出有效(数据输出延迟)		待定	ns
t _{HDSPID} SPI_CLK边沿到数据输出无效(数据输出保持)	待定		ns

¹ 以其中较大者为准。

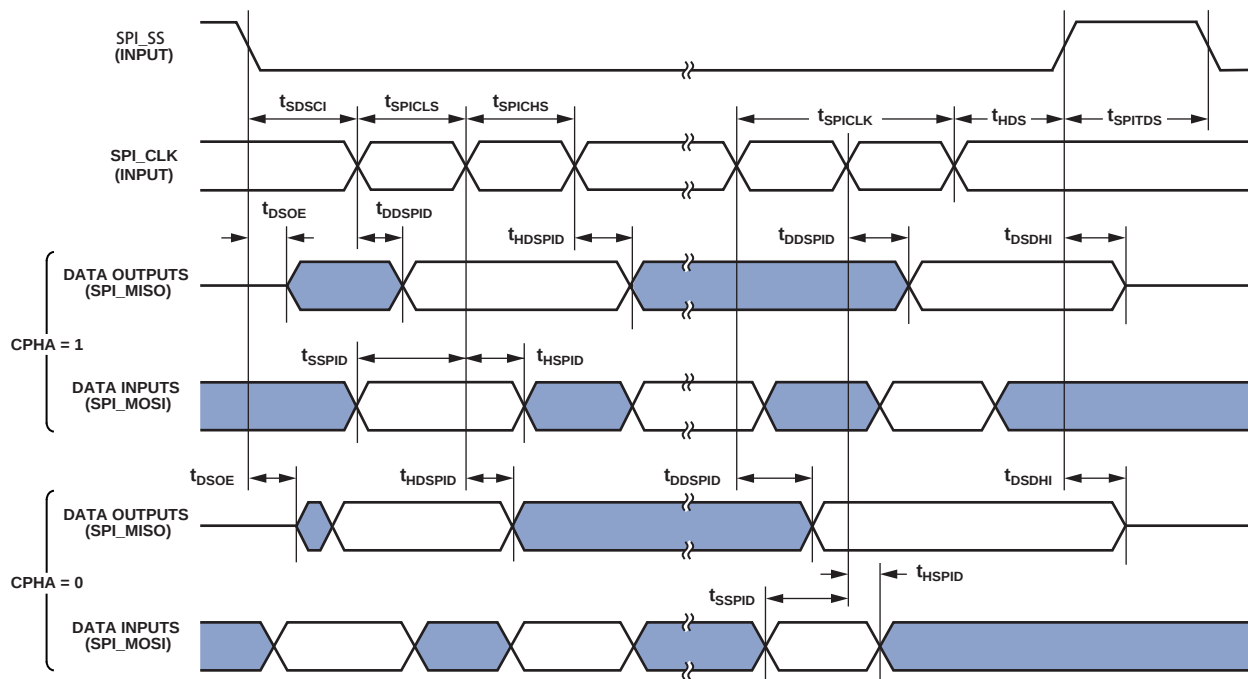


图45.串行外设接口(SPI)端口—从机时序

串行外设接口(SPI)端口——SPI_RDY从机时序

表38.SPI端口——SPI_RDY从机时序

参数		最小值	最大值	单位
开关特性				
$t_{\text{DSPISCKRDYSR}}$	自从机模式接收下有效输入SPI_CLK边沿起的SPI_RDY解除置位时间	$2.5 \times t_{\text{SCLK}}$	$3.5 \times t_{\text{SCLK}} + \text{TBD}$	ns
$t_{\text{DSPISCKRDYST}}$	自从机模式发送下有效输入SPI_CLK边沿起的SPI_RDY解除置位时间	$3.5 \times t_{\text{SCLK}}$	$4.5 \times t_{\text{SCLK}} + \text{TBD}$	ns

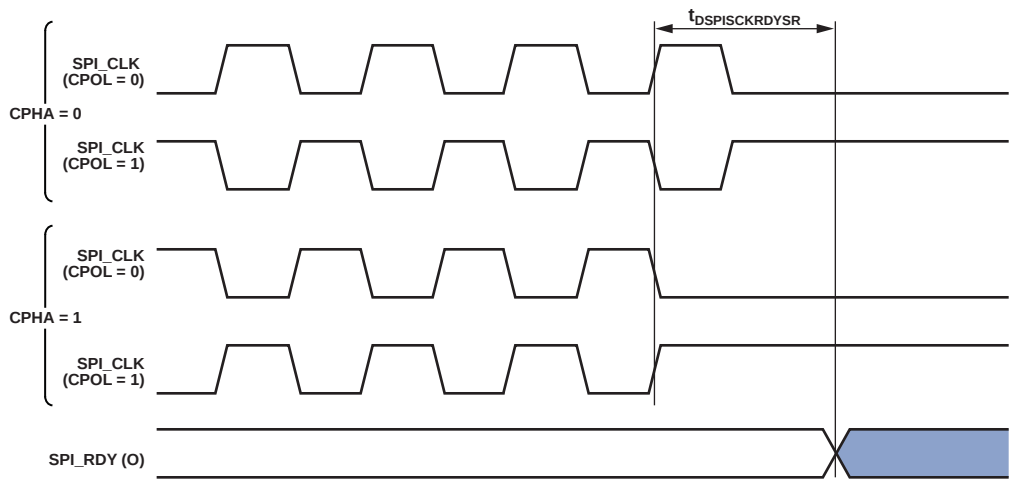


图46.自从机模式接收下有效输入SPI_CLK边沿起的SPI_RDY解除置位时间(FCCH = 0)

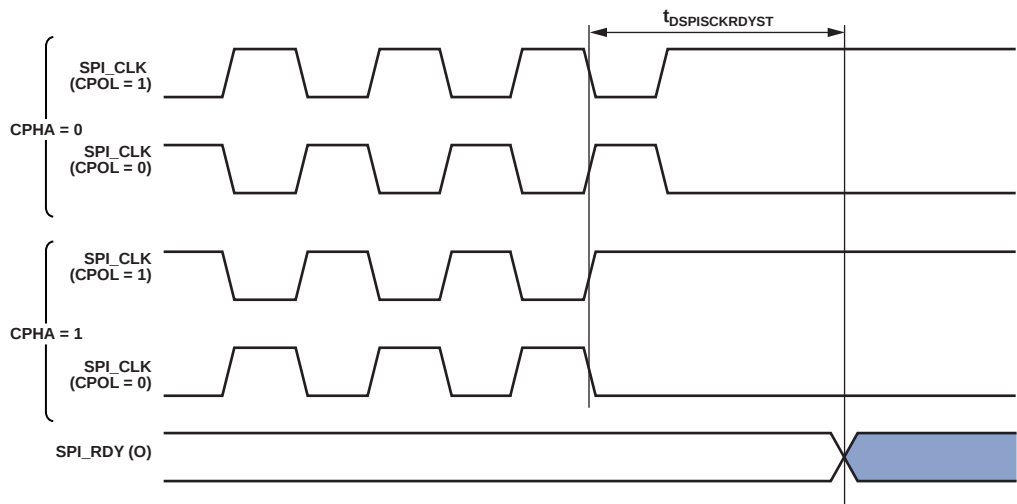


图47.自从机模式发送下有效输入SPI_CLK边沿起的SPI_RDY解除置位时间(FCCH = 1)

串行外设接口(SPI)端口——开漏模式时序

在图48和图49中，输出可能是SPI_MOSI、SPI_MISO、SPI_D2和/或SPI_D3，具体取决于工作模式。

表39.SPI端口ODM主机模式时序

参数		最小值	最大值	单位
开关特性				
$t_{\text{HDSPIODMM}}$	SPI_CLK边沿到高阻抗(从数据输出有效起)	待定		ns
$t_{\text{DSDPIODMM}}$	SPI_CLK边沿到数据输出有效(从高阻抗起)	待定	待定	ns

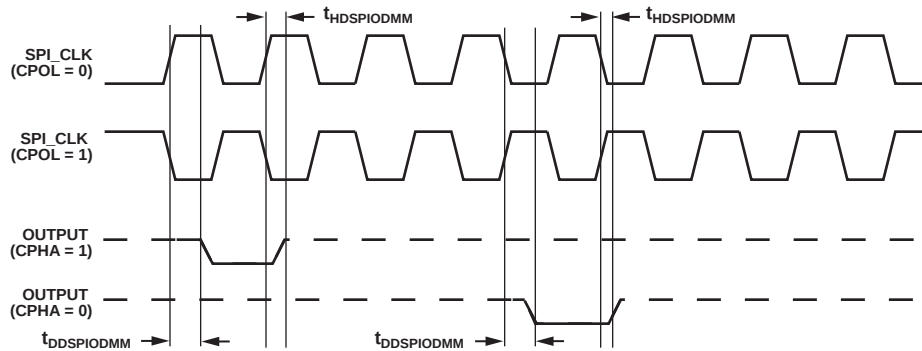


图48.ODM主机

表40.SPI端口——ODM从机模式

参数		最小值	最大值	单位
时序要求				
$t_{\text{HDSPIODMS}}$	SPI_CLK边沿到高阻抗(从数据输出有效起)	待定		ns
$t_{\text{DSDPIODMS}}$	SPI_CLK边沿到数据输出有效(从高阻抗起)		待定	ns

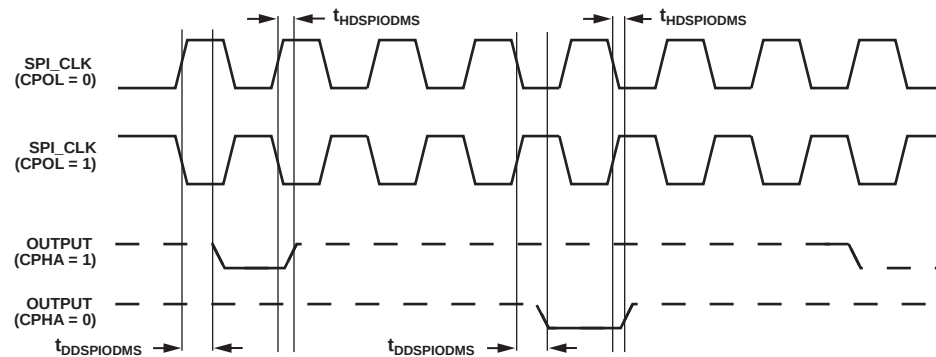


图49.ODM从机

串行外设接口(SPI)端口—SPI_RDY时序

表41.SPI端口——SPI_RDY时序

参数	最小值	最大值	单位
时序要求			
$t_{\text{SRDYSCKM0}}$ 主机模式下SPI_RDY解除置位的最小建立时间 从有效数据传输最后一个SPI_CLK边沿到模块后续传输的模式，其中，CPHA = 0	$(2.5 + 1.5 \times \text{BAUD}^1) \times t_{\text{SCLK}} + \text{待定}$		ns
$t_{\text{SRDYSCKM1}}$ 主机模式下SPI_RDY解除置位的最小建立时间 从有效数据传输最后一个SPI_CLK边沿到模块后续传输的模式，其中，CPHA = 1	$(1.5 \times \text{BAUD}^1) \times t_{\text{SCLK}} + \text{待定}$		ns
开关特性			
t_{SRDYSCKM} 从机置位SPI_RDY与新SPI传输第一个边沿之间的时间， 其中，CPHA = 0且BAUD = 0 (STOP, LEAD, LAG = 0)	$3 \times t_{\text{SCLK}}$	$4 \times t_{\text{SCLK}} + \text{待定}$	ns
从机置位SPI_RDY与新SPI传输第一个边沿之间的时间， 其中，CPHA = 0且BAUD ≥ 1 (STOP, LEAD, LAG = 0)	$(4 + 1.5 \times \text{BAUD}^1) \times t_{\text{SCLK}}$	$(5 + 1.5 \times \text{BAUD}^1) \times t_{\text{SCLK}} + \text{待定}$	ns
从机置位SPI_RDY与新SPI传输第一个边沿之间的时间， 其中，CPHA = 1 (STOP, LEAD, LAG = 0)	$(3 + 0.5 \times \text{BAUD}^1) \times t_{\text{SCLK}}$	$(4 + 0.5 \times \text{BAUD}^1) \times t_{\text{SCLK}} + \text{待定}$	ns

¹ BAUD值用SPI_CLK.BAUD位设置。

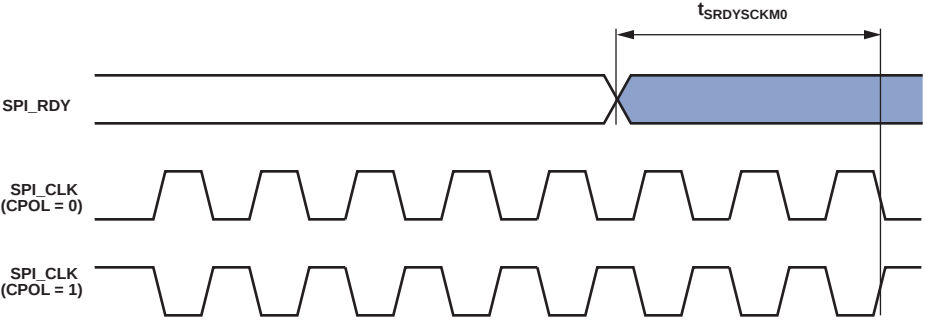


图50.SPI_CLK之前的SPI_RDY建立时间(CPHA = 0)

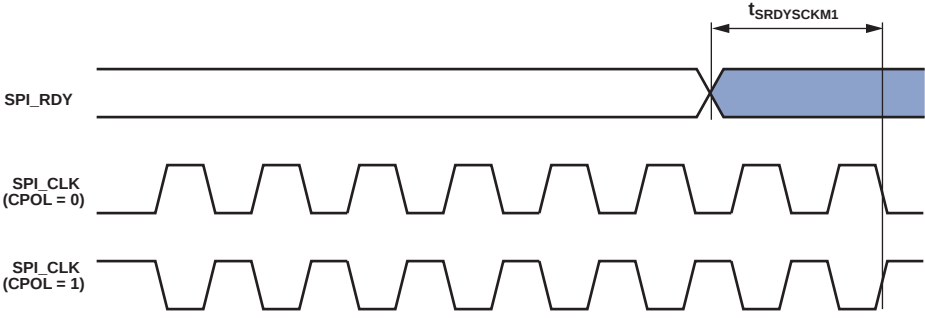


图51.SPI_CLK之前的SPI_RDY建立时间(CPHA = 1)

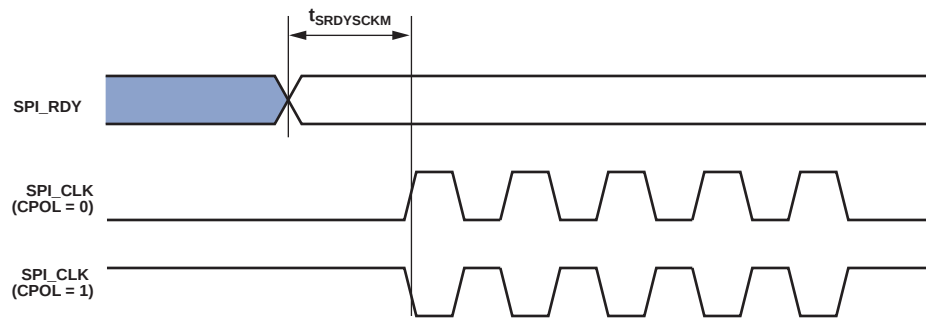


图52.SPI_RDY置位之后的SPI_CLK开关图(CPHA = x)

ADSP-CM402F/CM403F/CM407F/CM408F

通用端口时序

表42和图53描述通用端口操作。

表42.通用端口时序

参数	最小值	最大值	单位
时序要求			
t_{WFI} 通用端口引脚输入脉冲宽度	$2 \times t_{SCLK}$		ns

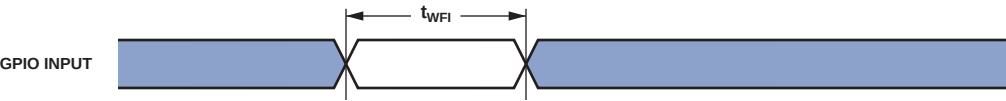


图53.通用端口时序

定时器周期时序

表43和图54描述定时器超时操作。输入信号在“宽度捕捉模式”和“外部时钟模式”下是异步的，并具有 $(f_{SCLK}/4)$ MHz的绝

对最大输入频率。宽度值为在TMx_TMRn_WIDTH寄存器中指定的定时器周期，范围为1至 $2^{32} - 1$ 。

表43.定时器周期时序

参数	最小值	最大值	单位
时序要求			
t_{WL} 定时器脉冲宽度输入低电平(测量单位为SCLK周期) ¹	$2 \times t_{SCLK}$		ns
t_{WH} 定时器脉冲宽度输入高电平(测量单位为SCLK周期) ¹	$2 \times t_{SCLK}$		ns
开关特性			
t_{HTO} 定时器脉冲宽度输出(测量单位为SCLK周期)	$t_{SCLK} \times \text{宽度值} - \text{待定}$	$t_{SCLK} \times \text{宽度值} + \text{待定}$	ns

¹ 最小脉冲宽度适用于宽度捕捉和外部时钟模式下的TMx信号。

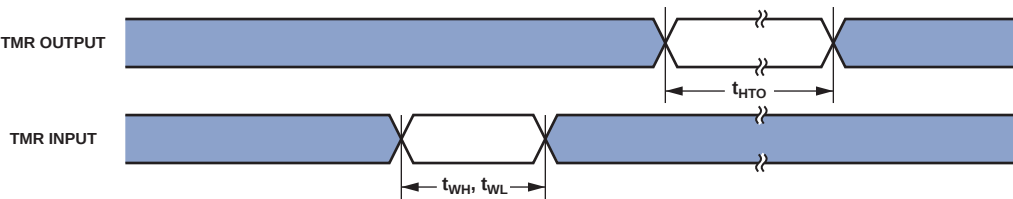


图54.定时器周期时序

升/降计数器/旋转编码器时序

表44.升/降计数器/旋转编码器时序

参数	最小值	最大值	单位
时序要求			
t_{WCOUNT} 升/降计数器/旋转编码器输入脉冲宽度	$2 \times t_{SCLK}$		ns

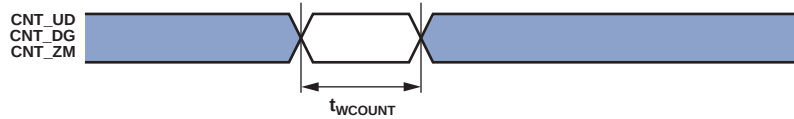


图55.升/降计数器/旋转编码器时序

脉冲宽度调制器(PWM)时序

表45和图56描述PWM操作。

表45.PWM时序

参数	最小值	最大值	单位
时序要求			
t_{ES} 外部同步脉冲宽度	$2 \times t_{SCLK}$		ns
开关特性			
t_{DODIS} 触发输入之后的输出无效(关)时间 ¹		待定	ns
t_{DOE} 外部同步之后的输出延迟 ^{1,2}	$2 \times t_{SCLK} + \text{待定}$	$5 \times t_{SCLK} + \text{待定}$	ns

¹ PWM输出为: PWMx_AH、PWMx_AL、PWMx_BH、PWMx_BL、PWMx_CH和PWMx_CL。

³ 当外部同步信号与外设时钟同步时,相对于外部同步信号与外设时钟异步时,输出出现所需要的时钟周期更少。有关更多信息,请参阅《ADSP-CM40x微控制器硬件参考手册》。

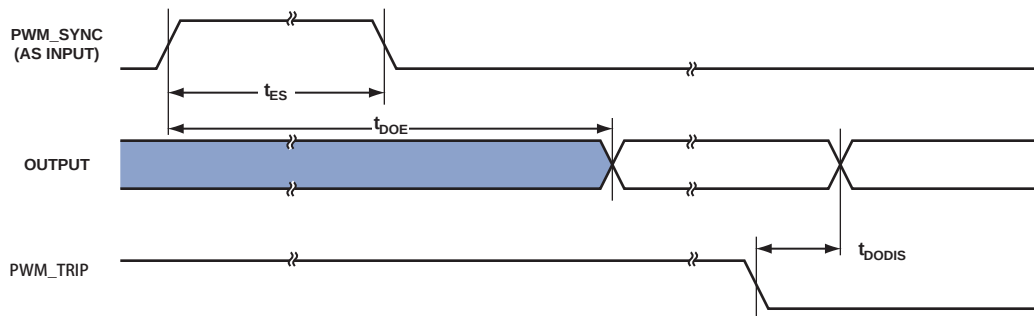


图56.PWM时序

ADSP-CM402F/CM403F/CM407F/CM408F

通用异步接收器——发送器 (UART)端口——接收和发送时序

UART端口接收和发送操作详见《搭载ARM Cortex-M4的ADSP-CM40x混合信号控制处理器硬件参考手册》。

CAN接口

CAN接口时序详见《搭载ARM Cortex-M4的ADSP-CM40x混合信号控制处理器硬件参考手册》。

通用串行总线(USB) OTG——接收和发送时序

USB接口时序详见《搭载ARM Cortex-M4的ADSP-CM40x混合信号控制处理器硬件参考手册》。

10/100以太网MAC控制器时序

表46至表48和图57至图59描述10/100以太网MAC控制器操作。

表46.10/100以太网MAC控制器时序：RMII接收信号

参数 ¹		最小值	最大值	单位
时序要求				
t_{REFCLKF}	ETHx_REFCLK频率($f_{\text{SCLK}} = \text{SCLK频率}$)	无	50 + 1%	MHz
t_{REFCLKW}	ETHx_REFCLK宽度($t_{\text{REFCLK}} = \text{ETHx_REFCLK周期}$)	$t_{\text{REFCLK}} \times 35\%$	$t_{\text{REFCLK}} \times 65\%$	ns
t_{REFCLKIS}	Rx输入有效到RMII ETHx_REFCLK上升沿(数据输入建立)	待定		ns
t_{REFCLKIH}	RMII ETHx_REFCLK上升沿到Rx输入无效(数据输入保持)	待定		ns

¹ 与RMII REF_CLK同步的RMII输入有ERxD1-0、RMII CRS_DV和ERxER。

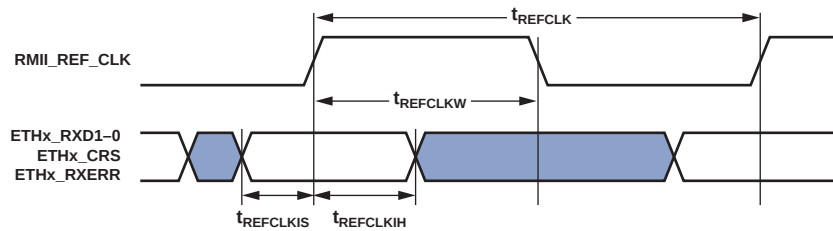


图57.10/100以太网MAC控制器时序：RMII接收信号

表47.10/100以太网MAC控制器时序：RMII发送信号

参数 ¹		最小值	最大值	单位
开关特性				
t_{REFCLKOV}	RMII ETHx_REFCLK上升沿至发送输出有效(数据输出有效)		待定	ns
t_{REFCLKOH}	RMII ETHx_REFCLK上升沿至发送输出无效(数据输出保持)	待定		ns

¹ 与RMII REF_CLK同步的RMII输出有ETxD1-0。

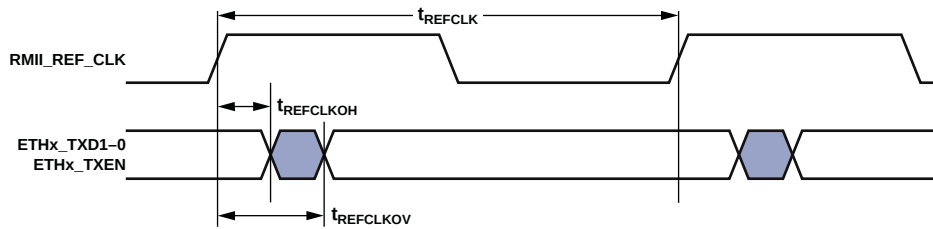


图58.10/100以太网MAC控制器时序：RMII发送信号

ADSP-CM402F/CM403F/CM407F/CM408F

表48.10/100以太网MAC控制器时序：RMII站管理

参数 ¹	最小值	最大值	单位
时序要求			
t_{MDIOS} ETHx_MDIO输入有效到ETHx_MDC上升沿(建立)	待定		ns
t_{MDCIH} ETHx_MDC上升沿到ETHx_MDIO输入无效(保持)	待定		ns
开关特性			
t_{MDCOV} ETHx_MDC下降沿到ETHx_MDIO输出有效		$t_{SCLK} + TBD$	ns
t_{MDCOH} ETHx_MDC下降沿到ETHx_MDIO输出无效(保持)	$t_{SCLK} - 待定$		ns

¹ ETHx_MDC/ETHx_MDIO是一个双线串行双向端口，用于控制一个或多个外部PHY。ETHx_MDC是一个输出时钟，其最小周期可设置为系统时钟SCLK的倍数。
ETHx_MDIO是双向数据线。

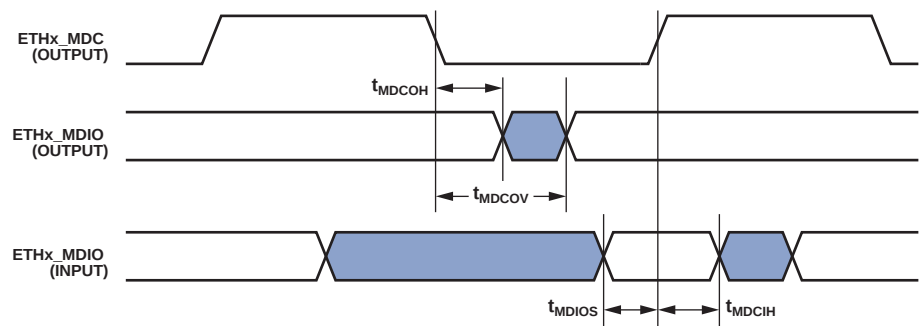


图59.10/100以太网MAC控制器时序：RMII站管理

JTAG测试和仿真端口时序

表49和图60描述JTAG端口操作。

表49.JTAG端口时序

参数		最小值	最大值	单位
时序要求				
t_{TCK}	JTG_TCK周期	20		ns
t_{STAP}	JTG_TCK高电平之前的JTG_TDI、JTG_TMS建立时间	待定		ns
t_{HTAP}	JTG_TCK高电平之后的JTG_TDI、JTG_TMS保持时间	待定		ns
t_{SSYS}	JTG_TCK高电平之前系统输入建立时间 ¹	待定		ns
t_{HSYS}	JTG_TCK高电平之后系统输入保持时间 ¹	待定		ns
t_{TRSTW}	JTG_TRST 脉冲宽度(测量单位为JTG_TCK周期) ²	待定		TCK
开关特性				
t_{DTDO}	自JTG_TCK低电平起的JTG_TDO延迟时间		待定	ns
t_{DSYS}	JTG_TCK低电平之后系统输出延迟时间 ³		待定	ns

¹ 系统输入 = PA_15-0、PB_15-0、PC_15-0、PD_15-0、PE_15-0、PF_10-0、SYS_BMODE0-1、SYS_HWRST、SYS_FAULT、SYS_NMI、TWIO_SCL、TWIO_SDA。

² 50 MHz最大值

³ 系统输出 = PA_15-0、PB_15-0、PC_15-0、PD_15-0、PE_15-0、PF_10-0、SMCO_AMS0、SMCO_ARE、SMCO_AWE、SYS_CLKOUT、SYS_FAULT、SYS_RESOUT。

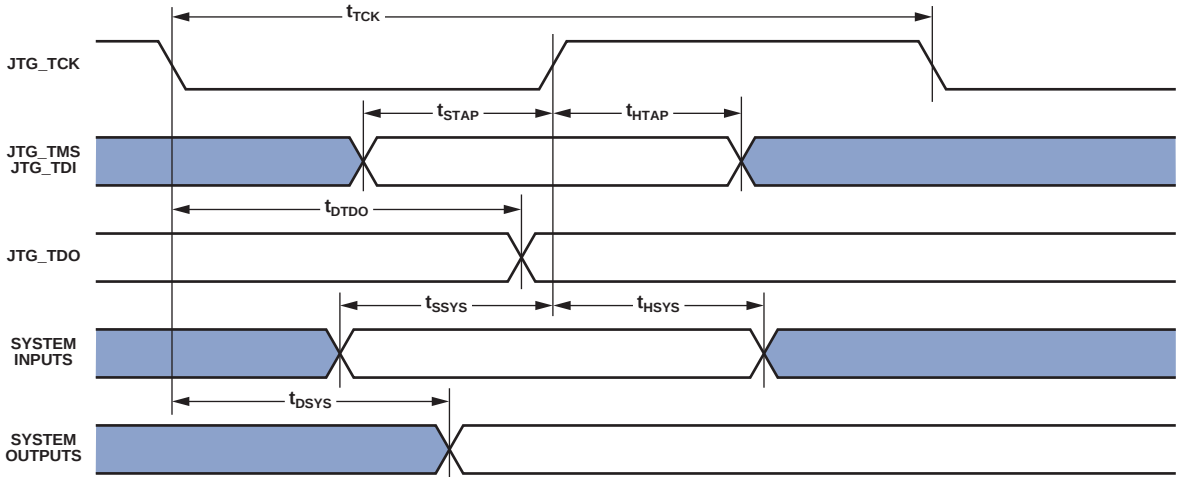


图60.JTAG端口时序

输出驱动电流

图61和图62显示处理器的输出驱动器的典型电流-电压特性。这些曲线反映输出驱动器的电流驱动能力与输出电压的关系。

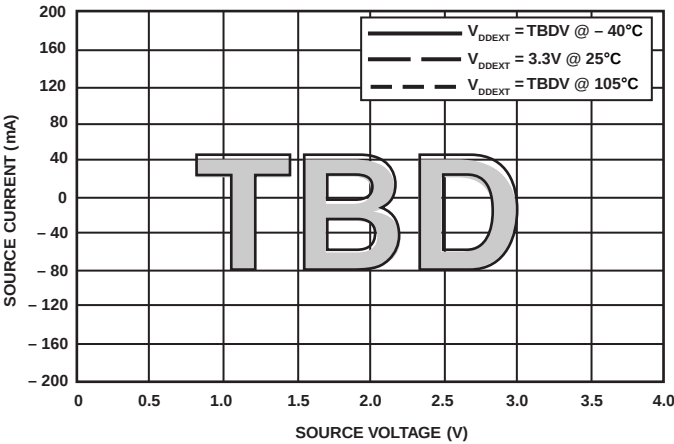


图61.驱动器类型A电流

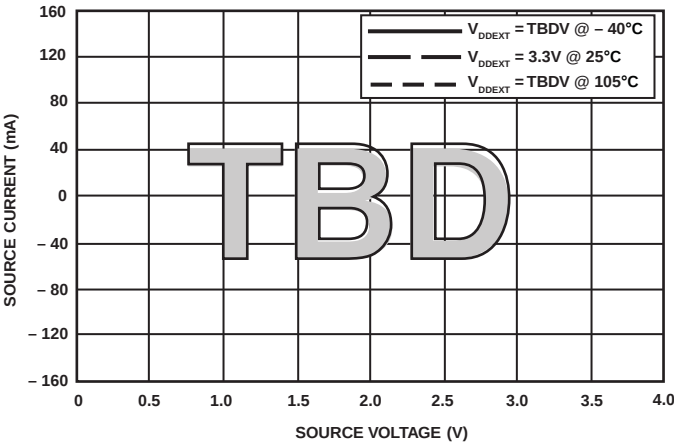
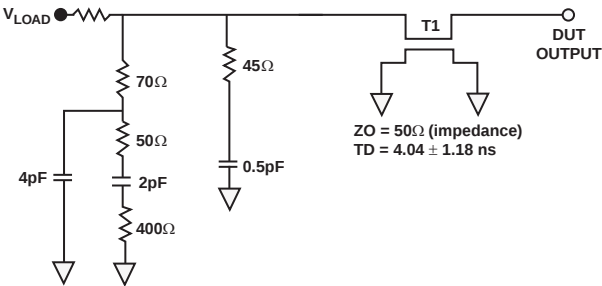


图62.驱动器类型B电流

容性负载

输出延迟和保持时间基于所有引脚平均6 pF的标准容性负载 (参见图63)。V_LOAD 等于(V_DD_EXT)/2。



NOTES:
THE WORST CASE TRANSMISSION LINE DELAY IS SHOWN AND CAN BE USED FOR THE OUTPUT TIMING ANALYSIS TO REFLECT THE TRANSMISSION LINE EFFECT AND MUST BE CONSIDERED. THE TRANSMISSION LINE (TD), IS FOR LOAD ONLY AND DOES NOT AFFECT THE DATA SHEET TIMING SPECIFICATIONS.
ANALOG DEVICES RECOMMENDS USING THE IBIS MODEL TIMING FOR A GIVEN SYSTEM REQUIREMENT. IF NECESSARY, A SYSTEM MAY INCORPORATE EXTERNAL DRIVERS TO COMPENSATE FOR ANY TIMING DIFFERENCES.

图63.交流测量的等效器件负载(包括所有配件)

图64所示为输出上升和下降时间随电容而变化的情况。给定的延迟和保持时间规格应根据从这些图得出的系数减少。在所范围以外，这些图中的曲线可能不是线性的。

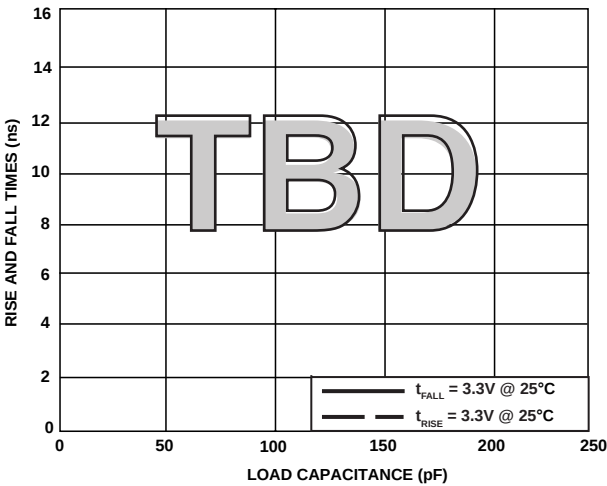


图64.A类驱动器典型上升和下降时间(10%–90%)与负载电容的关系

环境条件

应用印刷电路板上的结温计算公式如下：

$$T_J = T_{CASE} + (\Psi_{JT} \times P_D)$$

其中：

T_J = 结温(°C)

T_{CASE} = 壳温(°C)，由用户在封装的顶部中央测得。

Ψ_{JT} = 来自表50和表51

P_D = 功耗(计算 P_D 的方法参见第35页的总功耗)

表50.热特性(120引脚LQFP封装)

参数	环境	典型值	单位
θ_{JA}	0线性m/s气流	21.5	°C/W
θ_{JA}	1线性m/s气流	19.2	°C/W
θ_{JA}	线性m/s气流	18.4	°C/W
θ_{JC}		9.29	°C/W
Ψ_{JT}	0线性m/s气流	0.25	°C/W
Ψ_{JT}	1线性m/s气流	0.40	°C/W
Ψ_{JT}	线性m/s气流	0.56	°C/W

表51.热特性(176引脚LQFP封装)

参数	环境	典型值	单位
θ_{JA}	0线性m/s气流	21.5	°C/W
θ_{JA}	1线性m/s气流	19.3	°C/W
θ_{JA}	线性m/s气流	18.5	°C/W
θ_{JC}		9.24	°C/W
Ψ_{JT}	0线性m/s气流	0.25	°C/W
Ψ_{JT}	1线性m/s气流	0.37	°C/W
Ψ_{JT}	线性m/s气流	0.48	°C/W

θ_{JA} 值供封装比较和印刷电路板设计考虑时使用。 θ_{JA} 可用在下式中对 T_J 进行一阶估算：

$$T_J = T_A + (\theta_{JA} \times P_D)$$

其中：

T_A = 环境温度(°C)

θ_{JC} 值是在需要外部散热器时，供封装比较和印刷电路板设计考虑时使用。

在表50和表51中，气流测量值符合JEDEC标准JESD51-2和JESD51-6。结至壳测量符合MIL-STD-883标准(方法1012.1)。所有测量均使用2S2P JEDEC测试板。

120引脚LQFP封装引脚分配

表52按引脚编号列出了120引脚LQFP封装，表53则按信号列出了120引脚LQFP封装。

表52.120引脚LQFP封装引脚分配(按引脚编号顺序)

信号名称	引脚编号	信号名称	引脚编号	信号名称	引脚编号	信号名称	引脚编号
1	PA_13	32	JTG_TRST	63	ADC1_VIN05	94	DAC0_VOUT
2	VDD_EXT	33	JTG_TDO/SWO	64	ADC1_VIN06	95	VDD_EXT
3	PA_12	34	JTG_TMS/SWDIO	65	ADC1_VIN07	96	VDD_INT
4	PA_11	35	PC_07	66	ADC1_VIN08	97	VDD_EXT
5	PA_10	36	VDD_EXT	67	ADC1_VIN09	98	GND
6	PA_09	37	PC_06	68	ADC1_VIN10	99	SYS_NMI
7	PA_08	38	PC_05	69	ADC1_VIN11	100	VDD_EXT
8	PA_07	39	PC_04	70	VDD_ANA1	101	VDD_EXT
9	VDD_EXT	40	PC_03	71	GND_ANA1	102	PB_10
10	PA_06	41	PC_02	72	BYP_A1	103	PB_08
11	PA_05	42	PC_01	73	VREF1	104	PB_09
12	PA_04	43	VDD_EXT	74	GND_VREF1	105	PB_06
13	PA_03	44	VDD_INT	75	REFCAP	106	PB_07
14	PA_02	45	PC_00	76	GND_VREF0	107	PB_05
15	PA_01	46	PB_14	77	VREF0	108	VDD_INT
16	VDD_INT	47	PB_15	78	BYP_A0	109	VDD_EXT
17	VDD_EXT	48	PB_13	79	GND_ANA0	110	PB_04
18	SYS_RESOUT	49	VDD_EXT	80	VDD_ANA0	111	PB_03
19	PA_00	50	PB_11	81	ADC0_VIN11	112	PB_02
20	SYS_FAULT	51	PB_12	82	ADC0_VIN10	113	PB_01
21	SYS_HWRST	52	GND	83	ADC0_VIN09	114	PB_00
22	VDD_EXT	53	VDD_EXT	84	ADC0_VIN08	115	PA_15
23	SYS_XTAL	54	VDD_INT	85	ADC0_VIN07	116	VDD_EXT
24	SYS_CLKIN	55	BYP_D0	86	ADC0_VIN06	117	PA_14
25	VREG_BASE	56	DAC1_VOUT	87	ADC0_VIN05	118	SYS_CLKOUT
26	VDD_VREG	57	ADC1_VIN00	88	ADC0_VIN04	119	SYS_BMODE1
27	VDD_EXT	58	ADC1_VIN01	89	ADC0_VIN03	120	SYS_BMODE0
28	TWIO_SCL	59	ADC1_VIN02	90	GND_ANA2	121*	GND
29	TWIO_SDA	60	ADC1_VIN03	91	ADC0_VIN02		
30	JTG_TDI	61	GND_ANA3	92	ADC0_VIN01		
31	JTG_TCK/SWCLK	62	ADC1_VIN04	93	ADC0_VIN00		

* 引脚121为处理器的GND电源(参见图66)；此焊盘必须连接到GND。

表53.120引脚LQFP封装引脚分配(按信号名称顺序)

信号名称	引脚编号	信号名称	引脚编号	信号名称	引脚编号	信号名称	引脚编号
ADC0_VIN00	93	GND	121*	PB_03	111	TWI0_SCL	28
ADC0_VIN01	92	GND_ANA0	79	PB_04	110	TWI0_SDA	29
ADC0_VIN02	91	GND_ANA1	71	PB_05	107	VDD_ANA0	80
ADC0_VIN03	89	GND_ANA2	90	PB_06	105	VDD_ANA1	70
ADC0_VIN04	88	GND_ANA3	61	PB_07	106	VDD_EXT	2
ADC0_VIN05	87	GND_VREF0	76	PB_08	103	VDD_EXT	9
ADC0_VIN06	86	GND_VREF1	74	PB_09	104	VDD_EXT	17
ADC0_VIN07	85	JTG_TCK/SWCLK	31	PB_10	102	VDD_EXT	22
ADC0_VIN08	84	JTG_TDI	30	PB_11	50	VDD_EXT	27
ADC0_VIN09	83	JTG_TDO/SWO	33	PB_12	51	VDD_EXT	36
ADC0_VIN10	82	JTG_TMS/SWDIO	34	PB_13	48	VDD_EXT	43
ADC0_VIN11	81	JTG_TRST	32	PB_14	46	VDD_EXT	49
ADC1_VIN00	57	PA_00	19	PB_15	47	VDD_EXT	53
ADC1_VIN01	58	PA_01	15	PC_00	45	VDD_EXT	95
ADC1_VIN02	59	PA_02	14	PC_01	42	VDD_EXT	97
ADC1_VIN03	60	PA_03	13	PC_02	41	VDD_EXT	100
ADC1_VIN04	62	PA_04	12	PC_03	40	VDD_EXT	101
ADC1_VIN05	63	PA_05	11	PC_04	39	VDD_EXT	109
ADC1_VIN06	64	PA_06	10	PC_05	38	VDD_EXT	116
ADC1_VIN07	65	PA_07	8	PC_06	37	VDD_INT	16
ADC1_VIN08	66	PA_08	7	PC_07	35	VDD_INT	44
ADC1_VIN09	67	PA_09	6	REFCAP	75	VDD_INT	54
ADC1_VIN10	68	PA_10	5	SYS_BMODE0	120	VDD_INT	96
ADC1_VIN11	69	PA_11	4	SYS_BMODE1	119	VDD_INT	108
BYP_A0	78	PA_12	3	SYS_CLKIN	24	VDD_VREG	26
BYP_A1	72	PA_13	1	SYS_CLKOUT	118	VREF0	77
BYP_D0	55	PA_14	117	SYS_FAULT	20	VREF1	73
DAC0_VOUT	94	PA_15	115	SYS_HWRST	21	VREG_BASE	25
DAC1_VOUT	56	PB_00	114	SYS_NMI	99		
GND	98	PB_01	113	SYS_RESOUT	18		
GND	52	PB_02	112	SYS_XTAL	23		

* 引脚121为处理器的GND电源(参见图66)；此焊盘**必须**连接到GND。

ADSP-CM402F/CM403F/CM407F/CM408F

图65所示为120引脚LQFP封装引脚配置的顶视图，图66展示的则是120引脚LQFP封装引脚配置的底视图。

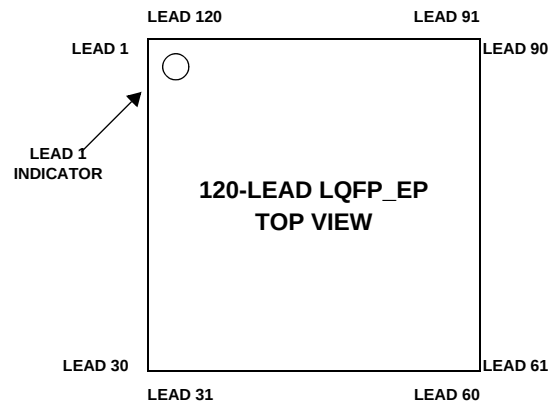


图65.120引脚LQFP封装引脚配置(顶视图)

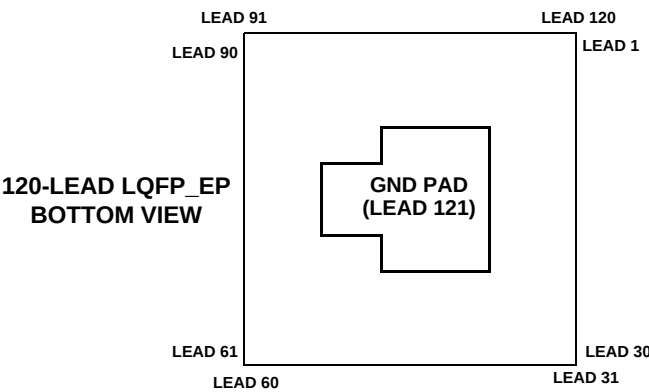


图66.120引脚LQFP封装引脚配置(底视图)

176引脚LQFP封装引脚分配

表54按引脚编号列出了176引脚LQFP封装，表55则按信号列出了176引脚LQFP封装。

表54.176引脚LQFP封装引脚分配(按引脚编号顺序)

信号名称	引脚编号	信号名称	引脚编号	信号名称	引脚编号	信号名称	引脚编号
1	PA_13	46	JTG_TRST	91	PE_05	136	VDD_EXT
2	VDD_EXT	47	JTG_TDO/SWO	92	PE_04	137	VDD_EXT
3	PA_12	48	JTG_TMS/SWDIO	93	VDD_EXT	138	PD_12
4	PA_11	49	PC_07	94	VDD_INT	139	PD_13
5	PC_15	50	VDD_EXT	95	BYP_D0	140	PD_10
6	PA_10	51	PC_05	96	GND_ANA3	141	PD_11
7	PC_14	52	PC_06	97	ADC1_VIN00	142	PD_08
8	VDD_EXT	53	PF_10	98	ADC1_VIN01	143	PD_09
9	PC_13	54	PC_04	99	ADC1_VIN02	144	VDD_EXT
10	PC_11	55	PF_08	100	ADC1_VIN03	145	PD_07
11	PC_12	56	PF_09	101	ADC1_VIN04	146	PD_06
12	PA_09	57	VDD_EXT	102	ADC1_VIN05	147	SMC0_AMS0
13	PA_08	58	PF_06	103	ADC1_VIN06	148	SMC0_AWE
14	PA_07	59	PF_07	104	ADC1_VIN07	149	SMC0_ARE
15	VDD_EXT	60	PC_03	105	VDD_ANA1	150	VDD_EXT
16	PA_06	61	PF_05	106	GND_ANA1	151	PB_10
17	PA_05	62	PC_01	107	BYP_A1	152	PB_09
18	PA_04	63	PC_02	108	VREF1	153	PB_08
19	PA_03	64	VDD_EXT	109	GND_VREF1	154	PB_07
20	PA_02	65	VDD_INT	110	REFCAP	155	PB_06
21	PA_01	66	PC_00	111	GND_VREF0	156	PB_05
22	VDD_INT	67	PF_04	112	VREF0	157	VDD_INT
23	VDD_EXT	68	PF_03	113	BYP_A0	158	VDD_EXT
24	SYS_RESOUT	69	PF_02	114	GND_ANA0	159	PB_03
25	PA_00	70	PF_01	115	VDD_ANA0	160	PB_04
26	SYS_FAULT	71	PF_00	116	ADC0_VIN07	161	PD_05
27	SYS_HWRST	72	VDD_EXT	117	ADC0_VIN06	162	PB_02
28	VDD_EXT	73	PE_15	118	ADC0_VIN05	163	PD_03
29	SYS_XTAL	74	PE_14	119	ADC0_VIN04	164	PD_04
30	SYS_CLKIN	75	PE_13	120	ADC0_VIN03	165	VDD_EXT
31	VREG_BASE	76	PB_14	121	ADC0_VIN02	166	PD_01
32	VDD_VREG	77	PB_15	122	ADC0_VIN01	167	PD_02
33	VDD_EXT	78	PB_13	123	ADC0_VIN00	168	PB_01
34	USB0_DM	79	VDD_EXT	124	GND_ANA2	169	PD_00
35	USB0_DP	80	PB_11	125	VDD_EXT	170	PA_15
36	USB0_VBUS	81	PB_12	126	PE_03	171	PB_00
37	USB0_ID	82	PE_12	127	PE_02	172	VDD_EXT
38	PC_10	83	GND	128	VDD_INT	173	PA_14
39	PC_08	84	PE_11	129	VDD_EXT	174	SYS_CLKOUT
40	PC_09	85	PE_10	130	PE_01	175	SYS_BMODE1
41	VDD_EXT	86	VDD_EXT	131	GND	176	SYS_BMODE0

* 引脚177为处理器的GND电源(参见图68)；此焊盘必须连接到GND。

ADSP-CM402F/CM403F/CM407F/CM408F

表54.176引脚LQFP封装引脚分配(按引脚编号顺序)

信号名称	引脚编号	信号名称	引脚编号	信号名称	引脚编号	信号名称	引脚编号
42	TWI0_SCL	87	PE_09	132	SYS_NMI	177*	GND
43	TWI0_SDA	88	PE_08	133	PE_00		
44	JTG_TDI	89	PE_07	134	PD_15		
45	JTG_TCK/SWCLK	90	PE_06	135	PD_14		

* 引脚177为处理器的GND电源(参见图68)；此焊盘必须连接到GND。

表55.176引脚LQFP封装引脚分配(按信号名称顺序)

信号名称	引脚编号	信号名称	引脚编号	信号名称	引脚编号	信号名称	引脚编号
ADC0_VIN00	123	PA_12	3	PD_09	143	SYS_RESOUT	24
ADC0_VIN01	122	PA_13	1	PD_10	140	SYS_XTAL	29
ADC0_VIN02	121	PA_14	173	PD_11	141	TWI0_SCL	42
ADC0_VIN03	120	PA_15	170	PD_12	138	TWI0_SDA	43
ADC0_VIN04	119	PB_00	171	PD_13	139	USB0_DM	34
ADC0_VIN05	118	PB_01	168	PD_14	135	USB0_DP	35
ADC0_VIN06	117	PB_02	162	PD_15	134	USB0_ID	37
ADC0_VIN07	116	PB_03	159	PE_00	133	USB0_VBUS	36
ADC1_VIN00	97	PB_04	160	PE_01	130	VDD_ANA0	115
ADC1_VIN01	98	PB_05	156	PE_02	127	VDD_ANA1	105
ADC1_VIN02	99	PB_06	155	PE_03	126	VDD_EXT	2
ADC1_VIN03	100	PB_07	154	PE_04	92	VDD_EXT	8
ADC1_VIN04	101	PB_08	153	PE_05	91	VDD_EXT	15
ADC1_VIN05	102	PB_09	152	PE_06	90	VDD_EXT	23
ADC1_VIN06	103	PB_10	151	PE_07	89	VDD_EXT	28
ADC1_VIN07	104	PB_11	80	PE_08	88	VDD_EXT	33
BYP_A0	113	PB_12	81	PE_09	87	VDD_EXT	41
BYP_A1	107	PB_13	78	PE_10	85	VDD_EXT	50
BYP_D0	95	PB_14	76	PE_11	84	VDD_EXT	57
GND	131	PB_15	77	PE_12	82	VDD_EXT	64
GND	83	PC_00	66	PE_13	75	VDD_EXT	72
GND	177*	PC_01	62	PE_14	74	VDD_EXT	79
GND_ANA0	114	PC_02	63	PE_15	73	VDD_EXT	86
GND_ANA1	106	PC_03	60	PF_00	71	VDD_EXT	93
GND_ANA2	124	PC_04	54	PF_01	70	VDD_EXT	125
GND_ANA3	96	PC_05	51	PF_02	69	VDD_EXT	129
GND_VREF0	111	PC_06	52	PF_03	68	VDD_EXT	136
GND_VREF1	109	PC_07	49	PF_04	67	VDD_EXT	137
JTG_TCK/SWCLK	45	PC_08	39	PF_05	61	VDD_EXT	144
JTG_TDI	44	PC_09	40	PF_06	58	VDD_EXT	150
JTG_TDO/SWO	47	PC_10	38	PF_07	59	VDD_EXT	158
JTG_TMS/SWDIO	48	PC_11	10	PF_08	55	VDD_EXT	165
JTG_TRST	46	PC_12	11	PF_09	56	VDD_EXT	172
PA_00	25	PC_13	9	PF_10	53	VDD_INT	22
PA_01	21	PC_14	7	REFCAP	110	VDD_INT	65
PA_02	20	PC_15	5	SMC0_AMS0	147	VDD_INT	94
PA_03	19	PD_00	169	SMC0_ARE	149	VDD_INT	128
PA_04	18	PD_01	166	SMC0_AWE	148	VDD_INT	157
PA_05	17	PD_02	167	SYS_BMODE0	176	VDD_VREG	32
PA_06	16	PD_03	163	SYS_BMODE1	175	VREF0	112
PA_07	14	PD_04	164	SYS_CLKIN	30	VREF1	108
PA_08	13	PD_05	161	SYS_CLKOUT	174	VREG_BASE	31
PA_09	12	PD_06	146	SYS_FAULT	26		
PA_10	6	PD_07	145	SYS_HWRST	27		
PA_11	4	PD_08	142	SYS_NMI	132		

* 引脚177为处理器的GND电源(参见图68); 此焊盘**必须**连接到GND。

ADSP-CM402F/CM403F/CM407F/CM408F

图67所示为176引脚LQFP封装引脚配置的顶视图，图68展示的则是176引脚LQFP封装引脚配置的底视图。

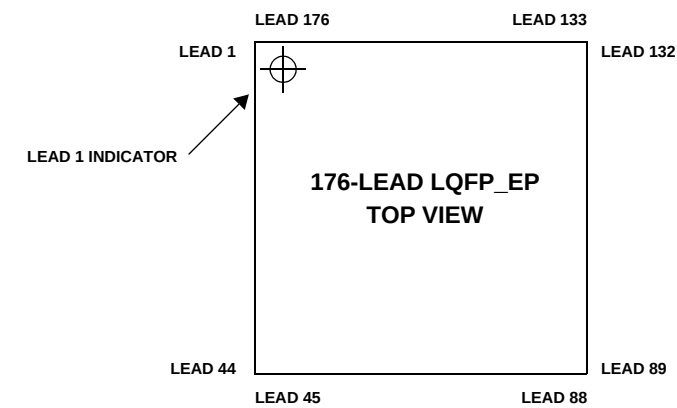


图67.176引脚LQFP_EP封装引脚配置(顶视图)

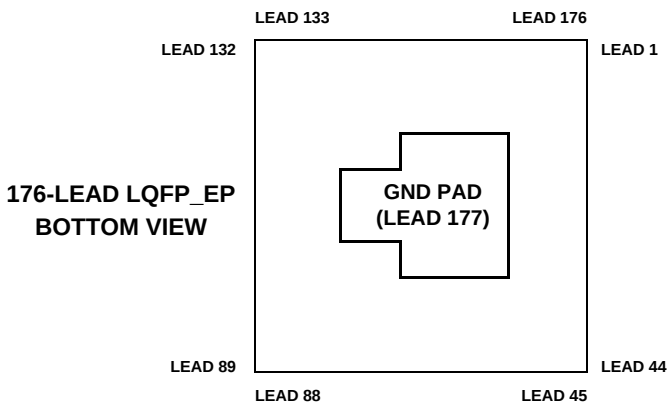


图68.176引脚LQFP_EP封装引脚配置(底视图)

外形尺寸

图69(120引脚LQFP封装)和图70(176引脚LQFP封装)中的图
示尺寸单位为毫米。

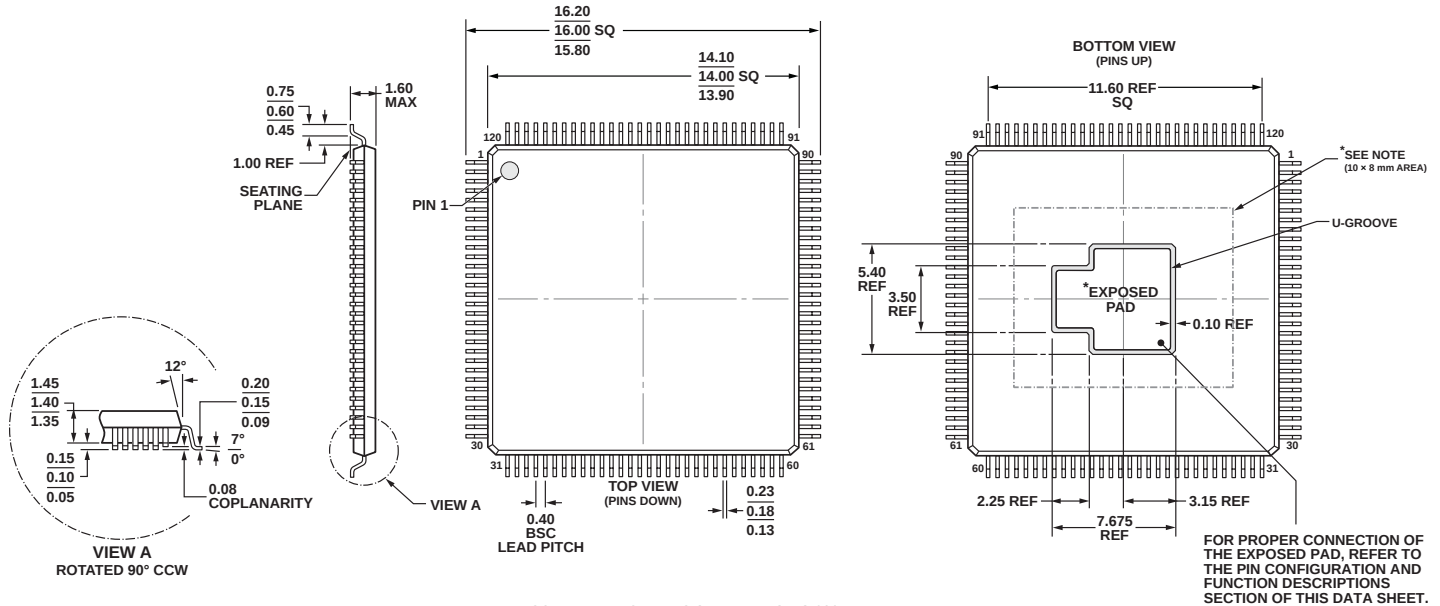


图69.120引脚裸露焊盘超薄四方扁平封装[LQFP_EP]¹
(SW-120-3)

图示尺寸单位: 毫米

¹ 有关SW-120-3封装裸露焊盘的信息, 参见第74页“120引脚LQFP封装引脚分配”部分的表格尾注。

ADSP-CM402F/CM403F/CM407F/CM408F

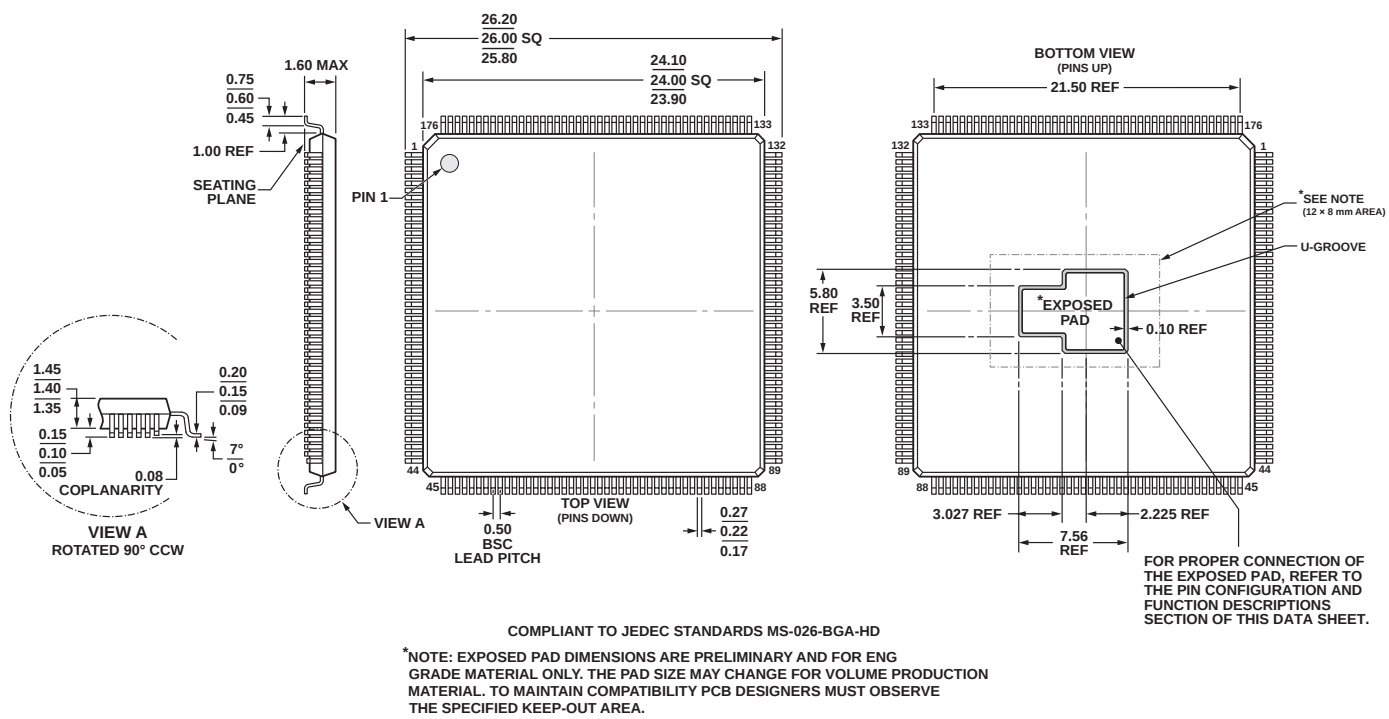


图70.176引脚裸露焊盘超薄四方扁平封装[LQFP_EP]1
(SW-176-3)
图示尺寸单位：毫米

¹ 有关SW-176-3封装裸露焊盘的信息，请第77页“176引脚LQFP封装引脚分配”部分表格尾注。

预发布产品

型号	温度范围 ^{1, 2}	封装描述	封装选项	处理器指令速率(最大值)
ADSP-CM403FBSWZENG	待定	120引脚裸露焊盘超薄四方扁平封装	SW-120-3	待定MHz
ADSP-CM408FBSWZENG	待定	176引脚裸露焊盘超薄四方扁平封装	SW-176-3	待定MHz

¹ 参考温度为环境温度。环境温度不是一项性能指标。结温(T_j)是唯一的温度指标，请参见第34页的工作条件。

² ENG级产品的实际温度范围存在变化，将在发货时交给客户。环境温度的生产目标是-40°C至+85°C。

