

在低压高速系统中利用快速轨到轨运算放大器减少设计限制

作者: Eamon Nash

不断降低系统功耗的要求以及减少系统中电源电压数量的期望推动着业界向更低电源电压这一趋势发展。降低电源电压、减少电源数量具有明显的优势。其一是可以降低系统功耗，同时还能节省空间。降低总功耗的另一好处在于，将来系统中可能不再需要冷却风扇。

然而，随着传统的 ± 15 V和 ± 12 V系统电源电压逐渐让位于更低的 ± 5 V双极性电源和+5 V及+3.3 V单电源，电路设计人员必须清楚，新环境下的设计不是找到额定工作电压较低的器件这么简单。过去使用的设计原则不可能都直接适用低电压环境。

降低典型运算放大器的电源电压可起到多种效果。显然，输入和输出端的信号摆幅均减小。信号与轨之间所需裕量(常规放大器一般为1 V至2 V)尽管在 ± 15 V电源下重要性较低，但此时却可大幅缩小可用信号的范围。虽然这种缩减一般不会增加系统中的噪声水平，但会导致信噪比恶化。由于设计人员无法再通过提高电源电压、加大信号摆幅等技术来“覆盖”噪声水平，因此必须更加注意系统中的噪声水平。

带宽和压摆率都会随着电源下降而降低。然而，需要注意的是，为了维持相同的带宽，较小的信号摆幅需要更低的压摆率。选择运算放大器时，必须仔细研究数据手册。在此，列出了不同电源电压条件下(如 ± 5 V、+5 V和+3 V)压摆率和带宽以及相应负载条件的数据手册规格参数是非常有用且必要的。

轨到轨放大器可视为降低电源电压这一难题的一种解决方案。若未明确定义，轨到轨这个术语指输入和/或输出可能摆

至接近两个轨的器件。这种定义并不规定“接近两个轨”的确切值，也不指定维持轨到轨性能的负载条件。轨到轨运算放大器属于一种单电源运算放大器，也就是单轨器件。单电源运算放大器的输入和输出不一定能接近轨。为了正确使用轨到轨和单电源运算放大器，必须对一些常用的输出级有个基本了解。

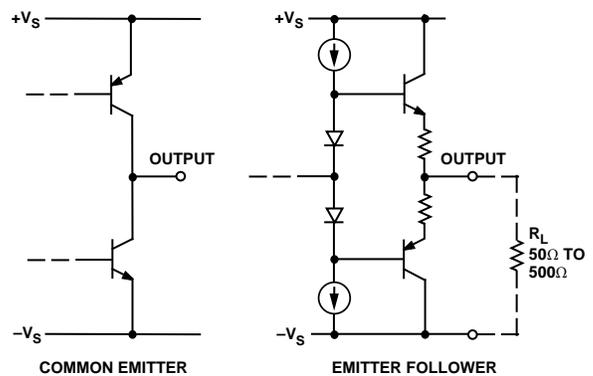


图1. 常见的运算放大器输出级

图1所示为两个典型高速运算放大器输出级。发射极-跟随器级广泛应用于低失真运算放大器中。其输出电压摆幅受限，稍大于供电轨的一个二极管压降。现实应用中，裕量更接近1 V。为了在高频下维持低失真，可能需要更多裕量，从而进一步降低可用峰值摆幅。如果添加一个以负轨(单电源应用中为接地)为基准的外部负载电阻(典型值为50 Ω 至500 Ω)，则可提供一个输出下拉通道。再结合NPN和PNP晶体管基极上的偏置，可以关闭PNP晶体管。这样做允许将输出拉至接近负轨的水平，结果使输出级的表现非常接近简单的NPN跟随器。这样只允许电压接近负轨。负载电阻需要以正电源为基准，才能使输出级接近正轨。这种配置的另一潜在缺点在于，当信号摆幅大于数百毫伏时，将吸取较大的负载电流。举例来说，使用50 Ω 下拉电阻时，如果目标峰值摆幅为2V，则会从运算放大器吸取40 mA的电流。

图中的共发射极级允许输出在两个轨的晶体管饱和电压 (VCESAT) 范围内摆动。对于较小的负载电流 (小于 100 μA)，饱和电压可能低至 5 mV 至 20 mV；但是，对于较高负载电流，饱和电压可能增加至数百毫伏 (比如 50 mA 下为 500 mV)。这类输出级的开环输出阻抗比发射极跟随器级高，在驱动 Flash 转换器等非线性负载时更可能发生失真。但重要的是，不能孤立地考察开环输出阻抗。闭环输出阻抗 Z_o 通过以下公式计算

$$Z_o = \frac{Z_o}{1 + a_o \beta}$$

其中， Z_o 为开环输出阻抗， a_o 为开环增益， β 为反馈因子 ($a_o \beta$ 通常称为环路增益)。因此，大开环增益 (如 100 dB) 会将运算放大器的输出阻抗降低 100,000 倍，作为单位增益缓冲器连接。随着频率的增加，下降的开环增益会使输出阻抗增加。

尽管轨到轨放大器一般可在电源电压的数十毫伏范围内摆动，失真与信号摆幅之间一般也存在折衷。运算放大器数据手册一般会指定最佳失真，其输出信号不会利用整个可用电压范围。随着信号电平接近两个轨的数百毫伏范围内，失真性能会大幅下降。在共射输出极的轨到轨运算放大器中，当信号到轨裕量为各轨的 500 mV 左右时，可实现最佳失真/信号电平折衷。这只是大概值，最佳值同样取决于负载情况。

除了使用轨到轨放大器以外，还有多种技术可用来增加信号摆幅，而无需增加电源电压。差分驱动电路可以更有效地利用可用电压范围。升压放大器可以将电压提高到任意高的水平，但其代价是增大了驱动放大器的输出电流。以下列出一些常见高速应用，为了说明低电压模拟电路设计面临的困难，具体考察在使用轨到轨运算放大器时，为取得最佳性能而要使用的一些技术。

驱动高速ADC

尽管多数现代高速ADC采用单电源运行模式，但仍然常常用于具有双极性电源的信号链中。由于单电源ADC的静态电流一般低于双电源ADC，这一趋势的主要动因却是节能问题。

双极性信号在应用于单电源ADC之前，通常需要进行某种形式的电平转换。由于ADC的安全输入电压超过电源电压的值不得大于几百毫伏，因此，在双电源环境中，必须考虑单电源器件的保护问题。

图2所示8位125 MSPS Flash转换器由一个240 MHz 箝位放大器驱动。该ADC采用ECL逻辑，以-5.2 V单电源驱动。输入电压摆幅为2 V (-1 V \pm 1 V)。该器件的绝对最大额定值规定的安全输入电压范围为-V_S至 +0.5 V。虽然选择基于相同单电源的轨到轨放大器可以有效保护ADC，使其不受过压影响，但本例中利用双极性电源驱动运算放大器更合适。

尽管采用-5.2 V单电源的轨到轨放大器能够摆动到非常接近地电位的水平，但随着电压接近两个轨，信号失真将严重恶化。一种更合理的方式是，利用双极性电源驱动运算放大器，以便在信号与两个轨之间获得较大的裕量 (正极5 V，负极3 V)。

用两个电阻分压器将运算放大器折合到输入的箝位电压设为 ± 0.55 V，比正常的最大输入电压高50 mV。为了将 ± 0.5 V的输入电压映射到ADC的0 V至-2 V的输入范围之内，运算放大器的增益为2，采用+2.5 V基准电压，结果产生-1 V¹的电平转换。折合到输出的箝位电压转换成+0.1 V和-2.1 V。1N5712肖特基二极管可在上电过程中提供额外的保护，实际上可使ADC输入端的最大电压保持在+0.3 V左右。过压过程中，在运算放大器输出串联的一个50 Ω 电阻会限制通过二极管的电流，并将输出级与Flash ADC² (最大值为22 pF) 的信号相关容性负载相分离。其负箝位电平为-2.1 V，虽然不是保护转换器的必要条件，但有效防止了模拟输入发生负过驱。

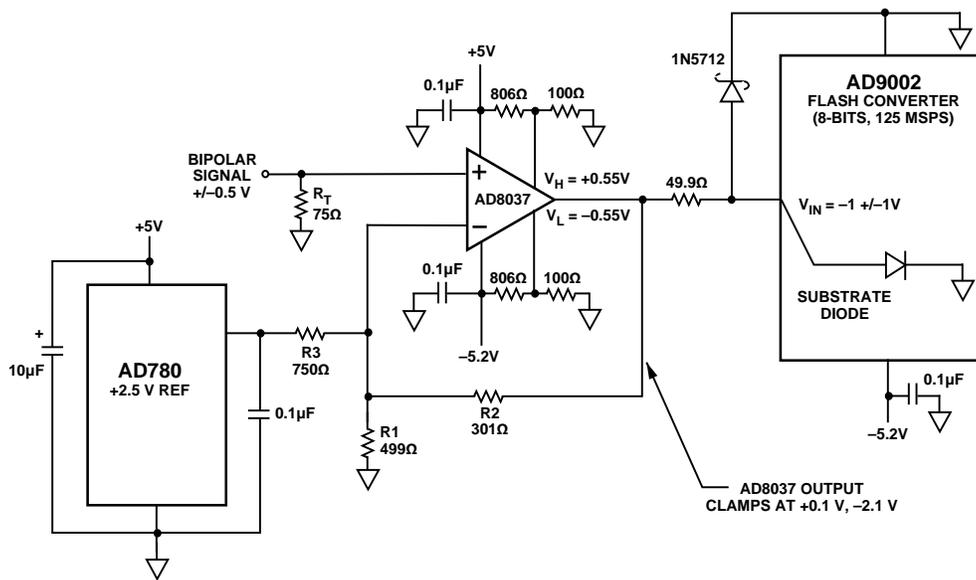


图2. AD9002, 8位125 MSPS Flash转换器

除了提供必要的信号调理以外,也可能是更重要的事项,驱动放大器必须提供低阻抗源,以不损害ADC的动态性能。ADC的信号对噪声失真比(S/(N+D)或SINAD)的坐标图应作为驱动放大器的首要选择标准。该坐标图应与运算放大器的总谐波失真加噪声比(THD+N)相比较。此处,进行同类比较非常重要,两种测量结果应表现出与实际电路相似的信号电平、电源电压和偏置条件。放大器的负载条件也应与ADC类似。一般地,为了防止运算放大器损害ADC的动态性能,其THD+N应比ADC最高信号频率3(通常为ADC的奈奎斯特频率,也有例外)下的S/(N+D)优6 dB至10 dB。在某些应用中,比如频谱分析,低失真可能比低噪声更重要。这类情况下,更有意义的做法是比较运算放大器的THD与ADC失真(通常限定为无杂散动态范围,简称SFDR)。同样地,可以选择失真比ADC优6 dB至10 dB的运算放大器。

这种选择标准可用在ADC的输入阻抗固定且在转换过程中不会变化的情况下。针对双极性工艺设计的ADC一般即是这种情况。另一方面,基于CMOS工艺设计的ADC一般直接将采样保持开关与模拟输入相连。这会在转换过程中产生瞬态电流,外部驱动电路必须具备相应的处理能力。此外,CMOS开关的(相对低)通电阻抗具有一定的信号相关性。ADC的模拟输入可能展现出取决于信号电平的输入阻抗,结果导致失真。

图3所示12位10 MSPS单电源CMOS ADC由差分放大器(采用单电源双运算放大器)驱动。ADC采用差分采样保持输

入级。图中开关显示为跟踪模式,在采样频率下开启和关闭。标着 C_{PAR} 的电容为16 pF左右,代表开关和输入引脚的组合寄生电容。 C_S 和 C_H 分别表示采样电容和保持电容。在跟踪模式下,差分输入电压施加于 C_S 电容。当器件进入保持模式时,这些电容上的电压将传递到保持电容。

ADC的输入范围通过引脚限定设置为2V峰峰值。差分驱动放大器设定2.5 V的共模电压。从信号失真角度来看,这属于最优配置,其原因有多种。

在真正工作于单电源的系统中,通常很难在从源到ADC的范围内维持直流耦合。在这类系统中,经常会产生虚拟地,通常位于两个轨的中间。这就为单电源ADC带来了最佳输入电压范围问题。初步看来,以零伏特为基准的输入可能就够用了。但事实上,这会给ADC及其驱动放大器带来严重的限制,因为它们都必须在0V处或附近维持全线性 and 低失真。

对于ADC和运算放大器来说,更好的电压范围既不包括地电压,也不包括正电源。一般而言,以 $V_S/2$ 为中心的范围是最佳选择。例如,以+2.5 V为中心的2 V峰峰值输入范围的界限为+1.5 V和+3.5 V。如果单电源运算放大器的动态规格针对的是中量程偏置条件,则可直接进行规格比较,使运算放大器与ADC适当匹配。然而,如果单电源ADC的偏置点偏移 $V_S/2$ 理想值的程度较大,则运算放大器的失真和其他动态规格可能恶化。

在所举例子中,差分放大器的增益为 2^4 ,将 $\pm 0.5\text{ V}$ 单端信号转换成 2 V 峰峰值差分信号,其共模电平为 $+2.5\text{ V}$ 。但各运算放大器只需在 2 V 至 3 V 范围内摆动(即 $2.5\text{ V} \pm 0.5\text{ V}$)。这样一来,信号范围得到了有效利用,由于各轨拥有相对较大的 2 V 裕量,结果可以降低运算放大器失真。该方案同样对转换器有益。当输入电压为中间电源电压时,ADC CMOS采样开关的导通电阻(前面提到过)最低。减少各输入端的电压变化可降低开关的信号阻抗变化,从而限制可能引起的失真。

该ADC也可配置为支持 5 V 峰峰值的输入电压范围(单端或差分)。当 5 V 峰峰值差分输入范围采用所示配置时,驱动放大器需要在 1.25 V 至 3.75 V 范围内摆动,结果给两个电源留下了 1.25 V 的裕量。选择较大的输入范围可优化直流线性度和信噪比。加大的信号范围会导致转换器失真性能略微下滑。

从安全角度来看,单电源信号链中的箝位输入电压问题不是很重要,因为放大器和ADC通常都采用同一驱动源。然而,有些ADC上的模拟输入端的绝对最大额定值低于电源电压。这种情况下,必须再次考虑通过箝位来保护输入的问题。

线路驱动器

差分增益和差分相位规格参数是小信号增益和相位在大信号幅度变化时的表达式,而小信号是叠加于大信号之上的。尽管这些规格主要是放大器架构的函数,但信号与电源之间的裕量会影响到运算放大器的差分增益和相位性能。结果,虽然复合视频信号的最大电平的范围为 1 V 至 2 V ,但在过去,复合视频线路驱动器一般运行于 $\pm 12\text{ V}$ 和 $\pm 15\text{ V}$ 电源。现在的系统都要求差分增益和相位规格至少不得低于过去的水平。为了节能,设计人员不太容易在信号与电源之间设计较大的裕量。

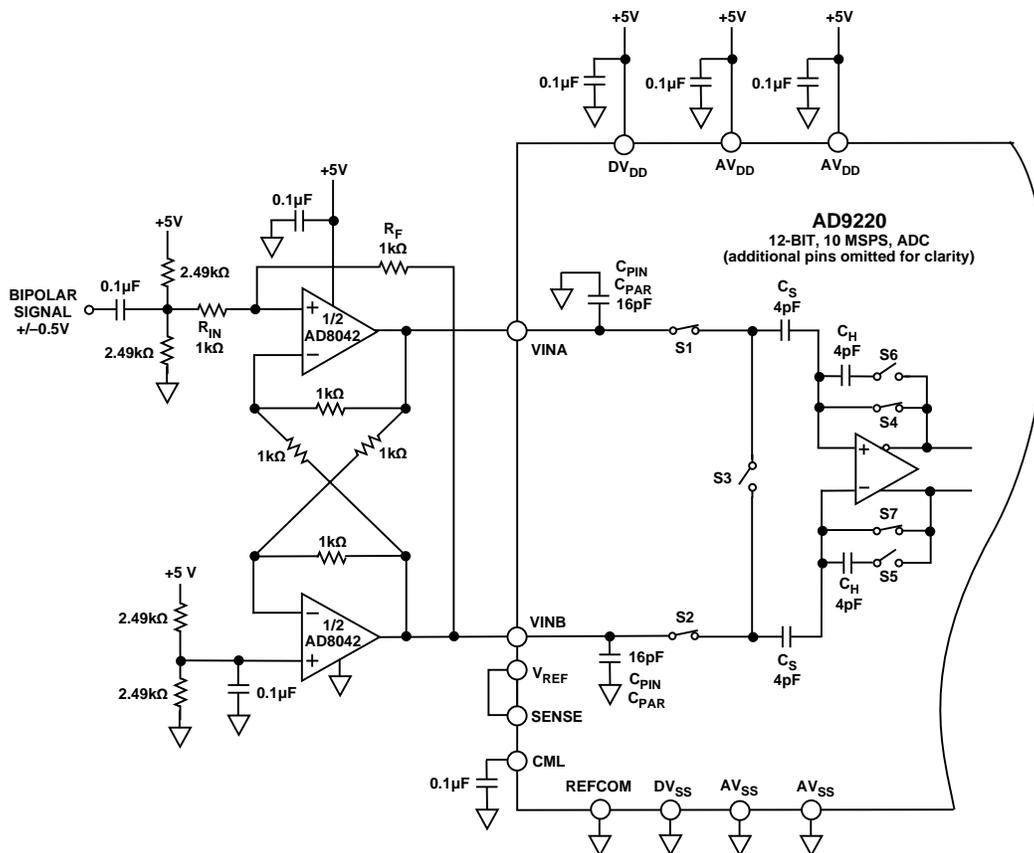
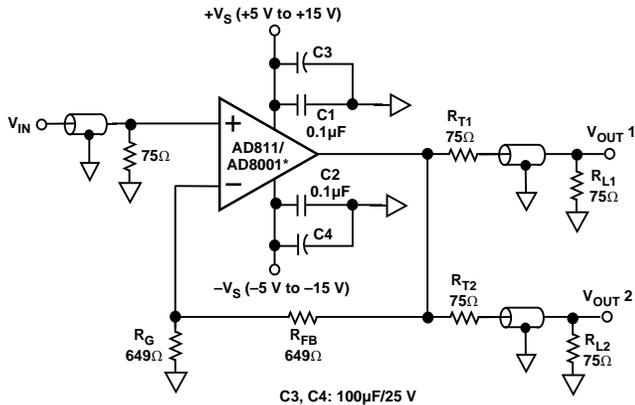


图3. 用单端转差分运算放大器配置驱动单电源差分输入ADC



*AD8001 CAN BE USED ONLY WHERE +/-5 V POWER SUPPLIES ARE PRESENT

图4. 带可选的视频分配功能的传统高品质视频线路驱动器

图4所示为一种高性能视频线路驱动器，具有可选分配放大器功能。运算放大器级的工作增益为2，通过75 Ω后端驱动一对75 Ω输出线路。因此， V_{OUT1} 和 V_{OUT2} 为 V_{IN} 的独立隔离式/缓冲式单位增益版本。在总端接单位增益下，该电路完全可以胜任低失真缓冲器或视频分配放大器的工作。

如图所示，利用AD811运算放大器和±15 V电源，该电路的-3 dB带宽为120 MHz，单路驱动差分增益/相位为0.01%/0.01°($R_L = 150 \Omega$)。驱动两条线路时，增益误差相同，相位误差上升到0.04°左右。采用±15V电源时，该电路的增益平坦度范围为0.1 dB至35 MHz。与预期一样，低电源确实会导致一定的性能下降，但在±5V电源下，差分相位仍低于0.18°。-3 dB点降至80 MHz，0.1 dB增益平坦度维持于25 MHz。

这一示例采用AD811，展示了在电源从±15 V降至±5 V的情况下，差分增益和相位下降的程度。AD8001一类更新的放大器仅能工作于±5 V。这款放大器拥有更高的带宽，增益平坦度为0.1 dB，其±15 V差分增益和相位指标与AD811几乎不相上下，功耗更低。

为了获得最佳精度和稳定性，建议使用金属薄膜电阻，同时建议采用重去耦。作为最低要求，须在器件电源引脚处采用局部低电感/低ESR RF旁路电容，图示为C1/C2。这些是0.1 μF 表贴芯片(或其他低电感类)电容。在驱动高频率电流负载时，这些高频旁路电容需要被扩充，通过局部短引线/较大值，低ESR，范围为47 μF至100 μF的电解电容(如图示为C3/C4)。此类电容将承载瞬态电流，可以是额定为高频的钽电容或铝电容(如开关电源类)。

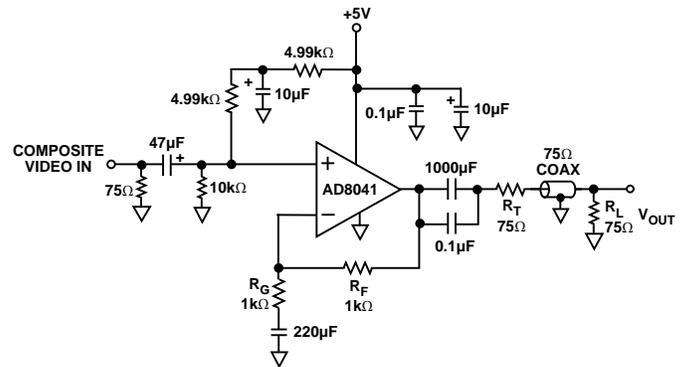


图5. 交流耦合单电源复合视频线路驱动器

图5所示为一种增益为2的单电源复合视频线路驱动器的示意图。由于复合视频信号的同步端延伸至地以下，因此输入必须进行正交流耦合和电平转换。最佳偏置点的设置需要对复合视频信号的性质以及所用运算放大器的视频性能有所了解。

在交流耦合之后，占空比不同、峰峰值幅度受限的信号要求其动态摆动性能大于其峰峰值幅度。最差情况下，需要的动态信号摆幅接近峰峰值的两倍。两种相应情况为：占空比多数时候较低，但偶尔会变高；反之亦然。复合视频的要求不如这么严格。一种极端情况是：对于整帧，信号以黑色为主，但每帧至少有一个白色(全强度)最低宽度尖峰。另一种极端情况是：视频信号均为全白。这种信号的消息间隔和同步端将出现趋负偏移，与复合视频规范一致。水平和垂直消息间隔相结合，将在75%左右的时间内使这种信号维持于最高电平(白色)。

这两个极端间变化的占空比带来的结果是，交流耦合2V峰峰值复合视频信号要求约3.2V的动态电压摆幅，以避免削波。

有的电路采用同步端箝位和交流耦合使同步端保持于相对稳定的电平，以降低所需动态信号摆幅。然而，若不能采用输出阻抗极低的驱动源，这类电路可能产生同步端压缩等伪像。

由于图示电路采用带有轨到轨输出级的运算放大器，因而具备充足的信号摆幅能力，能够满足动态范围要求而无需采用同步端箝位。测试中，我们在改变电源的情况下，测量了差分增益和相位。当相对低的电源升至接近视频信号的水平时，观察到的第一种效应是同步端压缩，之后是差分增益和相位受到不良影响。当相对高的电源降至接近视频信号水平时，在峰值视频输出和电源之差达到0.6V之前，差分增益和相位并未受到明显的不良影响。

AN-417

通过测试发现，同相输入的最佳偏置点为2.2 V直流。在这一点上，测得的最差差分增益和相位分别为0.06%和0.06°。

电路中用到的交流耦合电容看似较大。复合视频信号的下频带边沿为30Hz。各交流耦合点的电阻(尤其是输出端)非常小。为了减小相移和基线倾斜，要求采用大电容。对于非最高品质的视频系统性能，这些电容的值最多可降低5倍，会对画质仅产生轻微影响。

如果输出信号的电压摆幅需要接近地电压，则直流耦合单电源线路驱动器将是个大问题。其原因在于，随着输出电压接近地电压，信号失真也会增大。例如，AD8031的摆幅接近两个轨。然而，当信号的共模电平位于两个电源的中间且各轨均拥有约500 mV裕量时，可实现最低失真。在单电源应用中，如果摆幅接近地电压的信号要求低失真，可在运算放大器输出端采用发射极跟随器电路。

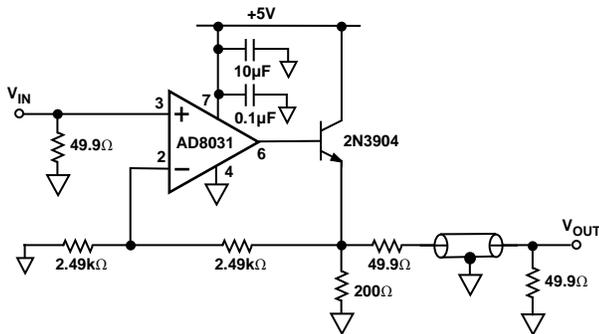


图6. 针对单电源接地基准信号的低失真线路驱动器

图6所示AD8031配置为直流耦合单电源线路驱动器，其增益为2。其输出驱动后端接50 Ω线路，从V_{IN}到V_{OUT}的总增益为单位增益。除降低反射以外，50 Ω后端接电阻还能在电线短路时保护晶体管，使其免受损坏。反馈环路中的发射极跟随器可确保AD8031的输出电压处于比地电压高约700 mV的水平。采用这种电路时，即使输出信号摆动至地电压50mV之内，失真也可保持极低水平。该电路在500 kHz和12 MHz两种条件下进行了测试。图7和图8展示了500 kHz下的输出信号摆幅和频谱。该频率下，输出信号(V_{OUT})的峰峰值摆幅为1.95 V(50 mV至2 V)，其THD为-68 dB。

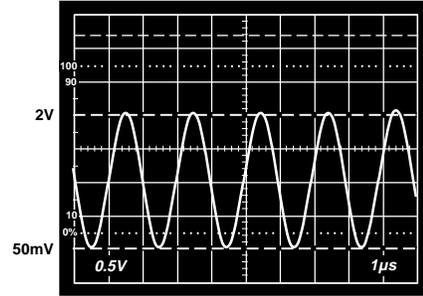


图7. 低失真线路驱动器在500 kHz下的输出信号摆幅

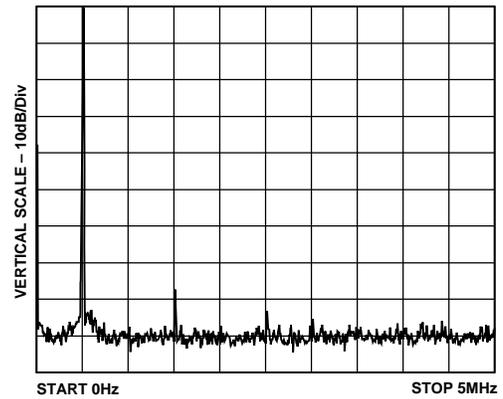


图8. 低失真线路驱动器在500 kHz下的THD

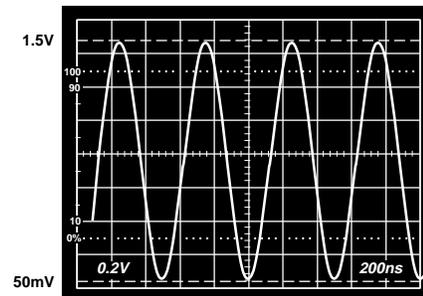


图9. 低失真线路驱动器在2 MHz下的输出信号摆幅

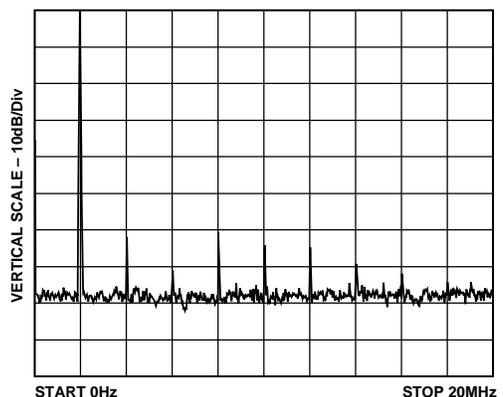


图10. 低失真线路驱动器在2 MHz下的THD

图9和图10展示了2 MHz下的输出信号摆幅和频谱。正如预期，较高频率下，信号质量略有下降。当输出信号的峰峰值摆幅为1.45 V(从50 mV摆动到1.5 V)，其THD为-55 dB。

该电路也可用于驱动单电源高速ADC的模拟输入端，其输入电压范围以地电压为基准(0 V至2 V或0 V至4 V)。这种情况下，无需使用后端接电阻(假定从晶体管到ADC的物理距离较短)。因此，外部晶体管的发射极将直接连接至ADC输入端。结果会使电路的可用输出电压摆幅增加一倍。

有源滤波器

传统上，在设计高速有源滤波器时，设计人员可以选择增益带宽积(GBP)远高于滤波器转折频率的放大器。另外，电源电压为 ± 15 V或 ± 12 V时，意味着可保持较大的信号到轨道裕量。至少从带宽和信号摆幅的角度来看，可将放大器视为理想元件。有利于降低带宽和压摆率的低电压电源的出现，再加上最大限度增加信号范围的需求，这些因素意味着在多数情况下，滤波器转折频率与滤波器中实际放大器带宽之差不再像以前那样大。在为有源滤波器选用运算放大器时，必须根据给定的电源电平、目标信号摆幅和所需负载条件，提前计算放大器将在电路中表现出来的带宽和相移。考虑信号摆幅时，除输入和输出电平以外，必须同时考虑电路内节点上的信号电平。在Q大于0.707的滤波器中，响应中将出现峰化。必须在滤波器的动态范围中考虑峰化水平，以避免出现削波。

许多现代高速运算放大器都采用一种电流反馈拓扑结构。电流反馈放大器反馈回路中的电容一般会使放大器变得不稳定。结果，在将运算放大器配置为积分器的滤波器拓扑结构中，一般不可使用电流反馈放大器⁵。不含积分器的Sallen-Key滤波器是个例外。

图11所示为一种单电源双二阶带通滤波器电路，其中心频率为2 MHz。将全部三个运算放大器的同相输入端连接到由+5 V和地电压之间连接的两个1 k Ω 电阻构成的电阻分压器，结果可轻松得到2.5 V偏置电平。该偏置点同时通过一个0.1 μ F电容去耦至地。此滤波器的频率响应曲线如图12所示。

为了维持精确的中心频率，运算放大器必须在2 MHz下拥有充足的环路增益。这就要求选用单位增益交越频率高得多的运算放大器。AD8031/AD8032的单位增益交越频率为40 MHz。用各自运放电路的反馈因子乘以开环增益，结果得到各增益级的环路增益。基于各运算放大器电路的反馈网络，我们可以发现，各运算放大器的环路增益至少为21

dB。这一水平足以确保滤波器的中心频率不受运算放大器带宽的影响。举例来说，如果该应用选择了增益带宽积为10 MHz的运算放大器，则结果中心频率将偏移20%，至1.6 MHz。

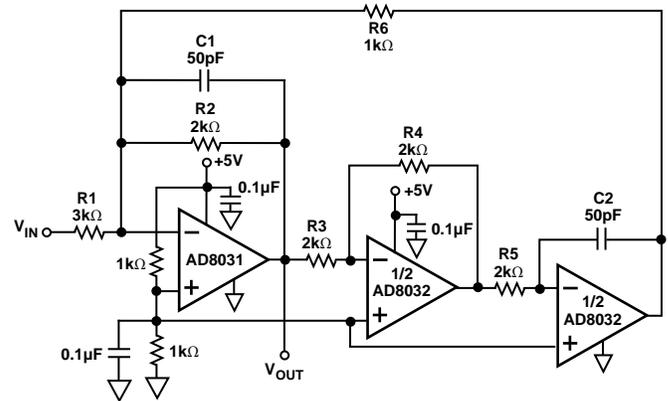


图11. 采用AD8032和AD8031的单电源2 MHz双二阶带通滤波器

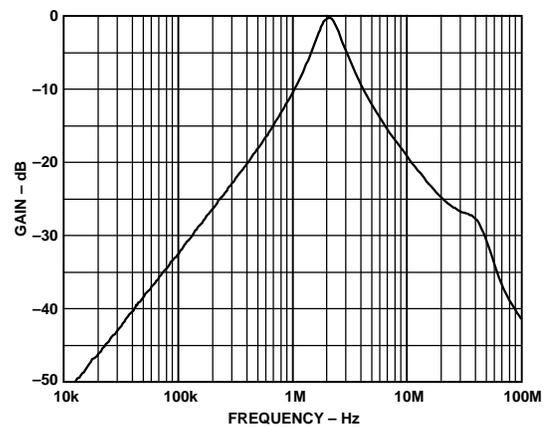


图12. 单电源2 MHz带通滤波器的频率响应曲线

变压器驱动电路

即使采用轨到轨放大器，运算放大器的信号摆幅也限于电源电压之内。如果使用变压器耦合，则有可能将信号摆幅提高到大于供电轨电位的水平。另外，一般而言，差分变压器耦合信号对外部干扰具有更好的免疫性能。在信号传输距离较长的情况下，这是至关重要的。

通过选用匝数比适当的升压变压器，可将信号的峰峰值幅度提高到任意高的水平。然而，从升压变压器副边到源边的反射阻抗等于副边阻抗除以匝数比平方得到的商。结果会提高运算放大器的电流要求。在为升压变压器选择适当的驱动运算放大器时，设计人员必须考虑良好的信号摆幅，即使放大器电流相对较高亦需如此。

HDSL收发器

HDSL(高比特率数字用户线路)日益成为普及型全双工数据通信解决方案, 可通过常规双绞电话线路在中等距离内提供高达2.048 Mb/s的传输速率。为了在12,000英尺的距离内实现无中继数据传输, 要求发射功率为+13.5dBm(假定负载阻抗为135Ω)。由于客户端收发器有时通过中央交换局电源的双绞线供电, 因此, 电路功耗显得至关重要。

图13所示电路采用+5 V单电源供电, 其功率水平可达到这种要求。这里通过一个双运算放大器来将功率合成到变压器的两个初级绕组中。这两个初级绕组实际上采用并联连接。两个运算放大器均配置为增益为2。结果允许输出在轨到轨电压范围内摆动, 即使放大器输入范围并非轨到轨(输入范围为-0.2 V至+4 V)。尽管在负载相当大的情况下, 输出电压能摆动到非常接近两个轨电压的水平, 但0.5 V至4.2V左右的电压摆幅更为合适, 可以将THD水平维持在-70 dB左右(在500 kHz下测得)。作为两个源边变压器的基准, 一个100 μF电容产生虚拟地, 其值等于输出信号的平均直流值(约2.4 V)。从副边反射到各源边的阻抗为29.78 Ω (134/1.52/2)。源边分别与约等于该值的电阻串联。因此, 各源边中的电压等于其驱动运算放大器电压的一半。

同时, 两个发射器运算放大器的分频电压也馈入差分接收器的两个输入端。这些信号在接收器端表现为共模电压, 且未放大。现实中, X和Y两个节点的电压并不完全相等, 因此, 接收器放大了部分发射信号。发射器到接收器的抑制性能测量值为-20 dB。

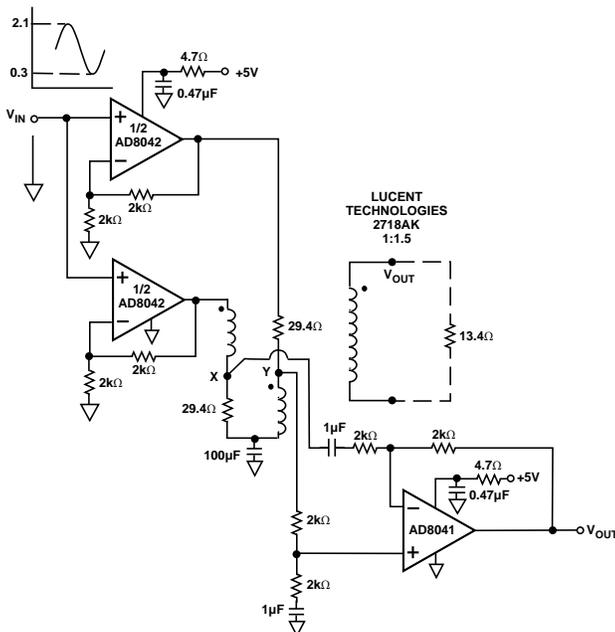


图13. 单电源HDSL收发器

接收到的信号耦合至两个源边。然而, 在这些电压的驱动下, 差分接收器相互反相180°。结果使接收器增益等于变压器匝数比的倒数(1/1.5)。

各运算放大器输出端的峰峰值电压为3.5 V, 各源边的峰峰值电压为1.75。副边峰峰值电压约为5.2 V, 为源边电压和乘以1.5的匝数比之积。对应的功率水平约为+14 dBm。其计算等式为:

$$\text{功率} = 10 \log_{10} \left[\frac{\left(\frac{V_{\text{peak-peak}}}{2 \times \text{crest factor}} \right)^2 / R_{\text{LOAD}}}{1 \text{ mW}} \right]$$

以上计算采用的波峰因子为。如果采用不同的波峰因子, 结果得到的功率将高于或低于该值。如果需要较高的信号摆幅, 则可使用匝数比较高的变压器。这要求运算放大器提供更多电流。在如图所示配置中, 运算放大器提供给负载的电流约为28 mA, 这些负载的基准电压为+2.5 V。由于这些运算放大器可以提供最高50 mA电流, 同时使信号摆幅维持在0.5 V至4.5 V的范围内, 因而副边上还存在增加信号摆幅的可能。不过, 提高匝数比会降低接收信号的幅度。

参考文献

1. Replacing Output Clamping Op Amps with Input Clamping Amps, Application Note AN-402, Analog Devices, 1995, p. 3
2. Amplifier Applications Guide, Analog Devices, 1992, pp. 7.49–52
3. Practical Analog Design Techniques, Analog Devices, 1995, pp. 4.12–15
4. AD 8042, Dual 160 MHz Rail-to-Rail Amplifier, Data Sheet, Analog Devices, 1995, pp 12-13
5. Amplifier Applications Guide, Analog Devices, 1992, pp. 6.27–29