



Is Now Part of



ON Semiconductor®

To learn more about ON Semiconductor, please visit our website at
www.onsemi.com

ON Semiconductor and the ON Semiconductor logo are trademarks of Semiconductor Components Industries, LLC dba ON Semiconductor or its subsidiaries in the United States and/or other countries. ON Semiconductor owns the rights to a number of patents, trademarks, copyrights, trade secrets, and other intellectual property. A listing of ON Semiconductor's product/patent coverage may be accessed at www.onsemi.com/site/pdf/Patent-Marking.pdf. ON Semiconductor reserves the right to make changes without further notice to any products herein. ON Semiconductor makes no warranty, representation or guarantee regarding the suitability of its products for any particular purpose, nor does ON Semiconductor assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation special, consequential or incidental damages. Buyer is responsible for its products and applications using ON Semiconductor products, including compliance with all laws, regulations and safety requirements or standards, regardless of any support or applications information provided by ON Semiconductor. "Typical" parameters which may be provided in ON Semiconductor data sheets and/or specifications can and do vary in different applications and actual performance may vary over time. All operating parameters, including "Typicals" must be validated for each customer application by customer's technical experts. ON Semiconductor does not convey any license under its patent rights nor the rights of others. ON Semiconductor products are not designed, intended, or authorized for use as a critical component in life support systems or any FDA Class 3 medical devices or medical devices with a same or similar classification in a foreign jurisdiction or any devices intended for implantation in the human body. Should Buyer purchase or use ON Semiconductor products for any such unintended or unauthorized application, Buyer shall indemnify and hold ON Semiconductor and its officers, employees, subsidiaries, affiliates, and distributors harmless against all claims, costs, damages, and expenses, and reasonable attorney fees arising out of, directly or indirectly, any claim of personal injury or death associated with such unintended or unauthorized use, even if such claim alleges that ON Semiconductor was negligent regarding the design or manufacture of the part. ON Semiconductor is an Equal Opportunity/Affirmative Action Employer. This literature is subject to all applicable copyright laws and is not for resale in any manner.

AN-9010

MOSFET 基础

概述

由于作为电源应用开关器件的双极性功率晶体管(BPT)具有几项劣势，因此开发了功率金属氧化物半导体场效应晶体管(MOSFET)。功率MOSFET用于开关电源(SMPS)、计算机外设、汽车和电机控制等应用。持续不断的研究已使其特性得到改进，从而能取代BJT。本应用指南大致说明了功率MOSFET并简要介绍了某些飞兆产品的规格。

公司历史

场效应晶体管(FET)背后的理论自20世纪二三十年代开始就广为人知，20年后双极结型晶体管才被发明出来。当时，美国的J.E. Lilienfeld建议了一种晶体管模型，其每一侧都有两个金属触点，半导体顶部有一块金属板(铝制)。半导体表面的电场由金属板供应的电压形成，从而能够控制金属触点间的电流。这就是FET的初始概念。由于缺乏合适的半导体材料并且技术不成熟，因此开发速度很慢。William Shockely于1952年引入了结型场效应晶体管(JFET)。Dacey和Ross在1953年对其作出了改进。在JFET中，Lilienfeld提出的金属场被P-N结取代，金属触点被称为源极和漏极，场效应电极被称为栅极。对小信号MOSFET的研究持续进行着，但在功率MOSFET设计方面并无任何重大改进，直到20世纪70年代才引入了新产品。

1986年3月，由9人组成的飞兆公司开始研究功率MOSFET。20世纪90年代，飞兆使用平面技术开发了QFET®器件，使用沟道技术开发了低压PowerTrench®产品。

1. FET

1.1. 结型场效应晶体管(JFET)

有两种类型的JFET：N沟道型和P沟道型。两者均通过供应给栅极的电压控制漏极至源极电流。如图 1 (a) 中所示，如果栅极未提供偏压，则电流会从漏极流向源极。如果栅极提供偏压，耗尽区会开始增大并减少电流，如图 1 (b) 中所示。与源极耗尽区相比，漏极耗尽

区增大的原因是栅极和漏极的反向偏压 $V_{DG} (=V_{GS}+V_{DS})$ 比栅极和源极之间的偏压 V_{GS} 更高。

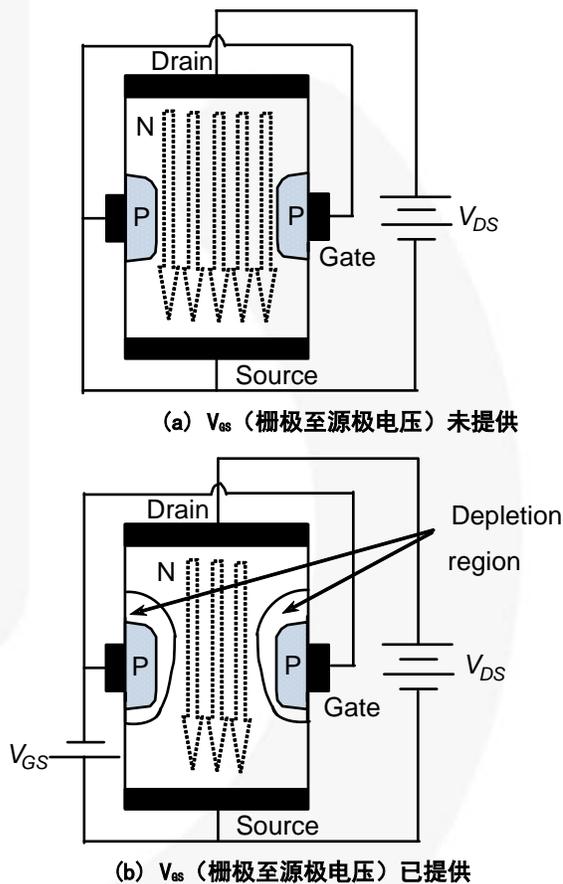
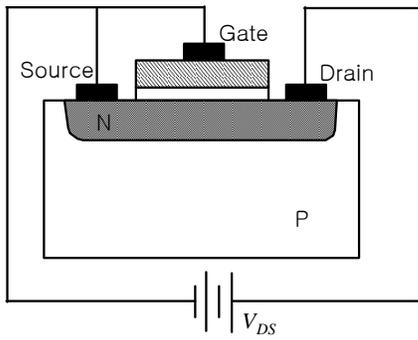


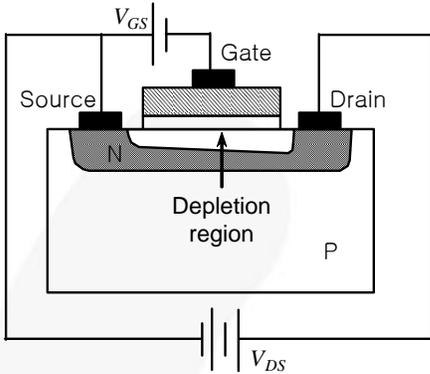
图 1. JFET的结构及其工作原理

1.2. 金属氧化物半导体场效应晶体管(MOSFET)

MOSFET有两种类型，分别为耗尽型和增强型，每种类型都有N/P-沟道。耗尽型通常开启，工作原理类似JFET(参见图 2)。增强型通常关闭，这意味着漏极至源极电流随栅极的电压上升而上升。如果栅极未提供电压，则无电流流动(参见图 3)。

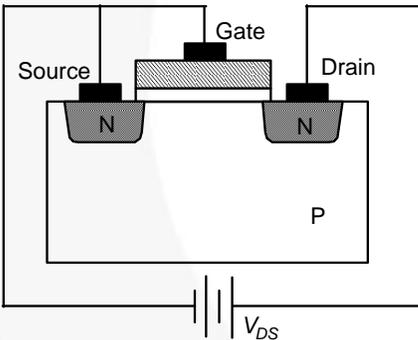


(a) V_{GS} 栅极至源极电压未提供

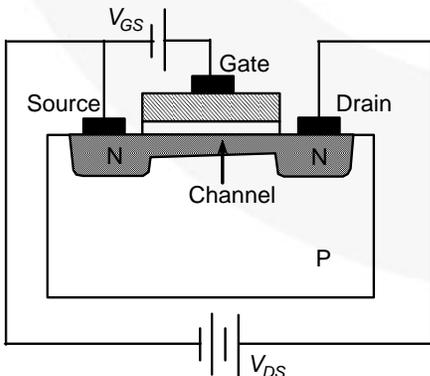


(b) V_{GS} (栅极至源极电压) 已提供

图 2. 耗尽型MOSFET的结构及其工作原理



(a) V_{GS} (栅极至源极电压) 未提供



(b) V_{GS} (栅极至源极电压) 已提供

图 3. 增强型MOSFET的结构及其工作原理

2. MOSFET的结构

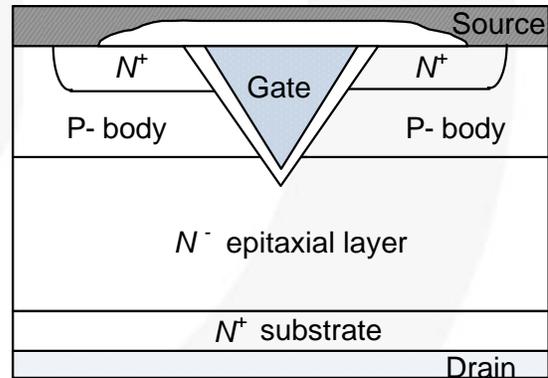
2.1. 横向沟道设计

漏极、栅极和源极端子置于硅晶圆的表面。这非常适合集成，但不适合获取高额定功率，因为源极和漏极之间的距离必须足够大，才能实现更好的电压阻断能力。漏极至源极电流与长度成反比。

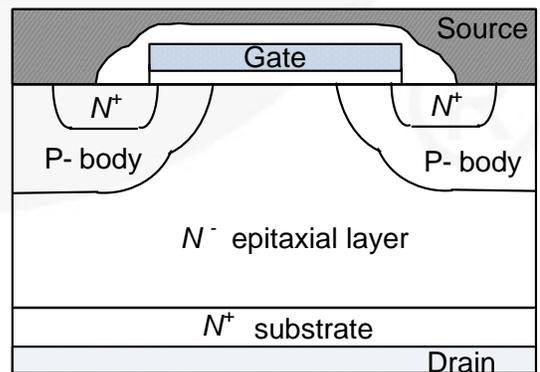
2.2. 垂直沟道设计

漏极和源极置于晶圆的相反两端。由于更多的空间可用作源极，因此这适用于功率器件。由于源极和漏极之间的长度减小，因此可增加漏极至源极额定电流，并通过扩大外延层（漏极漂移区）提高电压阻断能力。

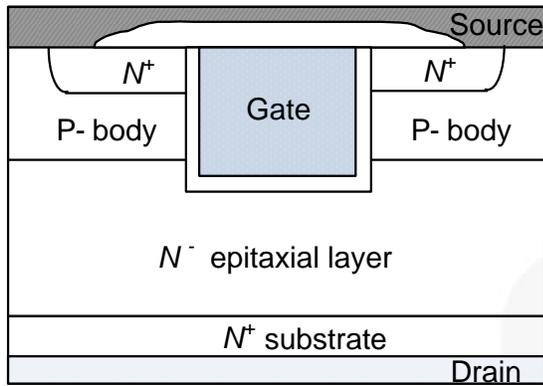
1. VMOSFET 设计：该设计率先投入商业应用，其在栅极区域有一个V形槽，如图 4 (a)中所示。由于制造的稳定性问题和V形槽尖端的高电场，VMOSFET被DMOSFET取代。
2. DMOSFET设计：具有双扩散结构，其中包含P基极区域和N⁺ 源极区域，如图 4 (b)中所示。这是商业上最成功的设计。
3. UMOSFET设计：如图 4 (c)中所示，该设计在栅极区域有一个U形槽。与VMOSFET和DMOSFET相比，更高的沟道密度减少了导通电阻。采用沟道蚀刻工艺的UMOSFET设计于上世纪90年代投入商业应用。



(a) VMOSFET垂直



(b) DMOSFET垂直



(c) UMOSFET垂直

图 4. 垂直沟道结构

3. MOSFET的特性

3.1. 优势

3.1.1. 高输入阻抗 — 电压控制的器件 — 易于驱动
为保持通态，电流控制的器件(BJT)需要是集电极电流1/5或1/10的基极驱动电流。高速关断电流控制的BJT需要更大的反向基极驱动电流。由于这些特性，基极驱动电流设计变得复杂且昂贵。另一方面，电压控制的MOSFET是由提供给栅极电极电压产生的场效应在半导体表面沟道驱动的开关器件，并且栅极与半导体表面隔离。由于开关瞬态期间所需的栅极驱动电路在导通和关断状态下都很小，驱动电路设计更简单，成本也更低。

3.1.2. 单极器件 — 多数载流子器件 — 开关速度快
MOSFET由于没有类似BJT中少数载流子的存储和重新组合，因而开关没有延迟，开关速度要比BJT快多个数量级。由于开关损耗相比BJT低，因此MOSFET在开关频率比较高的电路具有优势。

3.1.3. 广泛的安全工作区(SOA)

由于短时间内可同时承受高电压和电流，因此SOA比BJT更广。这就能避免因次级击穿而造成的器件失效。

3.1.1. 正温度系数的正向导通压降 — 易于并联使用
温度上升时，正向导通压降也会上升。这会导致电流平均流向各并联器件。因此，MOSFET要比具有负温度系数的正向导通压降的BJT更易于并联使用。

3.2. 劣势

在超过200V的高击穿电压器件中，MOSFET的导通损耗要比BJT大，因为在相同的额定电压和电流下，MOSFET的导通压降要大。

3.3. 基本特性

- 垂直方向四层结构(N⁺ P N⁻ N⁺)
- 寄生BJT存在于源极和漏极之间。

P型区域成为基极区域，N⁺源极区域成为发射极，N型漏极区域成为集电极（参见图 5）。当寄生BJT开通时，击穿电压从 BV_{CB0} 下降至 BV_{CE0} ，其为 BV_{CB0} 的50 ~ 60%。在此状态下，如果提供高于 BV_{CE0} 的漏电压，则器件会进入雪崩击穿状态。如果漏电流不从外部限制，则会因次级击穿而损坏。N⁺源极区域和P型体区域必须通过金属化短路以避免寄生BJT导通。

如果 V_{DS} 上升速率在高速关断状态下较大，则基极和发射极之间会产生压降，从而导致BJT导通。通过增加P型体区域（在N⁺源极区域的底部）的掺杂浓度、设计具有较大栅极电阻的电路来降低MOSFET开关速度，可避免这种情况。另一个寄生组件即二极管会因源极区域短路而形成。二极管用于半桥和全桥变换器。

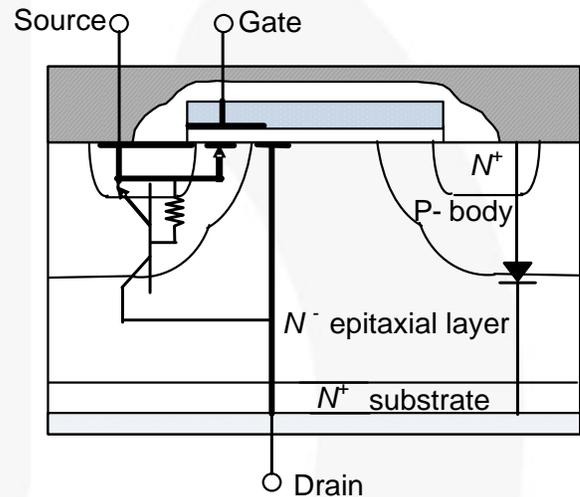


图 5. 显示寄生BJT和二极管的MOSFET垂直结构

3.4. 输出特性

I_D 特性与许多 V_{GS} 条件下的 V_{DS} 有关（参见图 6）。

→其分为欧姆区、饱和(=活跃)区和截止区。

表 1. 输出特性区域

欧姆区	固定电阻区。如果漏极至源极电压为零，则无论栅极至源极电压为多少，漏电流也会变为零。该区域位于 $V_{GS} - V_{GS(th)} = V_{DS}$ 界线($V_{GS} - V_{GS(th)} > V_{DS} > 0$)的左侧。即使漏电流极大，在该区域，也可通过最大程度降低 $V_{DS(on)}$ 来保持功耗。
饱和区	固定电流区。位于 $V_{GS} - V_{GS(th)} = V_{DS}$ 界线的右侧。在此，漏电流因栅极至源极电压（而非漏极至源极电压）而异。因此，漏极电流被称为饱和电流。
截止区	被称为截止区是因为栅极至源极电压低于 $V_{GS(th)}$ （阈值电压）。

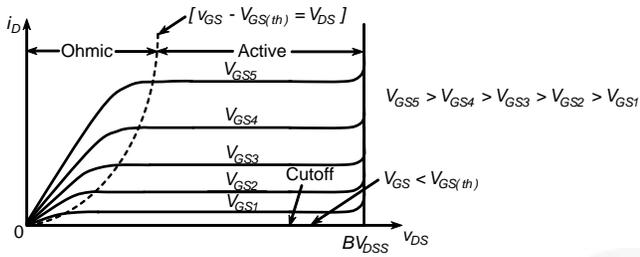


图 6. 输出特性

3.4.1. 转换特性

i_D 特性与活跃区中的 V_{GS} 有关（参见图 7）。

I_D 等式与 V_{GS} 有关：

$$i_D = K(V_{GS} - V_{GS(th)})^2 \quad (1)$$

$$K = \mu_n C_{OX} \frac{W}{2L}$$

其中：

μ_n ：多数载流子移动性；

C_{OX} ：每单位面积的栅极氧化物电容；

$$C_{OX} = \varepsilon_{OX} / t_{OX} ;$$

ε_{OX} ：二氧化硅的介电常数；

t_{OX} ：栅极氧化物的厚度；

W ：沟道宽度；以及

L ：沟道长度。

根据等式1，逻辑电平器件中存在抛物转移曲线。在功率MOSFET中，仅在转移曲线的低 I_D 中是这样，其他区域显示线性度。这是因为载流子的移动性不稳定，会因电场的增加以及反型层的 I_D 增加而减少。

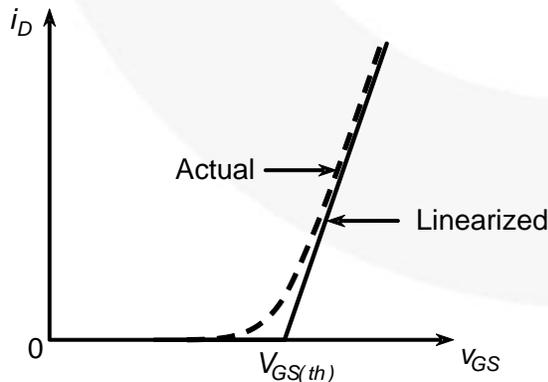


图 7. 转移曲线

4. 导通和关断状态下MOSFET的特性

4.1. 关断状态

4.1.1. BV_{DSS}

这是处于关断状态（其中栅极和源极为短接）的MOSFET在没有体漏极P-N结的雪崩击穿的情况下所能耐受的最大漏极至源极电压。测量条件为 $V_{GS} = 0V$ 、 $I_D = 250 \mu A$ ，而且漂移区的（N⁻外延）长度由 BV_{DSS} 确定。雪崩、穿通、击穿、齐纳和电介质击穿是导致击穿的因素。其中三个因素如下所述：

雪崩：

因体漏极P-N结点耗尽区的电场增加至临界值所导致的移动载体的突然雪崩击穿。这是导致击穿的其他因素中的主要因素。

穿通：

雪崩击穿的一个特例，在N⁻外延的耗尽区接触到N⁺基板时发生。

击穿：

体漏极结点耗尽区接触N⁻源极区时发生的雪崩击穿。

4.1.2. I_{DSS}

关断状态（栅极与源极短接）下的漏极至源极漏电流。 I_{DSS} 对温度敏感，随温度上升而增大，而 BV_{DSS} 随温度上升的增大程度则极小。

4.2. 接通瞬态

4.2.1. 沟道形成过程

耗尽区的形成：

较小的正栅极至源极电压供应给栅极电极时的情况（参见图 8 (a)）。

栅极电极中正电荷会在氧化层 - 硅接口（P⁻型体区域，在栅极氧化层的下方）中感应相同量的负电荷。空穴被电场推入体型半导体，而耗尽区由具有负电荷的受体形成。

反型层的形成：

随着正栅极至源极电压增大（参见图 8 (b)和图 8 (c)），耗尽区朝p型体扩大，并开始将自由电子拖至接口。这些自由电子由热电离产生。由自由电子产生的自由空穴被推入半导体体积。未推入体型半导体的空穴会被电子中和，而这些电子已由来自N⁻源极的正电荷拖动。如果供应的电压持续增大，那么p型体的自由空穴与接口的自由电子这两者的密度会变为相等。此时，自由电子层称为反型层。反型层通过成为MOSFET漏极和源极的导通通道（=沟道）而实现电流流动。

阈值电压:

形成反型层的栅极至源极电压称为 $V_{GS(th)}$ (=阈值电压)

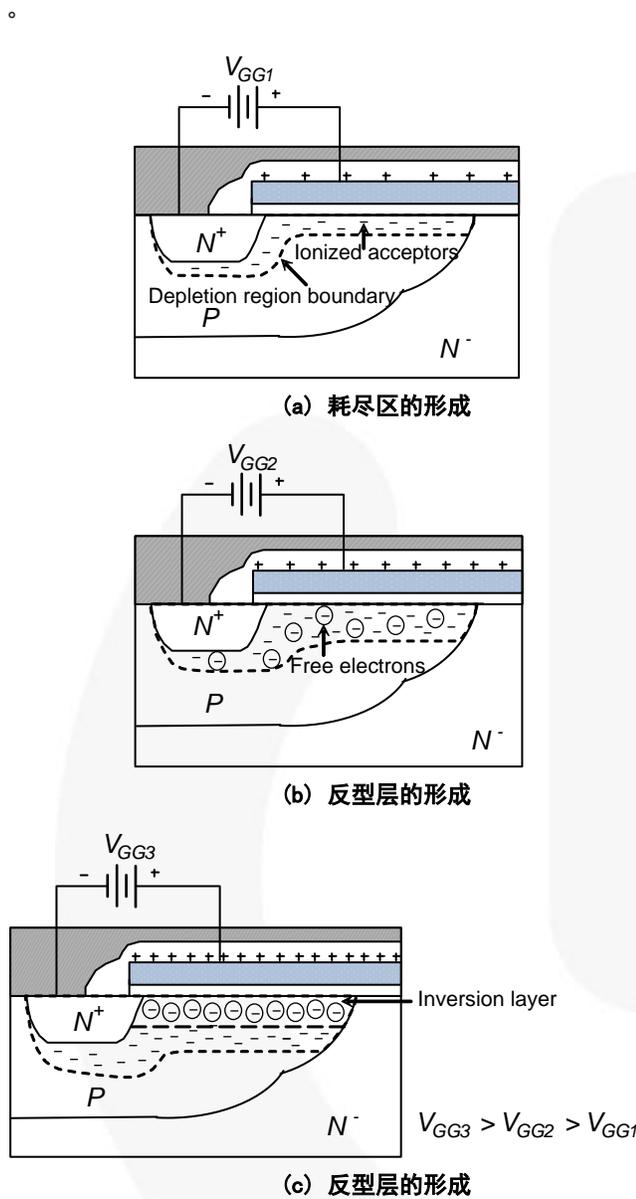


图 8. 沟道形成过程

4.3. 导通状态

漏电流 (I_D) 由于漏极至源极电压增大而发生变化 (V_{DD}) (V_{GS} 是恒定的)。当沟道形成和提供 V_{DD} 时, I_D 开始流动。 V_{GS} 为定值且 V_{DD} 增大时, I_D 也会呈线性增加。如MOSFET输出特性图中所示, 当真实的 V_{DD} 超过一定程度时, I_D 的上升率会缓慢下降, 并最终成为与 V_{DD} 无关、与 V_{GS} 相关的定值。

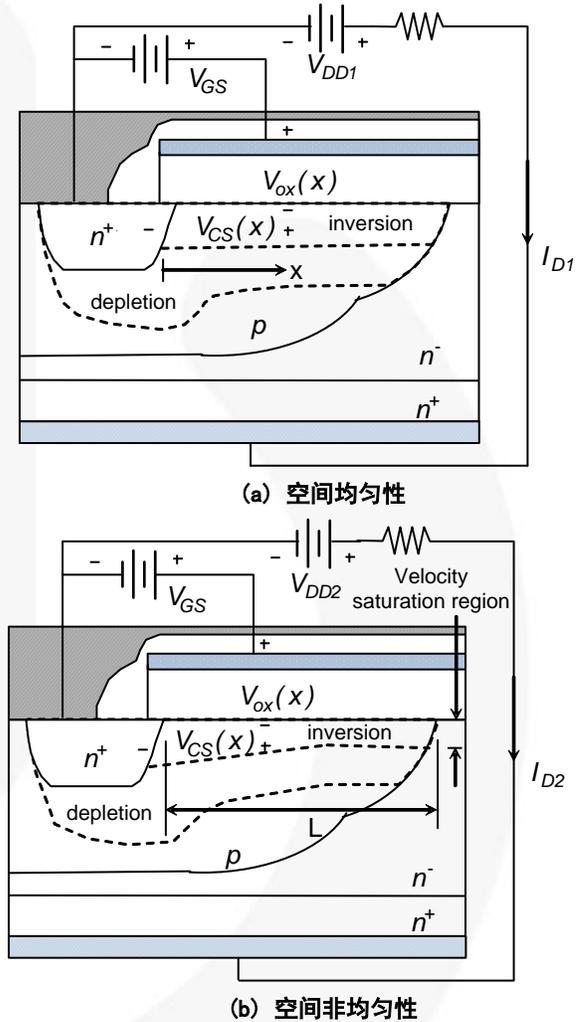


图 9. 反型层厚度因漏极至源极电压 (V_{DD}) 的增大而发生变化, 其中 $V_{DD1} < V_{GS} - V_{GS(th)}$, $V_{DD2} > V_{GS} - V_{GS(th)}$, I_{D2} (饱和电流) $> I_{D1}$

要了解如图 9 中所示的特性, 请注意 I_D 在反型层流动时因欧姆电阻而导致的 $V_{CS}(x)$ 压降。 $V_{CS}(x)$ 是距离为 x 时自源极的沟道至源极电压。该电压在所有 x 点都等于 $V_{GS} - V_{ox}(x)$ 。 $V_{ox}(x)$ 是距离为 x 的自源极的过栅极氧化物的栅极至体电压, 并在 V_{DS} 、 $x=L$ (沟道的漏极端) 具有最大值。如图 9(a) 中所示, 当提供低电压 $V_{DD}=V_{DD1}$ 时, 低 $I_D (=I_{D1})$, $V_{CS}(x)$, 几乎没有压降。由于 $V_{ox}(0) \sim V_{ox}(L)$ 是恒定的, 反型层的厚度保持均匀。随着提供的 V_{DD} 更高, I_D 上升, 发生 $V_{CS}(x)$ 压降, 并且 $V_{ox}(x)$ 的值减小。这就减小了从 $x=L$ 开始的反型层的厚度。正因如此, 电阻增大并且 I_D 的图形开始变平坦, 而不是以 V_{DD} 为增量增大。

$V_{ox}(L) = V_{GS} - V_{DS} = V_{GS(th)}$ 时, 随着 I_D 增大, $x=L$ 处的反型层厚度减小形成高电场 ($J = \sigma E$) 而不会消失, 并保持最小厚度。高电场不仅能保持反向层的最小厚度, 而且还能使 $V_{ox}(L) = V_{GS} - V_{DS} = V_{GS(th)}$ 的电荷载体的速度达到饱和。

电荷载体的速度最初随着电场增大而加大, 在特定点达到饱和。电场达到 $1.5 \times 10^4 [V/cm]$ 且电子的漂移速度为 $8 \times 10^6 [cm/s]$ 时, 硅开始饱和。此时, 器件进入活跃区。提供较高 V_{DS} 图 9 时, 如 (b) 中所示, $x=L$ 的电场增大, 保持最小厚度的沟道区朝源极扩大。 V_{DS} 因 V_{DS} 增大而变为 $V_{DS} > V_{GS} - V_{GS(th)}$, I_D 则保持恒定。

4.4. 关断瞬态

上述接通瞬态的反向过程为关断瞬态。

5. 用户手册

5.1. 电容的特性

有三种寄生电容:

- 输入电容: $C_{iss} = C_{gd} + C_{gs}$
- 输出电容: $C_{oss} = C_{gd} + C_{ds}$
- 反向传输电容: $C_{rss} = C_{gd}$

下列各图显示的是寄生电容。

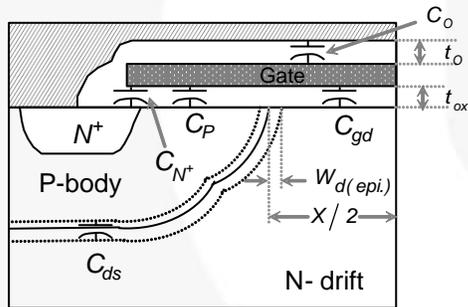


图 10. 垂直结构, 寄生电容

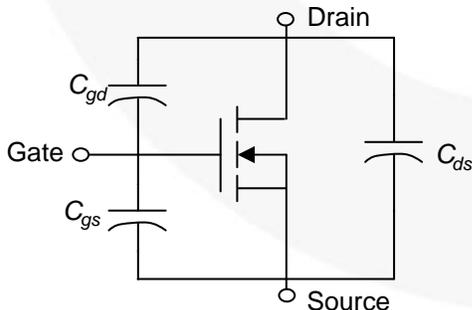


图 11. 等效电路, 寄生电容

5.1.1. C_{gs} : 栅极和源极之间的电容

$$C_{gs} = C_O + C_{N^+} + C_P$$

C_O 是栅极和源极金属之间的电容:

$$C_O = \frac{\epsilon_I A_O}{t_O}$$

其中:

ϵ_I = 干预绝缘子的介电常数;

t_O = 干预绝缘子的厚度; 以及

A_O = 源极和栅极电极之间的交叠区域。

C_{N^+} 是栅极和 n^+ 源极扩散区域之间的电容:

$$C_{N^+} = \frac{\epsilon_{ox} A_{N^+O}}{t_{ox}} = C_{OX} A_{N^+O}$$

其中:

ϵ_{ox} = 栅极氧化物的介电常数;

t_{ox} = 栅极氧化物厚度;

C_{OX} = 每单位面积的栅极氧化物电容; 以及

A_{N^+O} = N^+ 发射极上栅极电极的交叠区域。

C_P 是栅极和 p 型体之间的电容: 它受栅极、漏电压和沟道长度影响。 C_P 是 C_{gs} 组成中唯一受漏电压 (V_{DS}) 的变化影响的部分。当 V_{DS} 增大时, 耗尽区会扩大至 p 型体并使 C_P 的值减小。即使 V_{DS} 增大至击穿电压, C_P 的值也几乎没有变化, 因为耗尽区不超过 p 型体的 10%。因此, 因 V_{DS} 而导致的 C_{gs} 变化极小。

5.1.2. C_{gd} : 栅极和漏极之间的电容

它受栅极和漏极的电压影响。 V_{DS} 有变化时, C_{gd} 下的区域 (n -- 遇到栅极氧化物的漂移区) 会发生变化, 并且电容值会受到影响。如等式 (2) 中所示, 当 $V_{DS} \gg \phi_B$ 时, 电容会随 V_{DS} $C_{gd} \propto (1 - k\sqrt{V_{DS}})$ 增大而减小, 关系式为。

$$C_{gd(\text{per unit area})} = C_{OX} \left(1 - \frac{2W_{d(\text{epi.})}}{X} \right) \quad (2)$$

其中:

X = 邻近单元之间的长度;

C_{OX} = 每单位面积的栅极氧化物电容;

$W_{d(\text{epi.})}$ = 外延层中耗尽区的宽度 (= N -漂移区)

; 以及

$$W_{d(\text{epi.})} = \sqrt{\frac{2k_s \epsilon_o (V_{DS} + \phi_B)}{q C_B}}$$

随着 C_{gd} 因米勒效应而成倍增大 ($1+g_f s_{RL}$ 负载电阻), 频率特性会显著降低。

功率MOSFET的频率响应

功率MOSFET的频率响应受限于输入电容的充电和放电。如果确定输入电容的 C_{gs} 和 C_{gd} 变小, 则可能在高频率下工作。由于输入电容与温度无关, 因此MOSFET的开关速度与温度无关。

5.1.3. C_{ds} : 漏极和源极之间的电容

电容因 C_{ds} 厚度的变化而变化, 该厚度为p型体和 n^- 漂移区的结点厚度, 随 V_{DS} 而变化:

$$C_{ds}(\text{per unit area}) = \sqrt{\frac{q k_s \epsilon_o C_B}{2 (V_{DS} + \phi_B)}}$$

其中:

q = 基本电子电荷;

($= 1.9 \times 10^{-19} [C]$) k_s = 硅介电常数;

ϵ_o = 自由空间的磁导率 ($8.86 \times 10^{-14} [F/cm]$);

C_B = 外延层本底浓度 [$atoms/cm^3$];

V_{DS} = 漏极至源极电压; 以及

ϕ_B = 二极管电势。

如上面的等式中所示, $V_{DS} \gg \phi_B$ C_{ds} 随 V_{DS} $C_{ds} \propto 1/\sqrt{V_{DS}}$ 增大而减小, 关系式为。

5.2. 栅极电荷的特性

这是MOSFET导通或关断瞬间时需要的电荷量。

电荷类型包括:

- 总 栅 极 电 荷 : Q_g ($t_0 \sim t_4$ 期间的电荷量)
- 栅极至源极电荷: Q_{gs} ($t_0 \sim t_2$ 期间的电荷量)
- 栅极至漏极 (米勒) 电荷: Q_{gd} ($t_2 \sim t_3$ 期间的电荷量)

图 12显示的是导通期间栅极至源极电压、栅极至源极电流、漏极至源极电压以及漏极至源极电流。它们分为四个部分, 显示二极管箝位电感负载电路的等效电路。

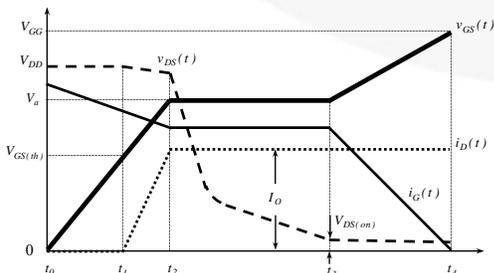
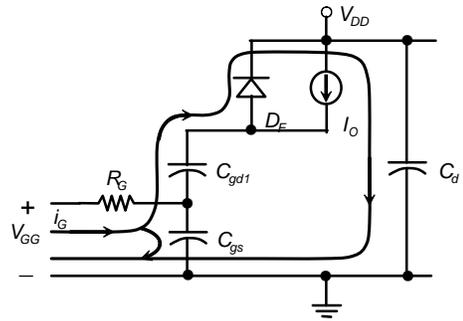
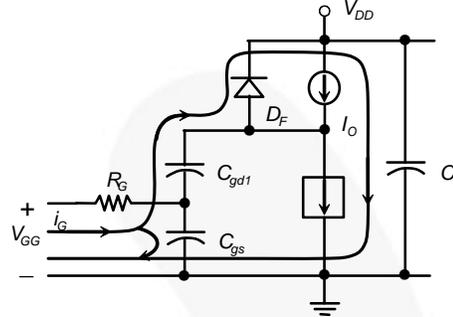


图 12. 导通时, $V_{gs}(t)$ 、 $i_g(t)$ 、 $V_{ds}(t)$ 、 $i_d(t)$

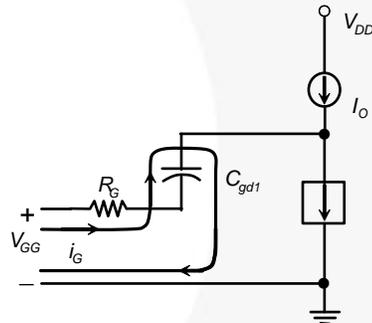


二极管箝位感性负载电路的 (a) $t_0 \sim t_1$

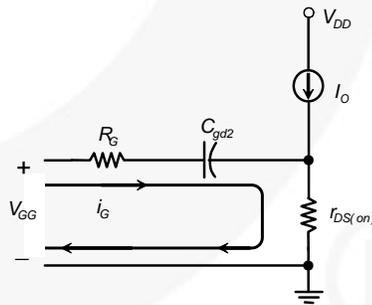
二极管箝位感性负载电路的



(b) $t_1 \sim t_2$



二极管箝位感性负载电路的 (c) $t_2 \sim t_3$



二极管箝位感性负载电路的 (d) t_3

图 13. MOSFET开通时的等效电路在二极管箝位感性负载电路分为4个周期

$t_0 \sim t_1$

随着 I_g 对 C_{gs} 和 C_{gd} 进行充电, V_{GS} 从0 V上升到 $V_{GS(th)}$ 。增大的 $V_{GS(t)}$ 其图形似乎以线性增大, 但实际上是具有 $\tau_1 = R_g(C_{gs} + C_{gd1})$ 的时间常量的指数曲线。如图 13(a)中所示, V_{DS} 仍等于 V_{DD} , i_D 为零。MOSFET仍处于关断状态。

$t_1 \sim t_2$

V_{GS} 呈指数增大, 通过 $V_{GS(th)}$, 并且随着 V_{GS} 继续增大, i_D 开始增大并且达到满载电流(I_D)。因此 V_a 变为 t_2 中的 I_D 条件。当 I_D 小于 I_D 且处于 D_F 正在导电的状态时, V_{DS} 会保持 V_{DD} 图14。显示的是稍小于 V_{DD} 的电压。这是由线路中现有电感引起的压降所导致的。

图 14显示的是根据导通状态下的 i_D 条件测量 V_a 变化的 $V_{GS}(t)$ 。

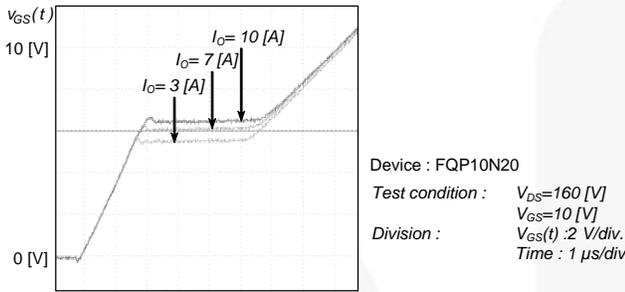


图 14. 根据D条件的 $V_{GS}(t)$

$t_2 \sim t_3$

根据传输特性, V_{GS} 是一个定值, 因为它在 i_D 为满载电流(I_D)的活跃区中。因此, I_G 仅可流过 C_{gd} (3), 并通过等式得出。

$$i_G = \frac{V_{GG} - V_a}{R_G} \quad (3)$$

V_{DS} 可配置为以下比率:

$$\frac{dv_{DG}}{dt} = \frac{dv_{DS}}{dt} = \frac{i_G}{C_{gd}} = \frac{V_{GG} - V_a}{R_G C_{gd}} \quad (4)$$

这是MOSFET仍在活跃区操作的区域, 随着 V_{DS} 下降, 其更接近欧姆区。 V_{DD} 增大时, $t_2 \sim t_3$ (V_{GS} 的平坦区)也增大。

图 15为 $V_{GS}(t)$ 的图形, 显示 $t_2 \sim t_3$ 根据 V_{DD} 条件的变化 (V_{GS} 的平坦区)。

在 t_3 时, V_{GS} 会变为 $V_{GS(on)} = I_D \cdot R_{DS(on)}$ 且瞬态会完成。MOSFET处在从活跃区进入欧姆区的边界。

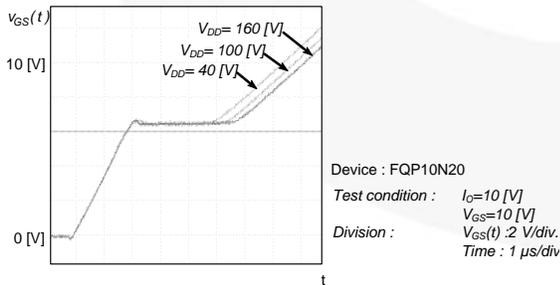


图 15. 根据VDD条件的 $V_{GS}(t)$

$t_3 \sim t_4$

$t_3 \sim t_4$ 是在欧姆区操作的期间。 V_{GS} 增大到 V_{GG} , 具有的时间常量为 $\tau_2 = R_G(C_{gs} + C_{gd})$ 。

5.3. 漏极至源极导通电阻 ($R_{DS(on)}$)

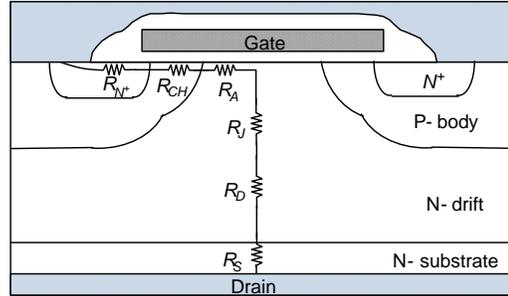


图 16. 显示内部电阻的MOSFET的垂直结构

在MOSFET中, $R_{DS(on)}$ 是导通状态下源极和漏极之间的总电阻。该参数很重要, 用于确定最大额定电流和损耗。为减少 $R_{DS(on)}$, 使用了芯片完整性和沟道技术。这可在等式(5)中表述:

$$R_{DS(on)} = R_{N^+} + R_{CH} + R_A + R_J + R_D + R_S \quad (5)$$

其中:

R_{N^+} 具有N+扩散的源极区域的电阻。与形成 $R_{DS(on)}$ 的其他部分相比, 其仅占很小部分。在高电压功率MOSFET中可忽略。

R_{CH} 沟道区的电阻, 是低电压MOSFET中的主导 $R_{DS(on)}$ 因素。该电阻因沟道的宽度与长度比、栅极氧化物的厚度和栅极驱动电压而异。

R_A 当提供栅极驱动电压时, 电荷开始积聚在N-epi表面 (C_{gd} 下面的板) 并在沟道和JFET区域之间形成电流路径。这个积聚区的电阻为 R_A 。该电阻因聚积层的电荷和表面自由载流子的移动性而异。如果栅极电极减小, 其效应与缩短聚积层的长度相同, 因此 R_A 的值减小, 而 R_J 增加。

R_J P型体之间的N-epi区域称为JFET区域, 因为P型体区域的作用相当于JFET的栅极区域。这个区域的电阻为 R_J 。

R_D 从P型体下方到基板顶部发生的电阻为 R_D , 是高电压MOSFET中的最重要因素。

R_S 基板区域的电阻。在高电压MOSFET中可忽略。在击穿电压低于50 V的低电压MOSFET中, 可能会对 $R_{DS(on)}$ 有极大影响。

源极/漏极金属和N+半导体区域之间的非理想触点, 以及用于连接器件到封装的引线可能产生其他电阻。

$R_{DS(on)}$ 随温度(正温度系数)而增大, 因为空穴和电子的移动性随温度上升而下降。在p/n沟道功率MOSFET指定温度下的 $R_{DS(on)}$ 可使用以下等式估算。

$$R_{DS(on)}(T) = R_{DS(on)}(25^\circ C) \left(\frac{T}{300} \right)^{2.3} \quad (6)$$

其中, T = 绝对温度。

这是器件稳定性和并联的重要特性。当 $R_{DS(on)}$ 随温度上升且并联连接时，无需任何外部电路协助就能很好地共享电流。

5.4. 阈值电压 ($V_{GS(th)}$)

这是允许在源极和漏极之间形成沟道的最小栅极偏压。漏电流增大时与饱和区的 $(V_{GS} - V_{GS(th)})^2$ 成正比。

高 $V_{GS(th)}$

由于需要高栅极偏压来导通，因此很难为功率MOSFET设计栅极驱动电路。

低 $V_{GS(th)}$

如果由于栅极氧化物中存在电荷而使 n 沟道功率MOSFET的 $V_{GS(th)}$ 变为负极，那么显示的会是一般导通状态的特性，其中导电沟道即使在零栅极偏压中也存在。即使 $V_{GS(th)}$ 为正极且值很小，也有可能由栅极端子的噪声信号或在高速开关时增加的栅极电压而使MOSFET导通。

$V_{GS(th)}$ 可由栅极氧化物厚度控制。通常，栅极氧化物在高压器件中保持较厚，使 $V_{GS(th)}$ 被设置在2~4 V。栅极氧化物在低压器件（逻辑电平）中保持较薄，使 $V_{GS(th)}$ 为1~2 V。此外， $V_{GS(th)}$ 可由本底掺杂（ n -沟道功率MOSFET的P型体的密度）控制。它增大时与本底掺杂的平方根成正比。

5.4.1. 温度特性

$V_{GS(th)}$ 随温度上升而下降。下降率可根据栅极氧化物厚度和本底掺杂水平而变化。换言之，当栅极氧化物变得更厚且本底掺杂水平上升时，下降率会增大。

5.5. 跨导 (g_{fs})

跨导是MOSFET中的增益，使用等式(7)表示。它通过栅极-源极偏压表示漏电流的变化：

$$g_{fs} = \left[\frac{\Delta I_{DS}}{\Delta V_{GS}} \right]_{V_{DS}} \quad (7)$$

应设置 V_{DS} ，这样器件就能在饱和区中激活。应提供 V_{GS} ，这样 I_{DS} 就能达到最大额定电流的一半。 g_{fs} 的变化取决于沟道宽度/长度以及栅极氧化物的厚度。如图 17中所示，在施加 $V_{GS(th)}$ 后， g_{fs} 会随漏极电流的增大而显著上升，并在漏极电流达到某一程度（漏电流的较高值）后稳定。如果 g_{fs} 足够高，那么可通过低栅极驱动电压实现高电流处理能力。另外，还能实现高频率响应。

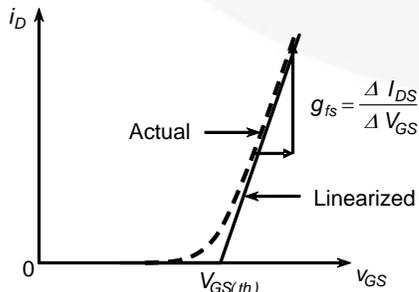


图 17. 转移曲线 & g_{fs}

5.5.1. 温度特性

由于移动性降低， g_{fs} 随温度升高而降低。等式(8)类似于 $R_{DS(on)}$ 和温度关系；通过温度变化可了解 g_{fs} 变化：

$$g_{fs}(T) = g_{fs}(25^{\circ}\text{C}) \left(\frac{T}{300} \right)^{-2.3} \quad (8)$$

其中T为绝对温度。

5.6. 漏源极击穿电压

(BV_{DS} 击穿电压温度系数 ($\Delta BV / \Delta T_J$))

BV_{DSS} 是MOSFET可耐受的最大漏极至源极电压，并且在关断状态（其中栅极和源极短路）下无体漏极pn结的雪崩击穿。测量条件为 $V_{GS}=0$ V、 $I_D=250$ μ A，而且漂移区（N-外延）的长度由 $BVDSS$ 确定。雪崩、穿通、击穿、齐纳和电介质击穿是导致击穿的因素。

5.6.1. 温度特性

随着结温升高，它呈线性升高。只要升高 100° C， 25° C时 BV_{DSS} 就会增大10%（参见击穿电压温度系数 ($\Delta BV / \Delta T_J$) 以及图 18击穿电压与温度的关系）。

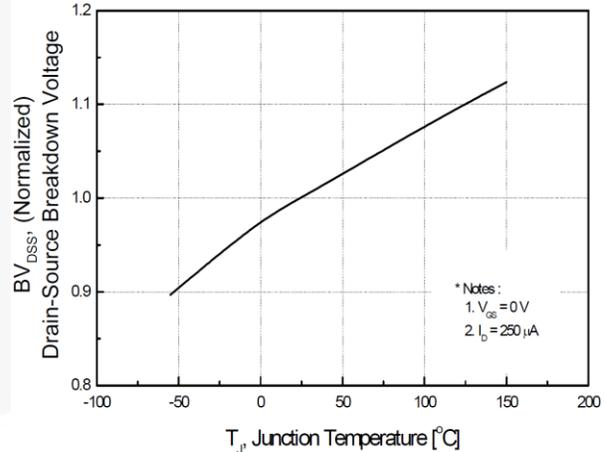


图 18. 击穿电压与温度的关系

5.7. 漏极至源极漏电流 (I_{DSS})

I_{DSS} 可通过最大漏极至源极电压和关断状态（其中栅极对源极短路）下电压的80% ($T_c=125^{\circ}$ C) 测量得出。相比 BV_{DSS} ， I_{DSS} 对温度更敏感，并具有正温度系数。

5.8. 栅极对源极电压 (V_{GS})

V_{GS} 表示最大工作栅极至源极电压。负电压处理能力可通过为栅极和源极提供反向偏压来增强关断速度。

5.9. 栅极至源极泄漏、正向/反向 (I_{GSS})

I_{GSS} 通过在栅极和源极之间提供最大工作栅极至源极电压 (V_{GS}) 测量得出。正向或反向方向由 V_{GS} 的极性确定。 I_{GSS} 取决于栅极氧化物的质量和器件大小。

5. 10. 开关特性 ($t_{d(on)}$, t_r , $t_{d(off)}$, t_f)

功率MOSFET没有少数载流子导致的存储延迟和温度导致的变化，因此具有良好的开关特性。图 19显示的是分为几部分的开关顺序。

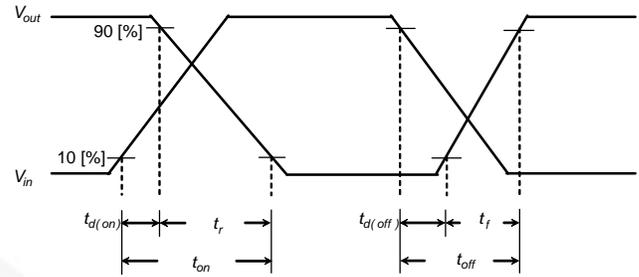


图 19. 阻性开关波形

表 2. 开关特性

导通延迟 ($t_{d(on)}$):	这是栅极电压 V_{GS} 达到阈值电压 $V_{GS(th)}$ 的时间。此期间的输入电容为 $C_{gs}+C_{gd}$ 。这意味着此期间是向阈值电压提供电容的充电时间。
上升时间 (t_r):	这是 V_{GS} 达到 $V_{GS(th)}$ 以完成瞬态后的一段时间。可分为两个区域。一个区域是漏极电流从零开始（根据传输特性与栅极电压一起上升）和达到负载电流的一段时间。另一个区域是漏极电压开始下降并达到导通状态压降的一段时间。如栅极充电特性图中所示， V_{GS} 保持定值，因为漏极电流在此区域（其中电压下降）是恒定的。在上升期间，高压和高电流同时存在于器件中，因此会发生高功耗。应通过降低栅极串联电阻和漏极至栅极电容 (C_{gd}) 来缩短上升时间。此后，栅极电压继续上升至提供的电压电平，但由于漏极电压和电流已处于稳定状态，它们在此区域不会受影响。
关断延迟 ($t_{d(off)}$):	栅极电压在导通状态下在提供的电压电平中工作，当关断瞬态开始时，它会开始下降。 $t_{d(off)}$ 是栅极电压达到能使漏极电流在负载电流值饱和的电压值的时间。在此期间，漏电压和电流没有变化。
下降时间 (t_f):	下降时间是栅极电压在 $t_{d(off)}$ 后达到阈值电压的时间。它分为漏极电压从导通状态电压达到电源电压的区域，以及漏电流从负载电流达到零的区域。由于导通状态下在 t_r 区域中有大量功耗，关断状态下 t_f 区域中也会产生功耗。因此， t_f 必须尽可能减小。之后，栅极电压会继续下降直至达到零。由于漏极电压和电流已处于稳定状态，因此在该区域不会受到影响。

5. 11. 单脉冲雪崩能量非箝位感性开关 (E_{AS})

5.11.1. MOSFET关断（感性负载电路）

在导通状态时（提供超出N沟道器件中阈值电压的正电压），电子从源极通过体表面的反型层（=沟道）流入漏极，并形成从漏极到源极的电流。如果是感性负载，则该电流呈线性上升。要关断MOSFET，必须移除栅极电压或应用反向电压，以便消除体表面的反型层。一旦反型层的电荷开始消耗，并且沟道电流（漏极电流）开始减小，感性负载即使会使漏极电压增大以便保持漏极电流。漏极电压上升时，漏极电流分为沟道电流和位移电流。位移电流是耗尽区在漏极体二极管开发时产生的电流，与 dv_{DS}/dt （随时间上升的漏极电压比率）成正比。 dv_{DS}/dt 受栅极放电速度和漏极体耗尽区充电速度的限制。漏极体耗尽区的充电由 C_{ds} 和漏极电流的幅度确定。漏极电压增大且无法被外部电路UIS（非箝位感性开关）箝位时，漏极体二极管开始通过雪崩倍增构建载流子，器件进入维持模式。处于维持模式时，所有漏极电流（

雪崩电流）都会通过漏极体二极管并受感性负载控制（沟道电流等于零）。如果源极下面的体区域的电流（漏电流、位移电流（ dv_{DS}/dt 电流）和雪崩电流）足够大，寄生双极性晶体管激活并可能导致器件出现故障。

图 20显示的是在非箝位感性负载电路中提供单脉冲（宽度： t_p ）时的漏电压和电流。

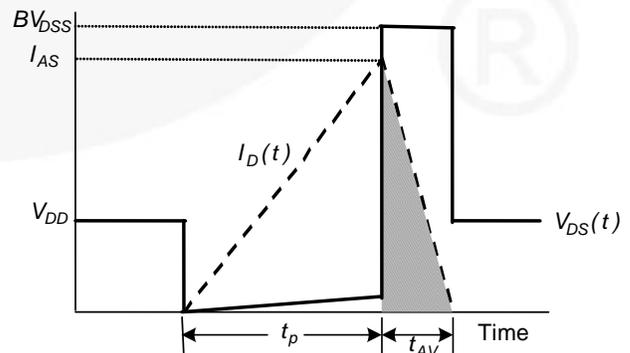


图 20. 非箝位感性开关波形

$I_{D(t)}$ 可根据电感负载大小、电源电压 (V_{DD}) 和栅极脉冲宽度 (t_P) 发生变化。雪崩区域 (t_{AV}) 的阴影区表示能量耗散 (E_{AS})。 E_{AS} 和 t_{AV} (9) 可使用等式计算:

$$E_{AS} = \frac{1}{2} L_L I_{AS}^2 \frac{BV_{DSS}}{BV_{DSS} - V_{DD}} \quad (9)$$

$$t_{AV} = \frac{L_L I_{AS}}{BV_{DSS}}$$

5.11.2. 感性关断期间的功率MOSFET故障特性

它具有与双极性晶体管的次级击穿相同的电气特性。它不依赖于 dv_{DS}/dt 。通过稳定保持栅极关断电压和更改外部栅极电阻阻值, 栅极关断电流会发生变化。这会使 dv_{DS}/dt 发生变化。如果 dv_{DS}/dt 电流导致器件故障, 可能导致次级击穿的电压应通过增大 dv_{DS}/dt 来减小。在改变外部栅极电阻 (改变 dv_{DS}/dt) 时测量次级击穿电压时, 最高电压应在最高 dv_{DS}/dt 测量 (根据“功率MOSFET的关断故障”, 作者: David L. Blackburn)。发生故障时的电压随温度而上升。临界电流随温度上升而减小。临界电流表示可在非箝位模式中安全关断器件的漏极电流的最大值。电流超过该值时, 将发生次级击穿。它与负载电感感量无关。漏极体二极管中的雪崩电流可激活寄生双极性晶体管。这会使MOSFET失效。

5.12. 重复雪崩额定值 (E_{AR} , I_{AR})

E_{AR}

它表示重复条件下各脉冲的雪崩能量。

I_{AR}

它表示最大雪崩电流, 与器件的 I_D 额定值相同。

5.13. 漏极至源极 dv/dt 额定值

如果在漏极提供高 dv/dt , 则电流有可能在功率MOSFET中导通。在某些情况下, 这可能会损坏器件。下面是一些器件由于 dv/dt 而导通的实例。

5.13.1. 静态 dv/dt

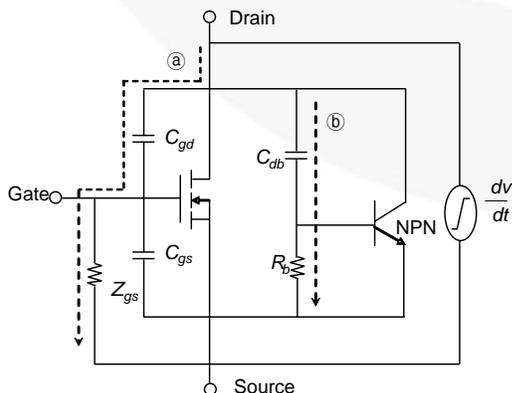


图 21. N沟道MOSFET的等效电路

误导通

在关断状态下, 漏极电压突然升高会改变漏极和栅极之间的寄生电容上的电压, 并产生 $C_{gd} dv/dt$ 的位移电流 (a)。如果由于位移电流和栅极至源极阻抗 (Z_{gs}) 而在栅极和源极之间产生超过 $V_{GS(th)}$ 的电压, 将触发MOSFET的误导通。漏极和栅极之间的寄生电容可为 C_{gd} 或大于 C_{gd} , 具体取决于电路布局。 Z_{gs} 是驱动电路的阻抗, 可表示为一系列 R、L 器件。由于误导通, 器件进入电流导通状态, 严重情况下, 器件会产生高功耗并导致破坏性故障。等式 (10) 显示 Z_{gs} 上的压降 V_{GS} , 以及此模式下的 dv/dt 能力:

$$V_{GS} = Z_{gs} C_{gd} \left[\frac{dv}{dt} \right] \quad (10)$$

$$\left[\frac{dv}{dt} \right] = \frac{V_{GS(th)}}{Z_{gs} C_{gd}}$$

要提高 dv/dt 能力, 应使用具有极低阻抗的栅极驱动电路, 并且 $V_{GS(th)}$ 必须增大。在具有低阻抗的驱动电路中, 成本高昂, 并且增加 $V_{GS(th)}$ 与 $R_{DS(on)}$ 上升相关联。由于 $V_{GS(th)}$ 具有负温度系数, 误导通的可能性随温度上升而增加。通常, 栅极电压不会超过阈值电压, 而且高器件电阻会限制器件电流。因误导通而导致的器件损毁比较少见。

寄生晶体管导通

在关断状态下, 漏极电压突然增大会改变 C_{db} 上的电压, 并产生流过 R_b 的电流 (b)。当 R_b 上的电压超过 V_{be} (寄生双极性晶体管导通时的发射极-基极正向偏压, 约为 0.7 V) 时, 寄生双极性晶体管导通。当寄生双极性晶体管导通时, 器件的击穿电压从 BV_{CBO} 减小到 BV_{CEO} , 为 BV_{CBO} 的 50~60%。如果提供大于 BV_{CEO} 的漏极电压, 则器件将进入雪崩击穿。如果该漏电流不从外部限制, 器件可能被次级击穿损坏。以下等式显示在此模式下的 dv/dt 能力:

$$\left[\frac{dv}{dt} \right] = \frac{V_{be}}{R_b C_{db}} \quad (11)$$

等式 (11) 揭示 dv/dt 能力由内部器件结构确定。为获得高 dv/dt 能力, R_b 值必须小。通过尽量提高 P 体区域的掺杂水平和减小 N' 发射极的长度, 可实现这一点。 R_b 也受漏极电压的影响。随着漏极电压的上升, 耗尽层会扩大并使 R_b 值增大。当温度上升时, R_b 通过减小移动性而增大。随着 V_{be} 的减小, 寄生晶体管导通的可能性增大。由于基极和发射极被源触点短接, R_b 值很小。仅当 dv/dt 很大时才发生这种情况。

在误导通状态下, dv/dt 可从外部控制。在寄生晶体管的导通状态下, dv/dt 由器件设计决定。这是这些模式之间的差异。

5.13.2. 动态 dv/dt

如果突然中断电流, 例如在高速开关时箝位电感关断, 器件会因寄生电容的高漏电流、高漏极至源极电压和位移电流导致的并发应力而遭到损毁。

5.13.3. 二极管恢复dv/dt

这是在某些特定应用中dv/dt故障的主要原因，如使用体二极管的电路。数据手册提供了dv/dt的最大值。超过此值（由于极度的二极管恢复dv/dt）将导致器件故障。图 22显示具有二极管恢复dv/dt问题的电机控制电路应用。

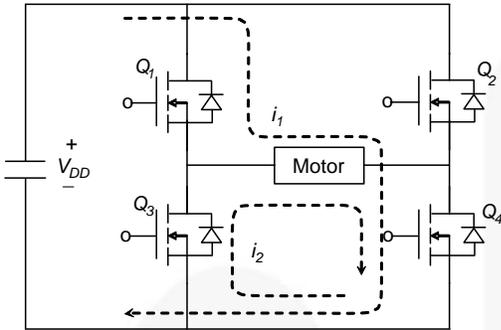


图 22. 电机控制电路

首先Q1和Q4被导通，并置于电流 i_1 通过的状态。如果Q1关断以控制电机的速度，电流将流过Q3的寄生二极管（续流二极管）（作为 i_2 ）。Q3的寄生二极管进入正向偏压状态，由于二极管的特性，少数电荷开始积聚。当Q1导通时，电流再次成为 i_1 ，并且积聚在寄生二极管Q3图 23中的少数电荷被二极管反向恢复电流（ I_S 的部分）移除。一旦少数电荷移除到一定程度，寄生二极管的耗尽区会扩大，并且产生更多反向恢复电流（图 23的部分b）。如果接通寄生双极性晶体管，会损坏Q3图 23。图 24和显示的是二极管恢复dv/dt测试电路和波形。通过该测试，可获取dv/dt、 V_{SD} （二极管正向电压）、 t_{rr} （反向恢复时间）和 Q_{rr} （反向恢复电荷）数据。在测试中， V_{DD} 值必须小于或等于 BV_{DSS} 。通常，在 BV_{DSS} 的80%设置 V_{DD} ，并且必须控制驱动器VGS的脉冲周期，以使IS成为连续漏电流 I_D 。

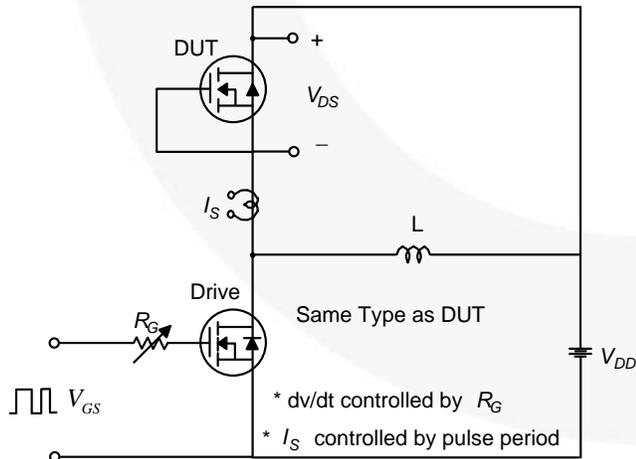


图 23. 二极管恢复dv/dt测试电路

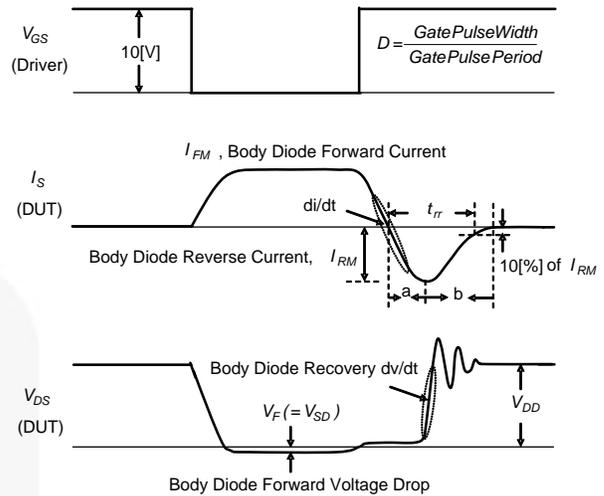


图 24. 二极管反向恢复波形

di/dt 和 dv/dt 的值在 R_G 减小时变大。 t_{rr} 可通过测量IS波形中所示的部件获取，其中 di/dt （从地电压上 I_{FM} 的50%的点到地电压下 I_{RM} 的75%的点测量）为 $100 \text{ A}/\mu\text{s}$ 。 Q_{rr} 可计算为 $(I_{RM} \times t_{rr})/2$ 。 dv/dt 可从具有 di/dt 条件的 V_{DD} 的10~90%之间的点测量得出（从地电压上 I_{FM} 的50%的点到地电压下 I_{RM} 的75%的点测量）。 I_S （连续源电流）和 I_{SM} （脉冲源电流）表示源极至漏极二极管的电流额定值， $I_S = I_D$ （连续漏电流）和 $I_{SM} = I_{DM}$ （脉冲漏电流）。

5.14. 热特性 (T_J 、 $R_{\theta JC}$ 、 $R_{\theta SA}$ 、 $Z_{\theta JC}(t)$)

器件的功耗变为热量并提高结温。这将降低器件特性并缩短其使用寿命。通过从片结放热来降低结温至关重要。热阻抗($Z_{\theta JC}(t)$)用于监控上述性能。

热特性技术：

- 结温 (T_J)
- 壳温 (T_C)： 内部有半导体芯片的封装的温度点
- 散热片温度 (T_S)
- 环境温度 (T_A)： 工作器件周围环境的温度。
- 结壳热阻 ($R_{\theta JC}$)
- 壳体至散热片热阻 ($R_{\theta CS}$)
- 散热片至环境热阻 ($R_{\theta SA}$)

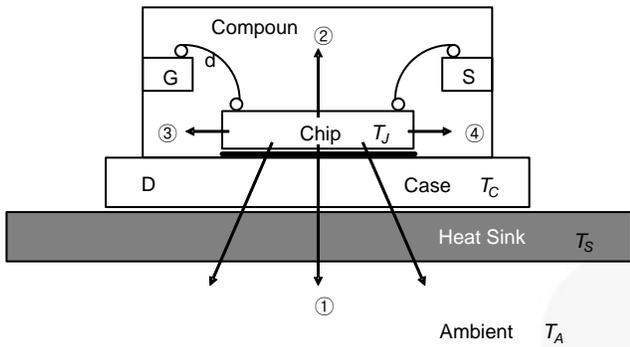


图 25. 片结放热路径

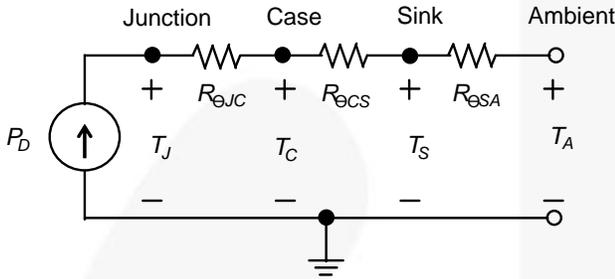


图 26. 基于热阻的电路

如图 25 中所示，片结产生的热量通常在①方向释放 80%以上，而在②③④方向释放约 20%。放热路径与电流移动相似，在考虑热阻后在图 26 中表示。这仅适用于 DC 操作。多数 MOSFET 用于具有固定占空比的开关操作中。热容量及热阻都应考虑在内。从片结到环境的热阻为 $R_{\theta JA}$ (12) (结至环境热阻) 和等效电路可使用等式表示。

$$R_{\theta JA} = R_{\theta JC} + R_{\theta CS} + R_{\theta SA} \quad (12)$$

结壳热阻 ($R_{\theta JC}$)

$R_{\theta JC}$ 是从片结到封装外壳的内部热阻。一旦确定芯片的尺寸，纯封装的此热阻仅由封装设计和引脚框架材料确定。 $R_{\theta JC}$ 可在 $T_c = 25^\circ\text{C}$ 的条件下测量并可写为等式：

$$R_{\theta JC} = \frac{T_J - T_C}{P_D} \text{ [}^\circ\text{C/W]} \quad (13)$$

条件 $T_c = 25^\circ\text{C}$ 意味着安装了无限大的散热片。

无限大的散热片意味着封装的壳温等于环境温度。这是散热片，可实现 $T_c = T_A$ 。

壳体至散热片热阻 ($R_{\theta CS}$)

这是封装外壳到散热片的热阻。这可能因散热片的封装和安装方法而异。

散热片至环境热阻 ($R_{\theta SA}$)

这是散热片到环境的热阻，由散热片设计确定。

5.14.1. 热响应特性

图 27 显示的是热响应曲线。如图 27 中所示，热响应图显示的是几种占空比条件下方形波脉冲持续时间变化所导致的结壳热阻 ($Z_{\theta JC}(t)$) 的变化。 $Z_{\theta JC}(t)$ 使用等式 (14) 确定结温上升。(考虑到功耗在传导期间, 为定值 (P_{DM}), 当其达到占空因数 $D=1$ 的低频率或 D_c 操作时饱和至 ($R_{\theta JC}$ 图 28) 的最大值。显示的是随占空比增大的结温上升。

$$T_{J \max} - T_C = R_{\theta JC} \cdot P_{DM} \quad (14)$$

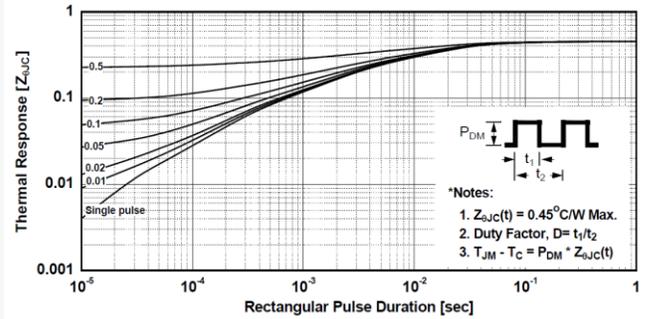


图 27. 瞬态热响应曲线

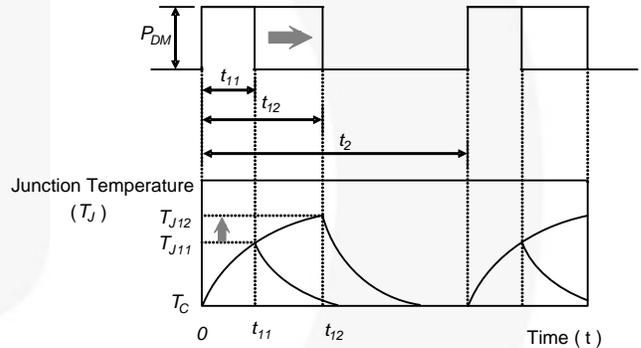


图 28. 电阻；与导通时间有关的结温中的电荷

单脉冲曲线可确定具有恒定占空比 (D) 的重复功率脉冲的热阻，如等式 (15) 中所示。

$$Z_{\theta JC}(t) = R_{\theta JC} \cdot D + (1 - D) \cdot S_{\theta JC}(t) \quad (15)$$

其中：

$Z_{\theta JC}(t)$ 是具有占空比 D 的重复功率脉冲的热阻；

$S_{\theta JC}(t)$ 是单脉冲的热阻；

I_o 是连续漏极电流；以及

I_{DM} 是脉冲漏极电流。

如等式 (16) 中所示， I_o 额定值由器件的散热能力确定。数据手册中的图 10、最大漏电流与壳温的关系显示的是随 T_c 减小而增大的容许 I_D 。

$$I_D(T_C) = \sqrt{\frac{T_{Jmax} - T_C}{R_{DS(on)}(T_{Jmax}) \cdot R_{\theta JC}}} \quad (16)$$

其中:

$R_{DS(on)}(T_{Jmax} \cdot \frac{1}{2} \cdot I_D)$ 是 T_{Jmax} 时在适当的漏极电流条件 (数据手册中的) 下的导通电阻的最大值。如在 $T_C = 25^\circ\text{C}$ 时指定的最大 $R_{DS(on)}$ 。 $R_{DS(on)}(T_{Jmax})$ 可通过导通电阻与温度图类推;

$R_{\theta JC}$ 是最大结壳热阻; 以及

T_C 是壳温。

在 $T_C = 25^\circ\text{C}$ 时保持温度不可行的实际器件应用中, $T_C = 100^\circ\text{C}$ 时的 I_D ($T_C = 25^\circ\text{C}$ 时 I_D 的 60~70%) 是更为适用的规格。

5.14.2. 漏极电流 - 脉冲 (I_{DM})

连续漏极电流上的漏极电流不应超过最大结温。最大上限为 I_{DM} 。 I_{DM} 约为 I_D (17) 值的四倍, 如等式 (18) 所示。

$$I_{DM} = I_D(T_C = 25[^\circ\text{C}]) \times 4 \quad (17)$$

重复率额定值: 脉冲宽度受限于最大结温

5.15. 总功耗 (P_D), 线性降额因数

$$P_D(T_C) = I_D^2(T_C) \cdot R_{DS(on)}(T_{Jmax}) = \frac{T_{Jmax} - T_C}{R_{\theta JC}} \quad (18)$$

线性降额因数由下式计算得出:

$$\frac{I}{R_{\theta JC}} \quad (19)$$

5.16. 安全工作区 (SOA)

5.16.1. SOA (FBSOA)

它明确了漏极至源极电压和漏极电流的最大值, 可保证器件在正向偏压时安全工作。

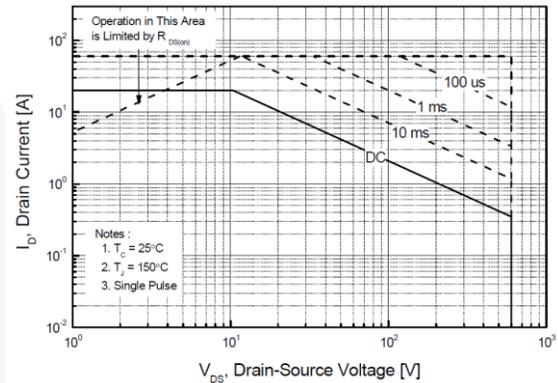


图 29. 最大安全工作区

5.16.2. 边界

图 29 显示最大安全工作区。

In 图 29, 直线: 最大漏极至源极电压额定值。

水平线: DC 是 $T_C = 25^\circ\text{C}$ 时的最大额定连续漏极电流。对于 MOSFET, 不包括封闭限制, 最大额定连续漏极端电流可由 $R_{DS(on)}(T_{Jmax})$ 确定, 如等式 (20) 中所示。

$$I_D(T_C) = \sqrt{\frac{T_{Jmax} - T_C}{R_{DS(on)}(T_{Jmax}) \cdot R_{\theta JC}}} \quad (20)$$

单脉冲是最大额定漏极电流, 脉冲:

$$I_{DM} = I_D(T_C) \times 4 \quad (21)$$

正 (+) 斜率的上限

功率可被漏极至源极导通电阻限制的边界。

负 (-) 斜率的上限

由瞬态热阻和最大结温确定。

DISCLAIMER

FAIRCHILD SEMICONDUCTOR RESERVES THE RIGHT TO MAKE CHANGES WITHOUT FURTHER NOTICE TO ANY PRODUCTS HEREIN TO IMPROVE RELIABILITY, FUNCTION, OR DESIGN. FAIRCHILD DOES NOT ASSUME ANY LIABILITY ARISING OUT OF THE APPLICATION OR USE OF ANY PRODUCT OR CIRCUIT DESCRIBED HEREIN; NEITHER DOES IT CONVEY ANY LICENSE UNDER ITS PATENT RIGHTS, NOR THE RIGHTS OF OTHERS.

LIFE SUPPORT POLICY

FAIRCHILD'S PRODUCTS ARE NOT AUTHORIZED FOR USE AS CRITICAL COMPONENTS IN LIFE SUPPORT DEVICES OR SYSTEMS WITHOUT THE EXPRESS WRITTEN APPROVAL OF THE PRESIDENT OF FAIRCHILD SEMICONDUCTOR CORPORATION.

As used herein:

1. Life support devices or systems are devices or systems which, (a) are intended for surgical implant into the body, or (b) support or sustain life, or (c) whose failure to perform when properly used in accordance with instructions for use provided in the labeling, can be reasonably expected to result in significant injury to the user.
2. A critical component is any component of a life support device or system whose failure to perform can be reasonably expected to cause the failure of the life support device or system, or to affect its safety or effectiveness.

ON Semiconductor and  are trademarks of Semiconductor Components Industries, LLC dba ON Semiconductor or its subsidiaries in the United States and/or other countries. ON Semiconductor owns the rights to a number of patents, trademarks, copyrights, trade secrets, and other intellectual property. A listing of ON Semiconductor's product/patent coverage may be accessed at www.onsemi.com/site/pdf/Patent-Marking.pdf. ON Semiconductor reserves the right to make changes without further notice to any products herein. ON Semiconductor makes no warranty, representation or guarantee regarding the suitability of its products for any particular purpose, nor does ON Semiconductor assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation special, consequential or incidental damages. Buyer is responsible for its products and applications using ON Semiconductor products, including compliance with all laws, regulations and safety requirements or standards, regardless of any support or applications information provided by ON Semiconductor. "Typical" parameters which may be provided in ON Semiconductor data sheets and/or specifications can and do vary in different applications and actual performance may vary over time. All operating parameters, including "Typicals" must be validated for each customer application by customer's technical experts. ON Semiconductor does not convey any license under its patent rights nor the rights of others. ON Semiconductor products are not designed, intended, or authorized for use as a critical component in life support systems or any FDA Class 3 medical devices or medical devices with a same or similar classification in a foreign jurisdiction or any devices intended for implantation in the human body. Should Buyer purchase or use ON Semiconductor products for any such unintended or unauthorized application, Buyer shall indemnify and hold ON Semiconductor and its officers, employees, subsidiaries, affiliates, and distributors harmless against all claims, costs, damages, and expenses, and reasonable attorney fees arising out of, directly or indirectly, any claim of personal injury or death associated with such unintended or unauthorized use, even if such claim alleges that ON Semiconductor was negligent regarding the design or manufacture of the part. ON Semiconductor is an Equal Opportunity/Affirmative Action Employer. This literature is subject to all applicable copyright laws and is not for resale in any manner.

PUBLICATION ORDERING INFORMATION

LITERATURE FULFILLMENT:

Literature Distribution Center for ON Semiconductor
19521 E. 32nd Pkwy, Aurora, Colorado 80011 USA
Phone: 303-675-2175 or 800-344-3860 Toll Free USA/Canada
Fax: 303-675-2176 or 800-344-3867 Toll Free USA/Canada
Email: orderlit@onsemi.com

N. American Technical Support: 800-282-9855 Toll Free
USA/Canada
Europe, Middle East and Africa Technical Support:
Phone: 421 33 790 2910
Japan Customer Focus Center
Phone: 81-3-5817-1050

ON Semiconductor Website: www.onsemi.com
Order Literature: <http://www.onsemi.com/orderlit>
For additional information, please contact your local
Sales Representative