

## ADM1062至ADM1069的“乒乓”配置指南

作者: Naiqian Ren

### 简介

ADM1062至ADM1069 Super Sequencer®超级时序控制器是可配置电源监控/时序控制器件，可针对多电源系统中的电源监控和时序控制提供一种单芯片解决方案。

ADM1062至ADM1067器件能够监控多达10个输入轨(VH、VP1至VP4和VX1至VX5)。ADM1068至ADM1069能够监控多达8个输入轨(VH、VP1至VP3和VX1至VX4)。两个内部可编程比较器连接到各输入轨，用于实现欠压和过压跳变；在容许的工作电压和整个工作温度范围内，跳变精度为 $\pm 1\%$ 。ADM1062至ADM1069具有强大的63状态时序控制引擎(SE)，是许多应用的理想之选，如用于接通和关断多个电源的复杂多路输入/输出时序控制等。

某些应用中，输入轨的数量超过单一器件上输入引脚的数量。这种情况下，可以将多个器件链接在一起，形成一个功能更强大的超级时序控制器组，其输入数、输出数和时序控制引擎的状态数是各器件的相应数量之和。利用一种简单的配置，器件之间可以在请求时转移时序流程的控制权，器件之间通信所需的物理链路数量得以降至最少，同时能够保持快速的系统故障响应。“乒乓”配置就是这样一种配置，它可以像打乒乓球一样来回传输脉冲信号，从而允许器件交换时序流程的控制权。

本应用笔记讨论“乒乓”配置的概念和实现方法。

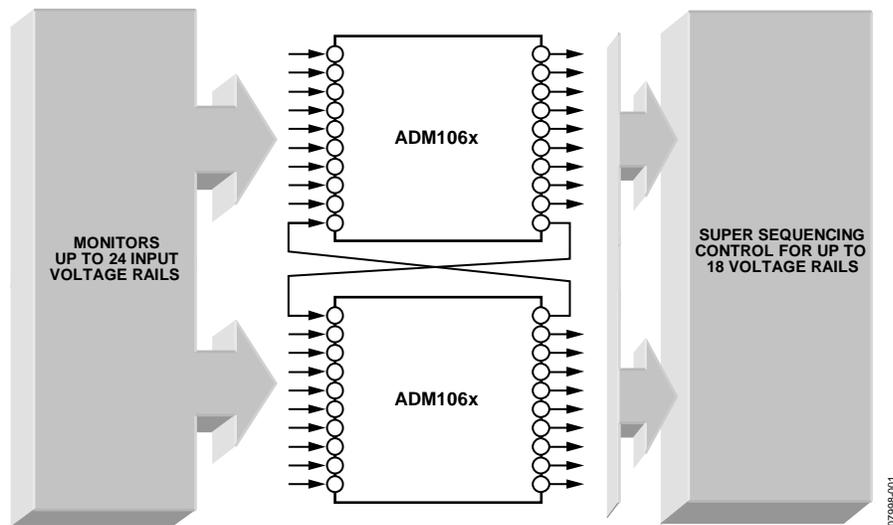


图1. ADM1062至ADM1069的强大级联配置能力

## 目录

简介.....	1	时序和缓冲.....	7
乒乓配置原理.....	3	快速故障响应.....	8
双器件配置.....	4	可选初始状态设置.....	8
器件设置.....	4	可选输入轨设置.....	9
时序图.....	5		

## 乒乓配置原理

乒乓配置适用于需要对超过单个器件处理能力的许多供电轨执行复杂时序控制操作的用户。

乒乓配置的原理是利用时序控制引擎(SE)产生的脉冲信号建立器件之间的通信,以实现一种合作式时序流程操作,时序控制权可以在器件之间自由交换。脉冲信号用于时序控制权转移和故障状态指示。要将控制权从一个器件转移到另一个器件,典型流程包括下列步骤(见图2):

1. U1执行时序控制, U2等待“乒”信号。
2. U1停止时序控制,并向U2发送一个“乒”信号。
3. U2接收该信号,回送一个“乓”信号作为应答,并且开始执行时序控制。
4. U1接收U2的应答信号,然后等待下一次时序控制权交换的“乒”信号,或者如果所有时序控制要求均已实现,则进入电源良好状态;在后一种情况下,它也可以等待信号/条件以启动关断时序控制。

使用同样的方法,可以将时序控制权从U2再转移到U1。

当两个器件的所有时序控制均已完成并达到电源良好状态时,流程结束。如果需要,SE可以继续执行关断时序控制。

该系统可以实现快速故障响应。如果在流程中发生故障,系统中的所有器件都将迅速进入其指定的故障状态,这些状态由其SE预先定义。有关故障检测机制的详情,参见“快速故障响应”部分的说明。

乒乓配置的一些优势如下:

- 硬件配置简单;对于各器件,仅使用一路输入和一路输出引脚。该输入引脚甚至可以与其它电压输入轨共用(参见“可选输入轨设置”部分)。
- 快速系统故障响应,防死锁。
- 无需使用更多输入/输出引脚便可实现多器件配置。

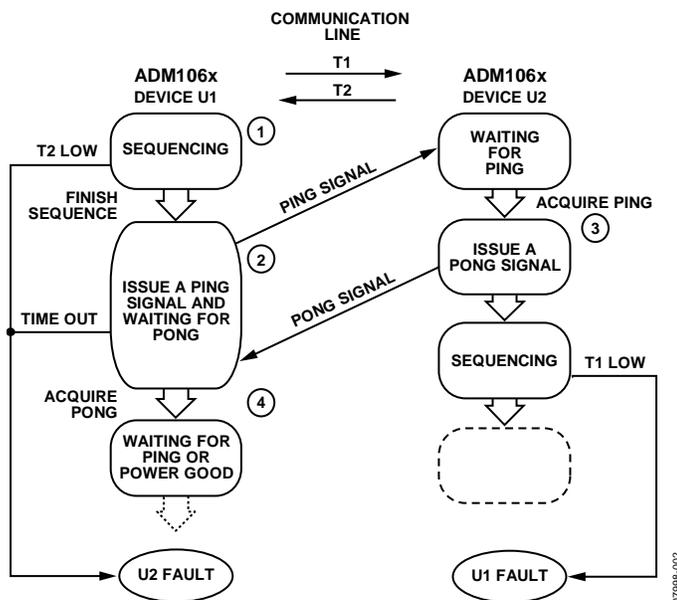


图2. 乒乓流程原理

## 双器件配置

### 器件设置

本部分详细讨论一个基本双器件乒乓配置示例。

图3显示了两个器件的连接。选择各器件的一个输入引脚和一个输出引脚用于乒乓信号通信。两条线T1和T2将U1和U2连在一起。每个选定的输出引脚连接到另一个器件的选定输入引脚。可以选择使用器件的任何输入和输出轨，但推荐将VXx引脚配置为数字输入。

本例中，输入和输出引脚是随机选择的。U1选用输入引脚VX3和输出引脚PDO8，U2选用输入引脚VP2和输出引脚PDO10。

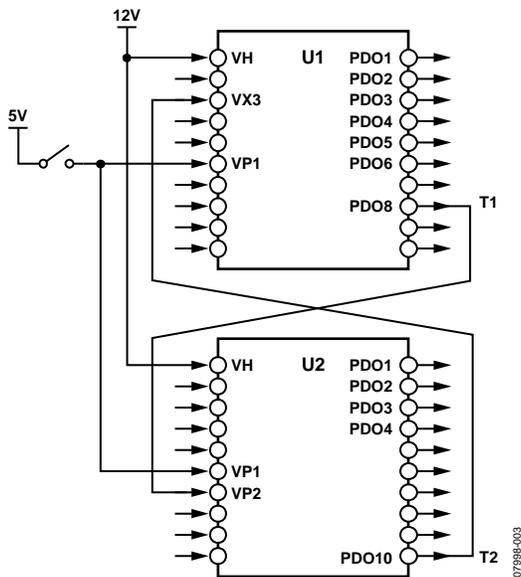


图3. 双器件连接示例

ADM1062至ADM1069评估套件提供的图形用户界面(GUI)可以用来配置输入和输出引脚的特性。使用GUI将器件的乒乓通信输出(本例中为U1的PDO8和U2的PDO10)设置为由SE控制，并且强上拉至VDDCAP。本例中，两个器件的其余输出以同样方式设置，用于演示目的。U1的VX3和U2的VP2均设置为数字输入，用以检测彼此的乒乓输出信号的输出电压，阈值根据相应的输出电平设置。例如，U1的

输出PDO8被设置为上拉至其VDDCAP引脚，典型电压为4.75 V，然后根据SE的状态，PDO8的输出电压为4.75 V或0 V。为检测差异，将U2的VP2输入设置为阈值在2.5 V左右的欠压故障检测器。

推荐将VXx输入用于这种配置，以便该输入的UV/OV比较器能够用来监控其它输入轨，并且用作警告检测器(更多信息参见ADM1062至ADM1069数据手册)。如果使用VXx作为乒乓配置的数字输入，则需要将检测模式设置为电平检测，而不是边沿检测。有关设置的详细信息，参见器件评估套件数据手册。

本例使用的其它输入为两个器件的VH和VP1引脚。VH引脚连接到12 V供电轨，以便向器件供电；VP1引脚通过一个公共开关上拉到5 V供电轨，用于启动乒乓演示。

本例的引脚使用情况如表1所示。

表1. 引脚使用

器件	乒乓	演示启动	电源	演示
U1	VX3, PDO8	VP1	VH	PDO1 至 PDO6
U2	VP2, PDO10	VP1	VH	PDO1 至 PDO4

本例中，两个器件被设置为利用乒乓信号执行几次时序控制转移流程，然后达到电源良好状态。

硬件配置相对简单。乒乓技术大部分是通过软件配置实现。器件的可编程SE在这种应用中起着主要作用。

使用SE之前，应设计系统的时序图，即乒乓通信所需状态的时序设计概览，这是乒乓配置设计最重要的步骤之一。

图4给出了设计用于本例的时序图。

时序图

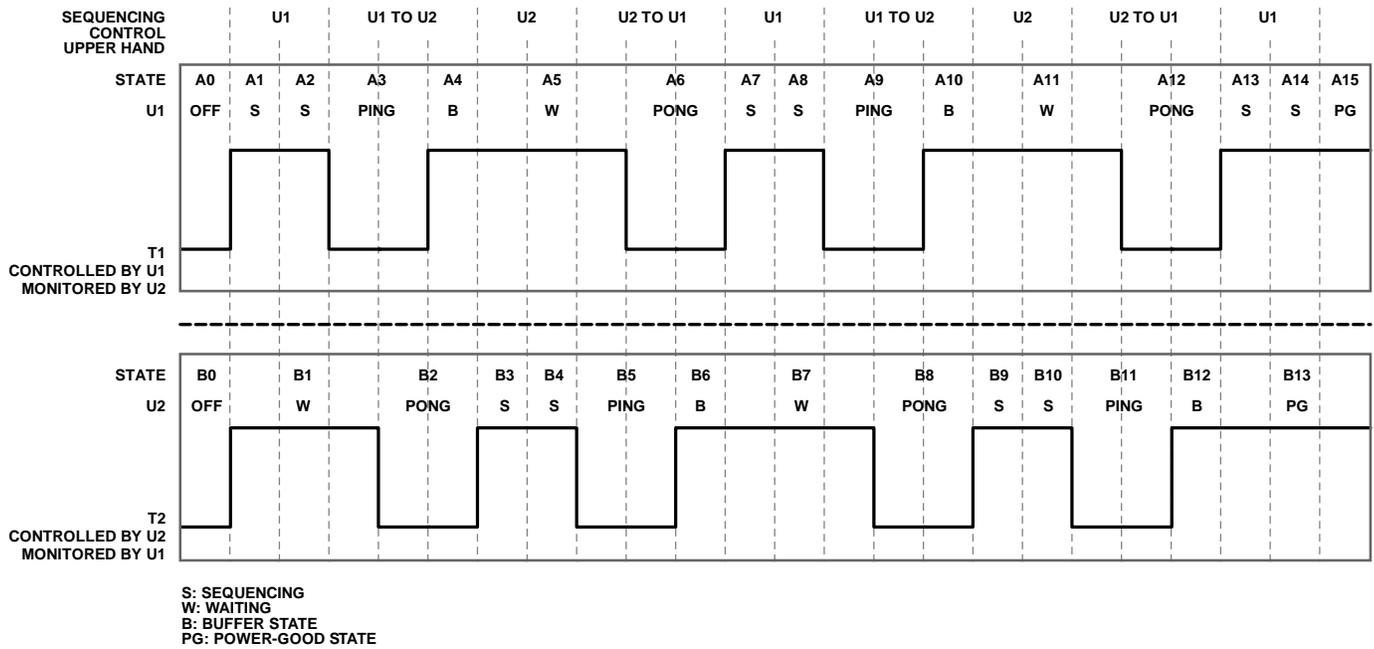


图4. 系统时序图

图4为整个系统的时序图概览。它以两个器件的SE状态为参照，显示了T1和T2通信线的状态(高电平或低电平)。注意，T1代表U1 PDO8输出的状态，它由U1 SE控制，并由U2的输入VP2进行监控；T2代表U2 PDO10输出的状态，它由U2 SE控制，并由U1的输入VX3进行监控。请记住，输出的状态无法在一个状态之内改变(例如，T1无法在状态A3中从高电平变为低电平)，它只能在状态改变时改变。

注意，这些器件只能通过对对方器件的通信输出监控彼此的状态。例如，U1只能通过监控T2来确定U2的状态。换言之，U1控制T1并监控T2，U2控制T2并监控T1。

下文详细说明图4所示的各部分。

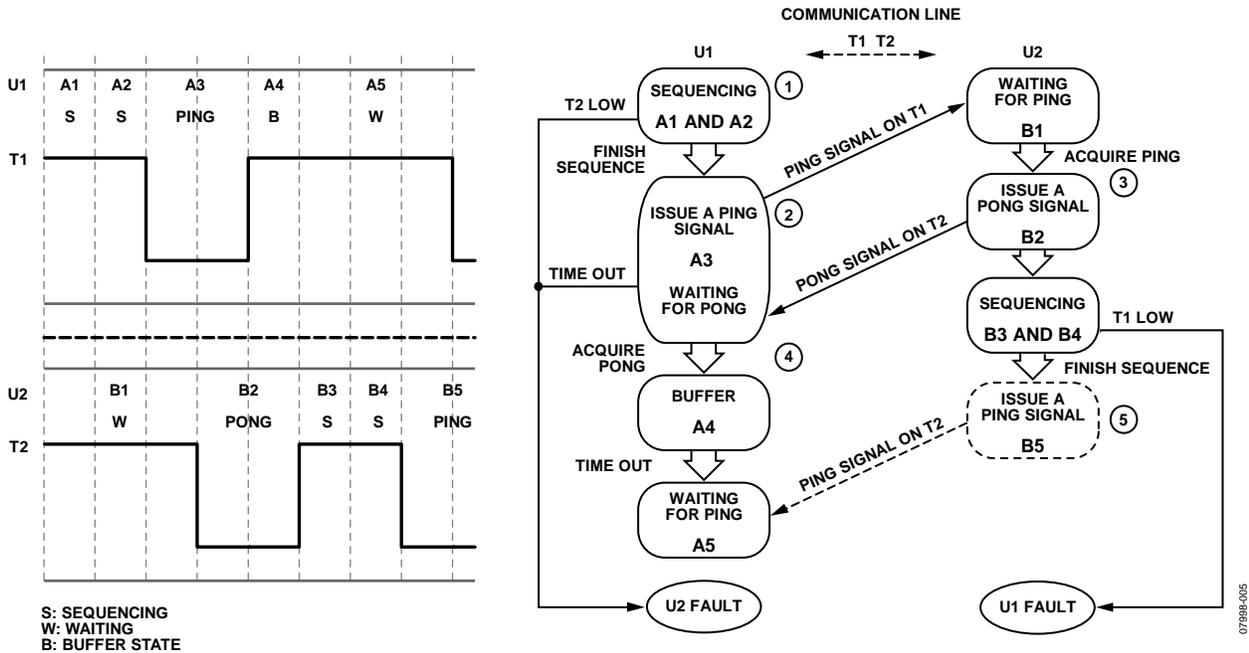


图5. 乒乓流程的详细图解

下面详细讨论乒乓时序控制的转移流程。

图5是图4所示时序图最左边部分的放大图，这是第一次进行时序控制转移的地方。

图5中进行了下列时序操作：

1. U1执行SE中设置的正常时序控制操作；时序控制可以使用多个状态，本例中使用两个状态(A1和A2)。为了仿真时序控制操作，各状态持续400 ms，将一个附加输出引脚驱动到高电平，并从PDO1开始。在这些状态中，U1使T1(PDO8输出)保持高电平。(本例中使用400 ms是为了便于目视检查。如果输出连接到LED，则可以自由配置该值。)有关SE配置的详情参见表2。

与此同时，U2处于空闲状态，T2为高电平(PDO10输出)，U2监控T1。当T1变为低电平并保持该状态1 ms时，U2就会进入下一个状态。本例中乒乓流程所用的1 ms和2 ms持续时间是演示目的而选择的，用户可以设置为0.1 ms和0.2 ms，以获得更快速的故障响应。

2. U1完成时序控制操作，准备将时序控制权转移给U2。U1进入状态A3，拉低T1并发送一个“乒”信号，像叫醒电话一样触发U2。

3. T1变为低电平并持续1 ms后，处于状态B1的U2满足条件，进入下一个状态B2，进而拉低T2并保持2 ms(2 ms超时时间)，然后进入下一个状态B3。这相当于一个“乓”信号或对U1“乒”信号的应答。
4. 状态A3的退出条件之一是T2变为低电平并保持1 ms。(还有一个超时退出条件，设计用于防范故障，详见“快速故障响应”部分。)这就是U2的“乓”信号。一旦满足该条件，U1就会进入下一个状态A4，将T1拉回高电平并保持1 ms(1 ms的超时时间)，然后进入下一个状态。状态A4称为缓冲状态，其作用详见“时序和缓冲”部分的说明。

此时，U1到U2的时序控制权转移完成，U1进入状态A5，等待U2的“乓”信号。U1的状态A5相当于U2的状态B1。

U2进入状态B3，开始按照SE中的程序执行时序控制操作。状态B3和B4的作用与状态A1和A2相同。

5. 状态B4之后，时序控制权再次从U2转移到U1，方式与前面步骤2所述相同。

## 时序和缓冲

状态A3的退出条件要求T2变为低电平并保持1 ms。这就会产生一个问题：为什么状态B3产生的“乒”信号要持续2 ms？

答案与器件的时序规格有关。器件时序控制引擎的精度为10%，这意味着SE设置和检测的时间误差可能为 $\pm 10\%$ 。如图6所示，如果SE设置B2持续1 ms，不同器件的实际时间误差可能为 $\pm 0.1$  ms。在最差情况1下，该状态的实际持续时间为0.9 ms或1.1 ms。该 $\pm 10\%$ 定时精度也适用于器件的时序检测功能。因此，在最差情况2下，B2的设计持续时间为1 ms，但实际仅持续0.9 ms。这意味着T2变为低电平并持续0.9 ms，充当一个“乒”信号。与此同时，A3等待一个1.1 ms(最差情况)的“乒”信号。这样，A3无法识别该“乒”信号(因为仅0.2 ms太短)，转而进入故障状态(见“快速故障响应”部分)。

因此，让B2持续2 ms的原因是克服定时不精确性问题，为A3检测“乒”信号提供充足的时间。

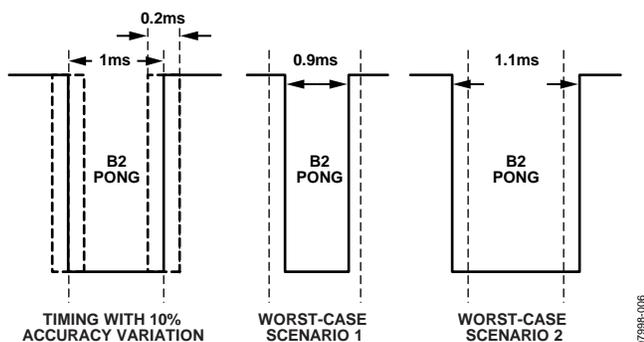


图6. 时序精度图

时序精度考虑还导致在该设计中使用状态A4。器件的实际状态时序可能在 $\pm 10\%$ 范围内变化。如果SE的配置中不存在状态A4，则在T2变为低电平并持续1 ms后，即U2进入状态B2并持续1 ms后，U1退出状态A3并进入状态A5(参见图7)。A5是与B1相似的等待状态，等待U2发出“乒”信号，即T2变为低电平并持续1 ms。因此，在状态时序误差为 $\pm 10\%$ 的最差情况下，U1 SE在U2进入B2后仅0.9 ms就会从A3转入A5。如果B2持续2.2 ms(最差情况)，处于状态A5的U1将检测到T2低电平持续1.3 ms(参见图7中的阴影区域)，从而将其误认为是U2发出的“乒”信号，因此进入下一个状态，导致它唤醒并意外开始执行时序控制。

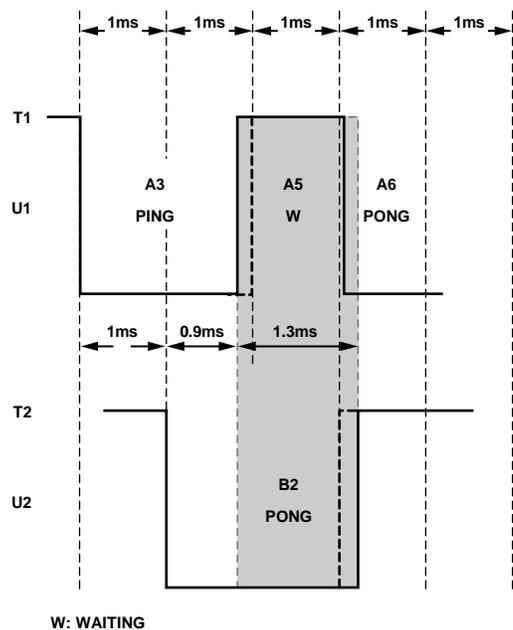


图7. 无缓冲时的最差情况

加入时序缓冲状态A4后，两个状态之间会有1 ms的延迟。此时，将A4置于A3与A5之间，即使在最差情况下(U2进入B2，0.9 ms后A3退出，B2持续2.2 ms，A4仅持续0.9 ms)，处于状态A5的U1仍然只能检测T2(如果它变为低电平并持续0.4 ms，参见图8中的阴影区域)。因此，U1不会像对一个“乒”信号一样对它做出反应。

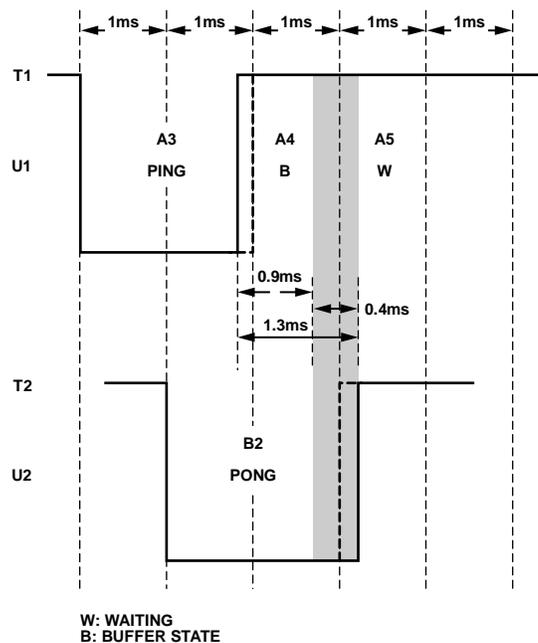


图8. 有缓冲时的最差情况

## 快速故障响应

所有器件必须按照时序正确工作。如果一个器件发生故障，另一个器件应能知道并快速做出响应。如果故障防范设计不佳，可能导致这样一种情况：一个器件发生故障，另一个器件继续对供电轨进行时序控制，或者陷入死锁中，等待其它器件的信号，而不知道其它器件已经处于故障状态。为防止这种情况发生，SE需要精心编程，考虑所有可能的故障状况。

使用乒乓配置的重要优势之一是它能对故障状况快速做出响应。

图9显示了不同状态采用的故障监控技术。ADM1062至ADM1069具有多种机制来检测输入故障。如果器件自身检测到故障状况，它应转入SE中的预定义故障状态，并将其乒乓输出拉低。

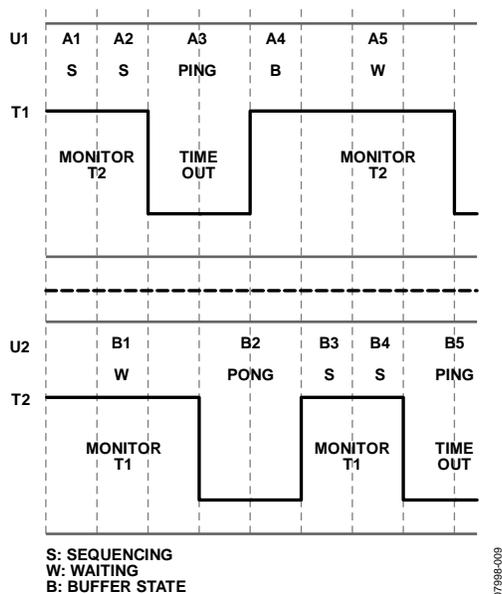


图9. 各类状态的故障防范机制

对于所有时序控制状态(例如状态A1、A2、B3和B4)中的乒乓配置，器件都应监控乒乓通信线的故障状态。从时序图设计看，在正常工作情况下，当一个器件处于时序控制状态时，另一个器件的乒乓输出应保持高电平(见图4)。如果此输出为低电平，则表示该器件发生故障。例如，在状态B3中，U2应监控T1，如果T1变为低电平，则表示U1发生故障。这些状态的警告功能可以用于监控通信线。

在A3和B5等状态中，一个器件产生“乒”信号并等待“乓”信号，如果另一个器件在(用户定义的)一定时间后未响应，该器件应认识到发生故障。为此，该状态需要利用超时功能检测故障。例如，在A3中，如果T2变为低电平并持续1 ms，则进入A4状态；如果超时10 ms，则进入故障状态。这种情况下，如果10 ms后U2未用“乓”信号(拉低T2)响应“乒”信号，U1就会进入故障状态。

在B1和A5等状态中，器件等待“乒”信号，无需设置故障防范机制，因为其退出条件为T1变为低电平并持续1 ms。这种情况下，如果U1在A1或A2中检测到故障状况，或者在A3中检测到超时，U1就会进入故障状态，T1变为低电平。1 ms后，U2进入B2，保持2 ms后进入B3。在B3状态中，U2检测到T1仍为低电平，因而进入故障状态。

根据这种设计，如果一个器件发生故障，另一个器件将能在不到1 ms的时间内做出响应(如果乒乓通信状态时间使用0.1 ms和0.2 ms)。因此，这种设计能够实现快速故障响应。

## 可选初始状态设置

在以上设计示例中，值得说明的一点是两个器件必须同时开始时序控制。例如，在U1进入A1的同时，U2进入B1，否则，上述故障监控机制就会触发故障状况。在该例中，这是让两个器件的VP1输入通过一个公共开关连在一起而实现的。然而，通常在实际操作中，这可能难以实现。最佳建议是采用以下程序：

U1可以在T1为低电平时开始时序控制，为了启动第一次时序控制转移，U1拉高T1，如图10所示。为使U2对此做出响应，将状态B1的退出条件更改为：T1保持高电平1 ms。这种情况下，开始时间便不像上一个例子那样重要。只要发出第一个“乒”信号时U2处于B1状态，这种方法就会有效。

注意，这种方法只需用于发出和检测第一个“乒”信号，其余的时序图设计应与图4所示相似。

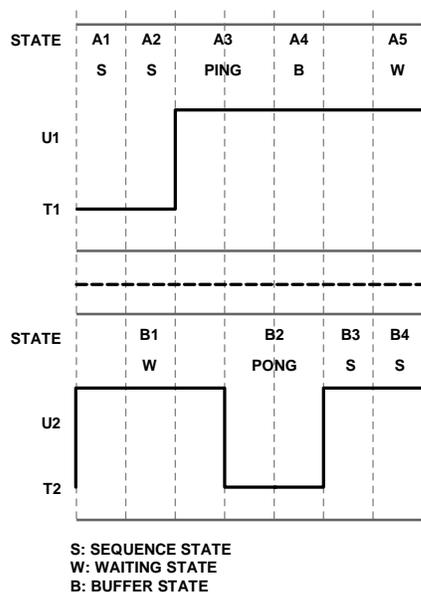


图10. 可选启动状态设置

## 可选输入轨设置

通过采用某种硬件架构，可以实现乒乓信号传输，而无需各器件都专用一个输入轨。某些输入轨可以与通信线一起使用，同时提供电压监控和乒乓信号接收功能。这样，使用两个ADM1066器件将能监控多达24个输入轨。这种架构适用于其中一个输入轨在整个时序控制操作中始终连接到一个恒定电压源的器件，该电压源可以是启动时序流程并在此后保持恒定的一个输入电压。例如，上一个例子图3中的VP1可以是该电压源，一般是VH引脚。

图11显示了这种架构的一个例子。它在原器件连接设置上进行了修改，现在不只是使用VX3进行乒乓信号传输，而是使用VH引脚(上例中用于提供器件电源)提供电源并进行乒乓信号传输。其背后的构想是利用VH引脚上的临时压降作为乒乓通信线的低电平信号，这一压降仅持续很短的时间，并且仍然很高，足以为器件供电。如果VH发生故障，器件将能在下一个状态中检测到该故障。

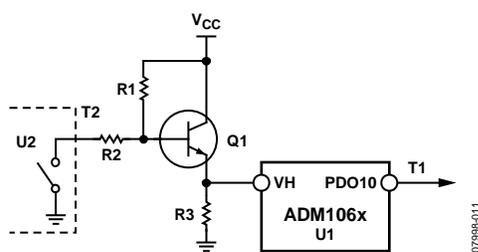


图11. 可选输入轨设置

在这种设置中，另一个器件U2(它控制T2)的乒乓输出被设置为开漏型，由SE控制(而不是像上例那样拉高到VDDCAP)。

这一架构需要四个外部元件：R1、R2、R3和Q1。三个电阻(R1、R2和R3)形成两个分压器电路，NPN晶体管(Q1)用作开关。使用晶体管是为了提供低阻抗的干净电源，从而提供器件所需的电流。

当U2将其乒乓输出设置为逻辑高电平(输出开路)时，无电流流经R2。Q1上的基极电压等于 $V_{CC}$ ，Q1接通。U1的VH引脚上的高电平电压 $V_{HHIGH}$ 等于 $V_{CC} - 0.7 V$ ，其中0.7 V是Q1的 $V_{BE}$ 。

一旦U2的乒乓输出变为低电平(输出漏极)，R1和R2就会形成一个分压器，使得Q1的基极电压等于 $V_{CC} \times R2 / (R1 + R2)$ ，因此VH引脚的低电平电压 $V_{HLOW}$ 等于 $V_{CC} \times R2 / (R1 + R2) - 0.7 V$ 。注意， $V_{HLO}$ 应足够高，以保证器件正常工作。

VH引脚欠压故障阈值 $V_{H_{TH}}$ 为 $V_{H_{LOW}}$ 与 $V_{H_{HIGH}}$ 之间的值。

$$V_{CC} \times R2 / (R1 + R2) - 0.7 V < V_{H_{TH}} < V_{CC} - 0.7 V$$

并且

$$V_{CC} \times R2 / (R1 + R2) - 0.7 V > \text{所需电源电压}$$

这种情况下，U2发送的低电平乒乓信号会被U1识别为VH引脚发生欠压故障，并且可以像图3所示的VX3引脚一样使用。U1的VH引脚现在能够辨别T2的逻辑差异，因此脉冲信号可以在器件之间传输。注意，仅“乒”和“乓”状态要求VH变为低电平，而在其它时序状态中，U1应持续监控VH引脚的电平，判断是否真正发生电压故障。

## 应用示例

12 V供电轨 $V_{CC}$ 将欠压故障阈值 $V_{H_{TH}}$ 设置为10.5 V。如果低于此电压，就会产生故障。它还满足 $V_{H_{TH}} < V_{CC} - 0.7 V$ 的要求。在软件输入配置部分中的电压阈值下设置VH引脚的该值。

选择电阻的值(R2和R3)。R2和R3的值决定流经分压器的电流。提高电阻值会降低漏电流。二者均设置为100 k $\Omega$ 。接下来选择 $V_{H_{LOW}}$ 的电压。将其设置为10 V，足以保证器件电源，同时低于 $V_{H_{TH}}$ 。现在，

$$V_{CC} \times R2 / (R1 + R2) - 0.7 V = 10 V$$

其中：

$$V_{CC} = 12 V.$$

$$R2 = 100 K.$$

然后计算R1的值，它大约等于12 k $\Omega$ 。

# AN-0997

表2. 器件U1的SE程序

状态	输出	序列	超时	监控
保留				
A0	0000000000 00	如果VP1(VP1)正常 40 ms后转到A1		
A1	0000000001 00		400 ms后转到A2	XXXXX11XXXX 转到故障
A2	0000000011 00	如果T2(VP2)正常 400 ms后转到A3	如果T2(VP2)不正常 40 ms后转到故障	XXXXX11XXXX 转到故障
A3	1000000011 00	如果T2(VP2)故障 1 ms后转到A4	如果T2(VP2)无故障 10 ms后转到故障	
A4	1000000011 00		1 ms后转到A5	
A5	1000000011 00	如果T2(VP2)故障 1 ms后转到A6		XXXXX1XXXXX 转到故障
A6	0000000011 00		2 ms后转到A7	XXXXX1XXXXX 转到故障
A7	1000000111 00		400 ms后转到A8	XXXXX11XXXX 转到故障
A8	1000001111 00		400 ms后转到A9	XXXXX11XXXX 转到故障
A9	0000001111 00	如果T2(VP2)故障 1 ms后转到A10	如果T2(VP2)无故障 40 ms后转到故障	XXXXX1XXXXX 转到故障
A10	0000000000 00		1 ms后转到A11	XXXXX1XXXXX 转到故障
A11	1000001111 00	如果T2(VP2)故障 1 ms后转到A12		XXXXX1XXXXX GOTO fault
A12	0000001111 00		2 ms后转到A13	
A13	1000011111 00		400 ms后转到A14	XXXXX11XXXX 转到故障
A14	1000111111 00		400 ms后转到A15	XXXXX11XXXX 转到故障
A15	1000111111 00			XXXXX11XXXX 转到故障
故障	0000000000 00	如果VP1(VP1)故障 0 ms后转到A0		

表3. 器件U2的SE程序

状态	输出	序列	超时	监控
保留				
B0	000000000 00	如果VP1(VP1)正常 0 ms后转到B1		
B1	100000000 00	如果T1(VP2)正常 1 ms后转到B2		XXXXX1XXXXX 转到故障
B2	000000000 00		2 ms后转到B3	XXXXX1XXXXX 转到故障
B3	100000001 00		400 ms后转到B4	XXXXX11XXXX 转到故障
B4	100000011 00		400 ms后转到B5	XXXXX11XXXX 转到故障
B5	000000011 00	如果T1(VP2)故障 1 ms后转到B6	如果T1(VP2)无故障 40 ms后转到故障	XXXXX1XXXXX 转到故障
B6	100000011 00		1 ms后转到B7	XXXXX1XXXXX 转到故障
B7	100000011 00	如果T1(VP2)故障 1 ms后转到B8		XXXXX1XXXXX 转到故障
B8	000000011 00		2 ms后转到B9	XXXXX1XXXXX 转到故障
B9	100000111 00		400 ms后转到B10	XXXXX11XXXX 转到故障
B10	100001111 00		400 ms后转到B11	XXXXX11XXXX 转到故障
B11	000001111 00	如果T1(VP2)故障 1 ms后转到B12	如果T1(VP2)无故障 40 ms后转到故障	XXXXX1XXXXX 转到故障
B12	100001111 00		1 ms后转到B13	XXXXX1XXXXX 转到故障
B13	100001111 00	如果T1(VP2)故障 100 ms后转到故障		XXXXX1XXXXX 转到故障
故障	000000000 00	如果VP1(VP1)故障 0 ms后转到B0		

**注释**