

产品特性

集成小数N分频PLL的IQ解调器

LO频率范围：700 MHz至1,050 MHz

针对下列规格(LPEN = 0)/(LPEN = 1):

输入P1dB: 12.8 dBm/11.7 dBm

输入IP3: 26.7 dBm/24.0 dBm

噪声系数(DSB): 13.1 dB/12.4 dB

电压转换增益: 1.0 dB/4.3 dB

正交解调精度

相位精度: <0.5°

幅度精度: <0.1 dB

基带解调: 170 MHz/135 MHz, 3 dB带宽

通过SPI串行接口进行PLL编程

40引脚、6 mm × 6 mm LFCSP封装

应用

QAM/QPSK RF/IF解调器

蜂窝W-CDMA/CDMA/CDMA2000

微波点对(多)点无线电

宽带无线和WiMAX

概述

ADRF6807是一款高动态范围IQ解调器，集成锁相环(PLL)和电压控制振荡器(VCO)。小数N分频PLL/频率合成器产生2.8 GHz至4.2 GHz范围的频率。可编程正交分频器(分频比 = 4)将VCO输出频率分频至所需的本振(LO)频率，以便以正交方式驱动混频器。此外，输出分频器(分频比 = 4至8)产生一个分频VCO信号供外部使用。

PLL支持9 MHz至160 MHz范围内的输入基准频率。鉴相器输出控制一个电荷泵，其输出在片外环路滤波器中进行积分。然后，环路滤波器输出施加于一个集成式VCO。

IQ解调器将差分RF输入与源自正交分频器的复数LO混频。差分I和Q输出路径具有出色的正交精度，可以处理基带信号或最高120 MHz的复数中频信号。

通过对串行接口寄存器编程以降低功耗，还可提供低功耗工作模式，同时输入线性度和输出驱动电流略有降低。

ADRF6807采用先进的硅锗BiCMOS工艺制造，提供40引脚、裸露焊盘、符合RoHS标准的6 mm × 6 mm LFCSP封装。额定温度范围为-40°C至+85°C。

功能框图

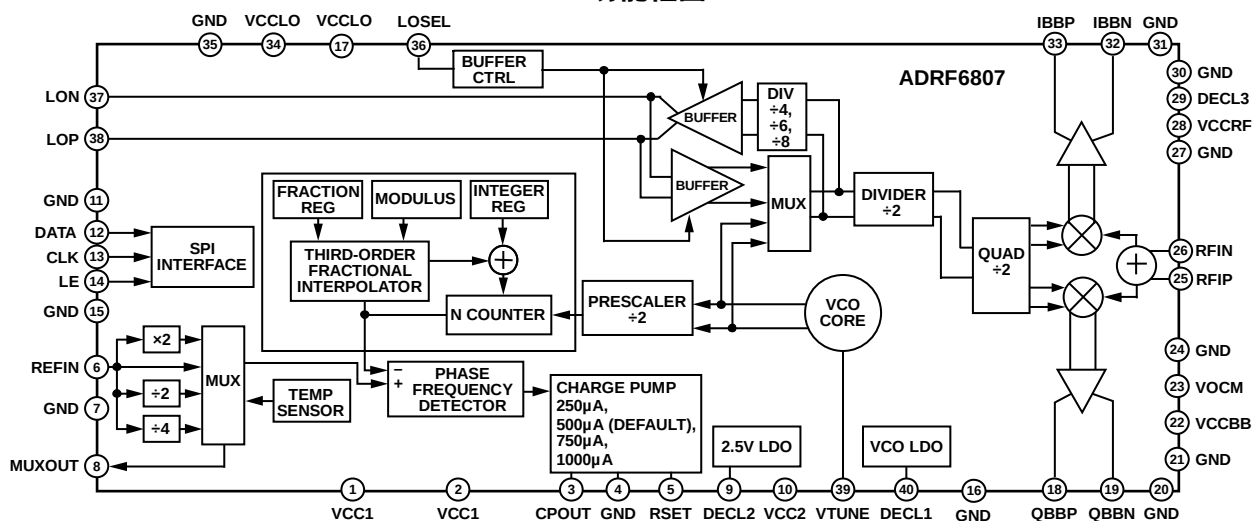


图1.

Rev. B

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.
Tel: 781.329.4700 www.analog.com
Fax: 781.461.3113 ©2011–2012 Analog Devices, Inc. All rights reserved.

ADI中文数据手册是英文版数据手册的译文，敬请谅解翻译中可能存在的语言组织或翻译错误，ADI不对翻译中存在的差异或由此产生的错误负责。如需确认任何词语的准确性，请参考ADI提供的最新英文版数据手册。

目录

特性.....	1	寄存器结构	14
应用.....	1	LO分频器编程.....	21
概述.....	1	编程示例.....	21
功能框图.....	1	应用信息.....	22
修订历史.....	2	基本连接.....	22
技术规格.....	3	电源连接.....	22
时序特性.....	5	频率合成器连接.....	22
绝对最大额定值.....	6	I/Q输出连接.....	23
ESD警告.....	6	RF输入连接.....	23
引脚配置和功能描述.....	7	电荷泵/VTUNE连接.....	23
典型性能参数.....	9	LO选择接口.....	23
频率合成器/PLL.....	12	外部LO接口.....	23
互补累积分布函数(CCDF).....	13	设置PLL频率.....	23
电路描述.....	14	寄存器编程.....	23
LO正交驱动.....	14	EVM测量.....	24
V-I转换器.....	14	评估板布局和热接地.....	25
混频器.....	14	ADRF6807软件.....	30
发射极跟随器缓冲器.....	14	特性设置.....	32
偏置电路.....	14	外形尺寸.....	36
		订购指南.....	36

修订历史

2012年2月—修订版A至修订版B

更改表1	3
更改图21和图24至图26	12
更改图34	16
更改图37	18
更改图38	19
更改图39	20
更改EVM测量部分和图42.....	24
更改图43	25
增加图44，重新排序	26
更改图45和图46	27
更改表7.....	29
更改图47	30
更改图48	31

2011年9月—修订版0至修订版A

更改EVM测量部分和图42.....	24
--------------------	----

2011年8月—修订版0：初始版

技术规格

除非另有说明， $V_{S1}(V_{VCCBB}$ 和 $V_{VCCRF})=5\text{ V}$ ， $V_{S2}(V_{VCC1}$ 、 V_{VCC2} 和 $V_{VCCLO})=3.3\text{ V}$ ；环境温度(T_A)=25°C； $f_{REF}=26\text{ MHz}$ ， $f_{LO}=900\text{ MHz}$ ， $f_{BB}=4.5\text{ MHz}$ ， $R_{LOAD}=450\text{ }\Omega$ (差分)，1:2巴伦驱动RF端口，建立50 Ω 源阻抗以匹配100 Ω 差分RF输入端口阻抗，所有寄存器和PLL设置采用“寄存器结构”部分内容中的推荐值。

表1.

参数	测试条件/注释	最小值	典型值	最大值	单位
频率范围		700		1050	MHz
900 MHz时的RF输入	RFIP、RFIN引脚				
输入回损	相对100 Ω 而言		-18		dB
输入P1dB	LPEN = 0(标准功耗模式)		12.8		dBm
	LPEN = 1(低功耗模式)		11.7		dBm
二阶输入交调截点(IIP2)	LPEN = 0；-5 dBm/信号音		>65		dBm
	LPEN = 1；-5 dBm/信号音		>65		dBm
三阶输入交调截点(IIP3)	LPEN = 0；-5 dBm/信号音		26.7		dBm
	LPEN = 1；-5 dBm/信号音		24.0		dBm
噪声系数	从RF到I或Q输出的双边带；LPEN = 0		13.1		dB
	从RF到I或Q输出的双边带；LPEN = 1		12.4		dB
	-5 dBm干扰，相隔5 MHz		16		dB
LO至RF泄露	1 $\times$ LO频率，RF端口接100 Ω 端接电阻		-73		dBm
I/Q基带输出	IBBP、IBBN、QBBP、QBBN引脚				
电压转换增益	IBBP、IBBN(或QBBP、QBBN)上450 Ω 差分负载；LPEN = 0		1		dB
	IBBP、IBBN(或QBBP、QBBN)上450 Ω 差分负载；LPEN = 1		4.3		dB
解调带宽	1 V p-p信号，3 dB带宽；LPEN = 0		170		MHz
	1 V p-p信号，3 dB带宽；LPEN = 1		135		MHz
正交相位误差			0.35		度
I/Q幅度不平衡			0.05		dB
输出直流失调(差分)			± 8		mV
输出共模基准电压	VOCM施加的输入电压	1.55	1.65	1.75	V
共模失调	$ (V_{IBBP} + V_{IBBN})/2 - V_{VOCM} $ ， $ (V_{QBBP} + V_{QBBN})/2 - V_{VOCM} $		25		mV
增益平坦度	任意5 MHz		0.2		dB p-p
最大输出摆幅	差分450 Ω 负载		3		V p-p
	差分200 Ω 负载		2.4		V p-p
最大输出电流	每个引脚		6		mA p-p
LO输入/输出	LOP, LON				
输出电平(LPEN = 0)	输入差分50 Ω 负载，LO缓冲器使能(输出频率 = 800 MHz)		1		dBm
输出电平(LPEN = 1)	输入差分50 Ω 负载，LO缓冲器使能(输出频率 = 800 MHz)		-0.75		dBm
输入电平	外部施加的2 $\times$ LO，PLL禁用		0		dBm
输入阻抗	外部施加的2 $\times$ LO，PLL禁用		50		Ω
LO主分频器	VCO至分频器，包括正交分频器，分频器编程见表5		4		
VCO输出分频器范围	VCO至(LOP、LON)，支持的输出分频器模式见表6	4		8	
VCO工作频率		2800		4200	MHz

ADRF6807

参数	测试条件/注释	最小值	典型值	最大值	单位
频率合成器规格	所有频率合成器规格均采用图33至图40中的推荐设置测量				
通道间隔	$f_{\text{PFD}} = 26 \text{ MHz}$		25		kHz
PLL带宽	可通过片外环路滤波器元件值和 R_{SET} 调整		67		kHz
杂散	$f_{\text{LO}} = 900 \text{ MHz}$, $f_{\text{REF}} = 26 \text{ MHz}$, $f_{\text{PFD}} = 26 \text{ MHz}$, 采用 $f_{\text{BB}} = 50 \text{ MHz}$ 的基带输出测量				
参考杂散	$f_{\text{REF}} = 26 \text{ MHz}$, $f_{\text{PFD}} = 26 \text{ MHz}$		-93		dBc
	$f_{\text{REF}}/2$		-104		dBc
	$f_{\text{REF}} \times 2$		-85		dBc
	$f_{\text{REF}} \times 3$		-97		dBc
相位噪声(使用67 kHz 环路滤波器)	$f_{\text{LO}} = 900 \text{ MHz}$, $f_{\text{REF}} = 26 \text{ MHz}$, $f_{\text{PFD}} = 26 \text{ MHz}$, 采用 $f_{\text{BB}} = 50 \text{ MHz}$ 的基带输出测量				
	1 kHz偏移		-104		dBc/Hz
	10 kHz偏移		-107		dBc/Hz
	100 kHz偏移		-111		dBc/Hz
	500 kHz偏移		-131		dBc/Hz
	1 MHz偏移		-138		dBc/Hz
	5 MHz偏移		-149		dBc/Hz
	10 MHz偏移		-152		dBc/Hz
积分相位噪声	积分带宽1 kHz到10 MHz		0.13		°rms
鉴相器频率		20	26	40	MHz
相位噪声(使用2.5 kHz 环路滤波器)	$f_{\text{LO}} = 900 \text{ MHz}$, $f_{\text{REF}} = 26 \text{ MHz}$, $f_{\text{PFD}} = 26 \text{ MHz}$, 采用 $f_{\text{BB}} = 50 \text{ MHz}$ 的基带输出测量				
	1 kHz偏移		-73		dBc/Hz
	10 kHz偏移		-90		dBc/Hz
	100 kHz偏移		-119		dBc/Hz
	500 kHz偏移		-135		dBc/Hz
	1 MHz偏移		-141		dBc/Hz
	5 MHz偏移		-150		dBc/Hz
	10 MHz偏移		-152		dBc/Hz
PLL品质因数(FOM)	采用 $f_{\text{REF}} = 26 \text{ MHz}$, $f_{\text{PFD}} = 26 \text{ MHz}$ 测量		-215.4		dBc/Hz/Hz
	采用 $f_{\text{REF}} = 104 \text{ MHz}$, $f_{\text{PFD}} = 26 \text{ MHz}$ 测量		-220.9		dBc/Hz/Hz
鉴相器频率		20	26	40	MHz
参考特性	REFIN、MUXOUT引脚				
REFIN输入频率	可用范围	9		160	MHz
REFIN输入电容			4		pF
MUXOUT输出电平	V_{OL} (选择锁定检测输出)			0.25	V
	V_{OH} (选择锁定检测输出)	2.7			V
REFOUT占空比			50		%
电荷泵					
电荷泵电流			500		μA
输出顺从电压范围		1		2.8	V
逻辑输入	CLK、DATA、LE引脚				
输入高电压 V_{INH}		1.4		3.3	V
输入低电压 V_{INL}		0		0.7	V
输入电流 $I_{\text{INH}}/I_{\text{INL}}$			0.1		μA
输入电容 C_{IN}			5		pF

参数	测试条件/注释	最小值	典型值	最大值	单位
电源	VCC1、VCC2、VCCLO、VCCBB、VCCRF引脚				
电压范围(3.3 V)	VCC1, VCC2, VCCLO	3.135	3.3	3.465	V
电压范围(5 V)	VCCBB, VCCRF	4.75	5	5.25	V
电源电流(3.3 V) (LPEN = 0)	正常Rx模式		170		mA
	Rx模式(LO缓冲器使能)		227		mA
电源电流(5 V) (LPEN = 0)	正常Rx模式		86		mA
	Rx模式(LO缓冲器使能)		86		mA
电源电流(3.3 V) (LPEN = 1)	正常Rx模式		166		mA
	Rx模式(LO缓冲器使能)		214		mA
电源电流(5 V) (LPEN = 1)	正常Rx模式		76		mA
	Rx模式(LO缓冲器使能)		76		mA
电源电流(5 V)	掉电模式		10		mA
电源电流(3.3 V)	掉电模式		15		mA

时序特性

$V_{S1}(V_{VCCBB}$ 和 $V_{VCCRF}) = 5\text{ V}$, $V_{S2}(V_{VCC1}$ 、 V_{VCC2} 和 $V_{VCCLO}) = 3.3\text{ V}$ 。

表2.

参数	在 T_{MIN} 至 T_{MAX} 时的限值	单位	测试条件/注释
t_1	20	ns(最小值)	LE建立时间
t_2	10	ns(最小值)	DATA到CLK建立时间
t_3	10	ns(最小值)	DATA到CLK保持时间
t_4	25	ns(最小值)	CLK高电平持续时间
t_5	25	ns(最小值)	CLK低电平持续时间
t_6	10	ns(最小值)	CLK到LE建立时间
t_7	20	ns(最小值)	LE脉冲宽度

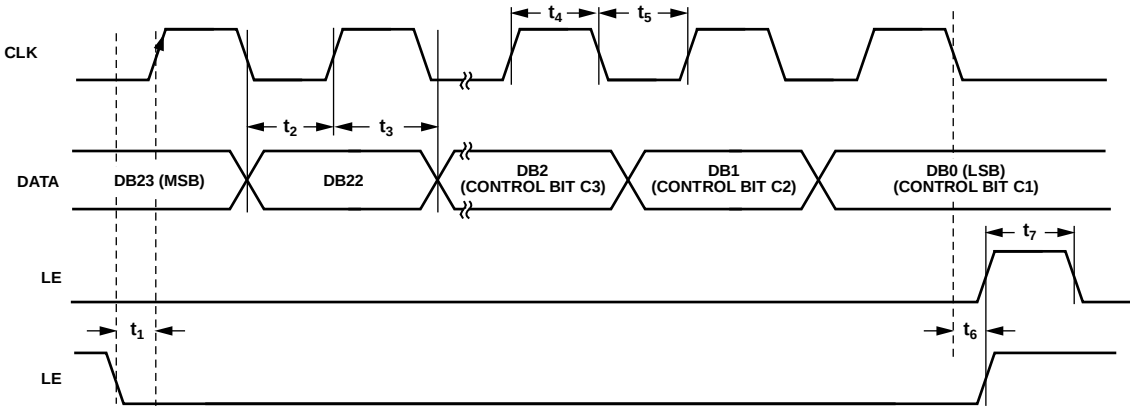


图2. 时序图

09993-002

绝对最大额定值

表3.

参数	额定值
电源电压，VCCBB和VCCRF (V_{S1})	−0.5 V至+5.5 V
电源电压，VCC1、VCC2和VCCL0 (V_{S2})	−0.5 V至+3.6 V
数字I/O，CLK、DATA和LE	−0.3 V至+3.6 V
RFIP和RFIN(所有引脚交流耦合)	13 dBm
θ_{JA} (裸露焊盘焊接到下方)	30°C/W
最高结温	150°C
工作温度范围	−40°C至+85°C
存储温度范围	−65°C至+150°C

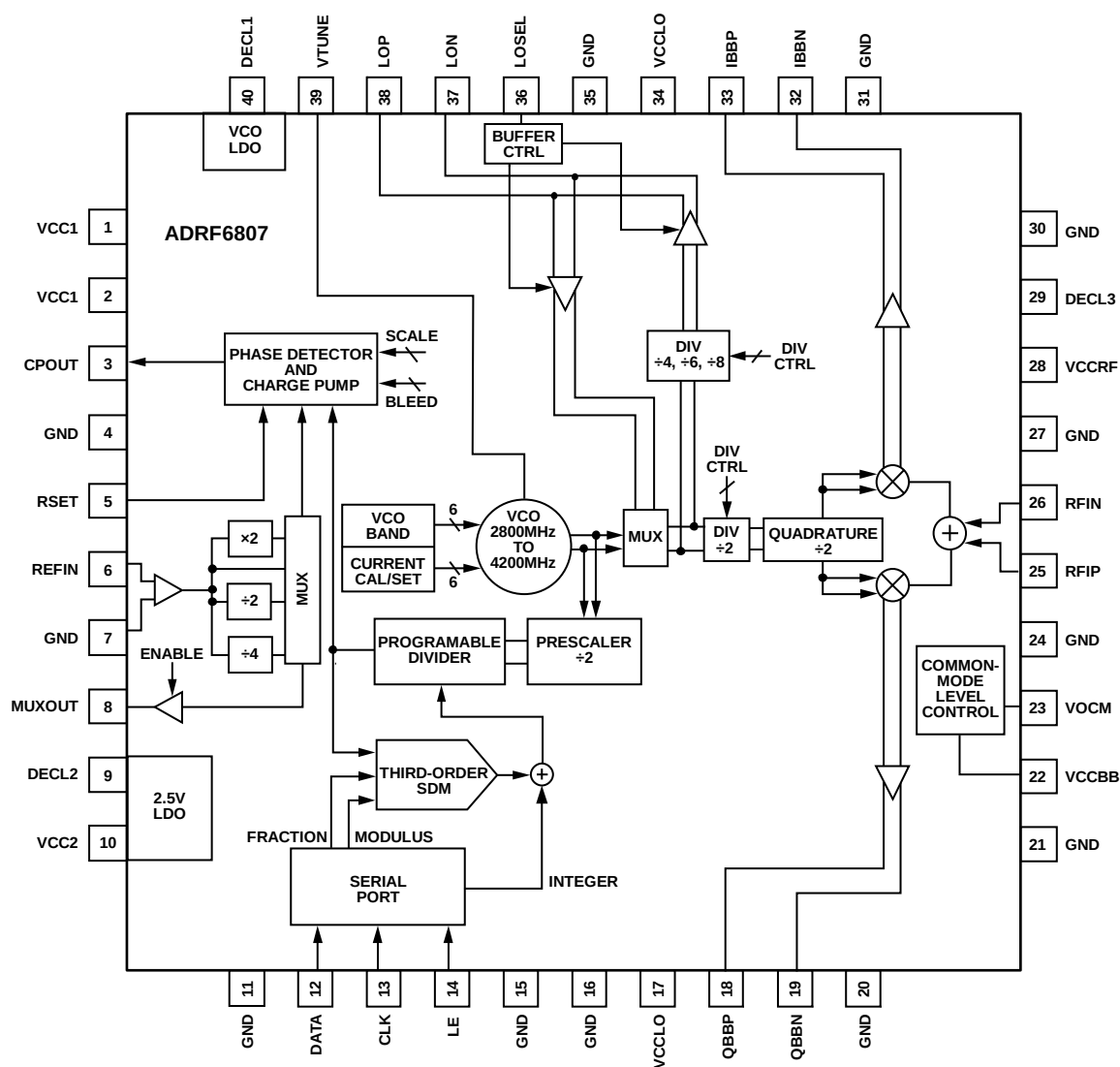
注意，超出上述绝对最大额定值可能会导致器件永久性损坏。注意，超出上述绝对最大额定值可能会导致器件永久性损坏。长期在绝对最大额定值条件下工作会影响器件的可靠性。

ESD警告



ESD(静电放电)敏感器件。
带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路，但在遇到高能量ESD时，器件可能会损坏。因此，应当采取适当的ESD防范措施，以避免器件性能下降或功能丧失。

引脚配置和功能描述



NOTES
1. THE EXPOSED PADDLE SHOULD BE SOLDERED TO A LOW IMPEDANCE GROUND PLANE.

图3. 引脚配置

09903-003

表4. 引脚功能描述

引脚编号	引脚名称	说明
1, 2	VCC1	VCO和PLL的3.3 V电源。
3	CPOUT	电荷泵输出引脚。通过环路滤波器将此引脚连接到VTUNE。
4, 7, 11, 15, 16, 20, 21, 24, 27, 30, 31, 35	GND	地。这些引脚连接到低阻抗接地层。
5	RSET	电荷泵电流。使用寄存器4的DB10和DB11并将DB18置0(内部参考电流), 可以将标称电荷泵电流设置为250 μA、500 μA、750 μA或1 mA。这种模式下不需要外部 R_{SET} 。如果DB18置1, 则可以根据下式从外部调整四个标称电荷泵电流($I_{NOMINAL}$), 计算结果单位为Ω: $R_{SET} = \left[\frac{217.4 \times I_{CP}}{I_{NOMINAL}} \right] - 37.8$

ADRF6807

引脚编号	引脚名称	说明
6	REFIN	基准电压输入。标称输入电平为1 V p-p。输入范围为9 MHz至160 MHz。
8	MUXOUT	多路复用器输出。可对此输出进行编程，以提供参考输出信号或锁定检测信号。 可通过设置相应的寄存器来选择该输出。
9	DECL2	应将一个0.1 μ F电容连接在此引脚与地之间。
10	VCC2	用于2.5 V LDO的3.3 V电源。
12	DATA	串行数据输入。串行数据以MSB优先方式加载，三个LSB用作控制位。
13	CLK	串行时钟输入。此串行时钟用来将串行数据逐个输入寄存器。 数据在CLK上升沿锁存到24位移位寄存器内。最大时钟频率为20 MHz。
14	LE	加载使能。当LE输入引脚变为高电平时，移位寄存器中存储的数据加载到6个寄存器之一， 相关的锁存器由24位字的前3个控制位选择。
17, 34	VCCLO	用于LO路径模块的3.3 V电源。
18, 19	QBBP, QBBN	解调器Q通道差分基带输出(28 Ω 差分输出阻抗)。
22	VCCBB	用于解调器模块的5 V电源。
23	VOCM	基带共模基准电压输入；标称值1.65 V。可设置IBBx和QBBx输出的直流共模电平。
25, 26	RFIP, RFIN	差分100 Ω ，内部偏置RF输入。这些引脚必须交流耦合。
28	VCCRF	用于解调器模块的5 V电源。
29	DECL3	应将一个2.2 μ F电容连接在此引脚与地之间。
32, 33	IBBN, IBBP	解调器I通道差分基带输出(28 Ω 差分输出阻抗)。
36	LOSEL	LO选择。此引脚接地可使得操作最为简便， 并可完全控制LO路径和SPI寄存器编程控制的输入/输出方向。 对于无需额外寄存器编程的控制而言， 此输入引脚可确定LOP和LON引脚作为输入还是作为输出使用。 如果LOSEL引脚设为低电平、寄存器5的LDRV位设为低电平， 并且寄存器5的LXL位设为高电平，则LOP和LON用作输入。 外部施加的LO驱动频率必须等于M $\times$ LO(其中，M对应主LO分频器设置)。 当LOSEL为高电平或寄存器5的LDRV位(DB3)设为高电平且寄存器5的LXL位(DB4)设为低电平时， LON和LOP用作输出。输出频率由寄存器7中的LO输出分频器位控制。此引脚不可浮空。
37, 38	LON, LOP	本振输入/输出(差分输出阻抗为28 Ω)。当这些引脚用作输出引脚时， 具有内部VCO的差分分频形式。当内部LO发生器禁用时， 可将外部M $\times$ LO频率信号施加于这些引脚，其中M对应于主分频器设置。
39	VTUNE	VCO控制电压输入。此引脚由环路滤波器的输出驱动。 此引脚的标称输入电压范围为1.0 V至2.8 V。
40	DECL1	在此引脚和地之间连接一个10 μ F电容，并尽量靠近器件， 因为此引脚用作VCO电源和环路滤波器的基准电压源。
	EP	裸露焊盘。应将裸露焊盘焊接到低阻抗接地层。

典型性能参数

除非另有说明, $V_{S1} = 5\text{ V}$, $V_{S2} = 3.3\text{ V}$, $T_A = 25^\circ\text{C}$, RF输入巴伦损耗去嵌入。LO = 700 MHz至1050 MHz; RF输入端采用Mini-Circuits ADTL2-18巴伦。

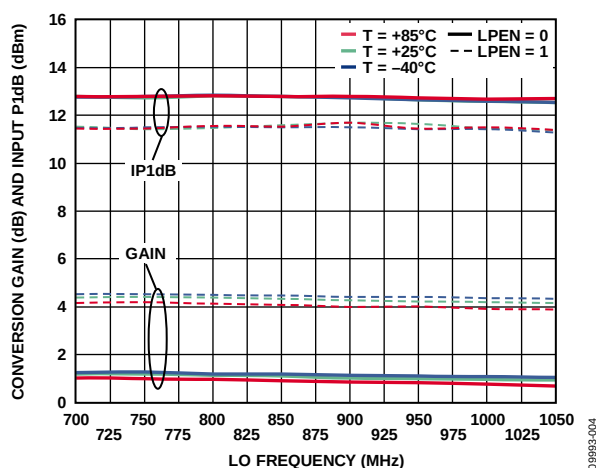


图4. 转换增益和输入P1dB与LO频率的关系

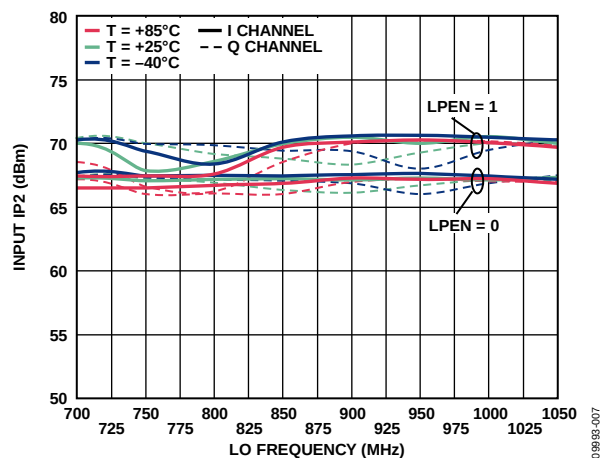


图7. 输入IP2与LO频率的关系

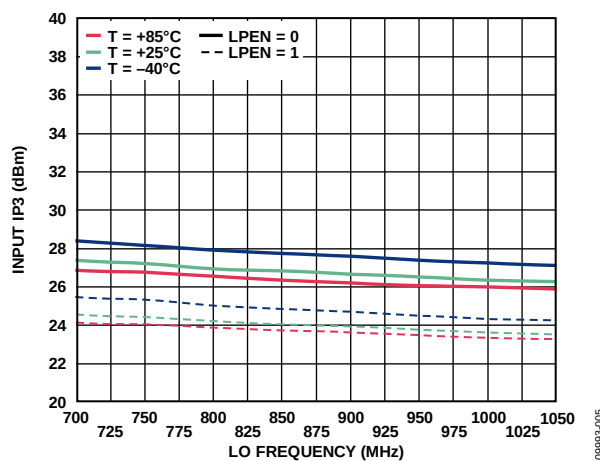


图5. 输入IP3与LO频率的关系

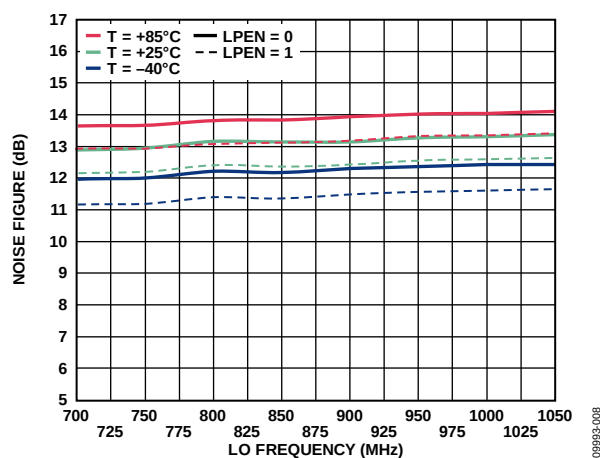


图8. 噪声系数与LO频率的关系

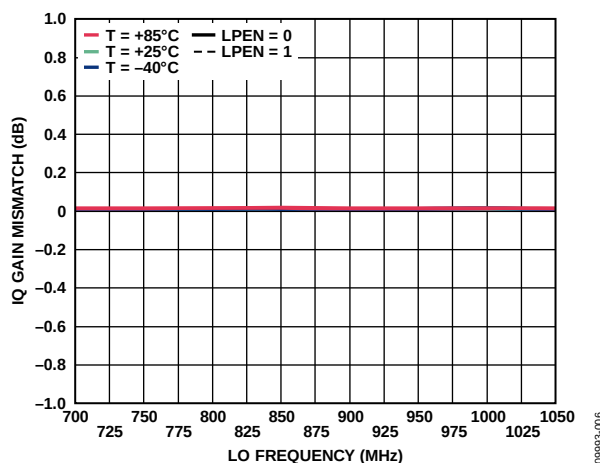


图6. IQ增益失配与LO频率的关系

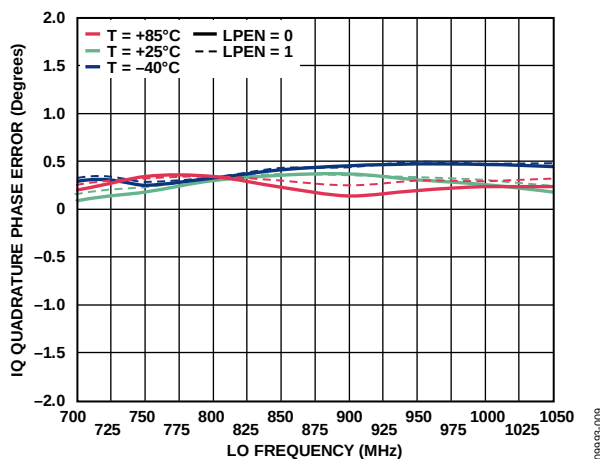


图9. IQ正交相位误差与LO频率的关系

ADRF6807

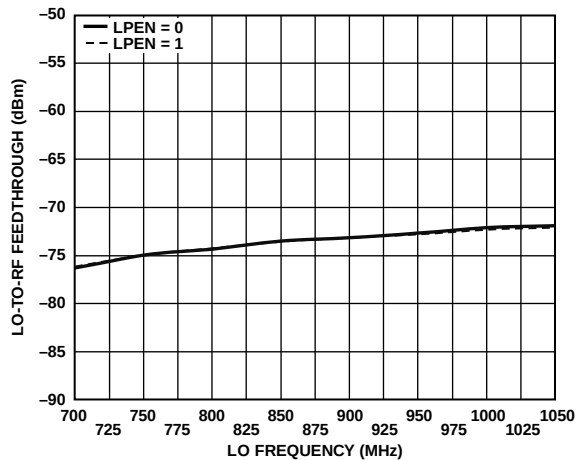


图10. LO至RF馈通与LO频率的关系(LO输出关闭)

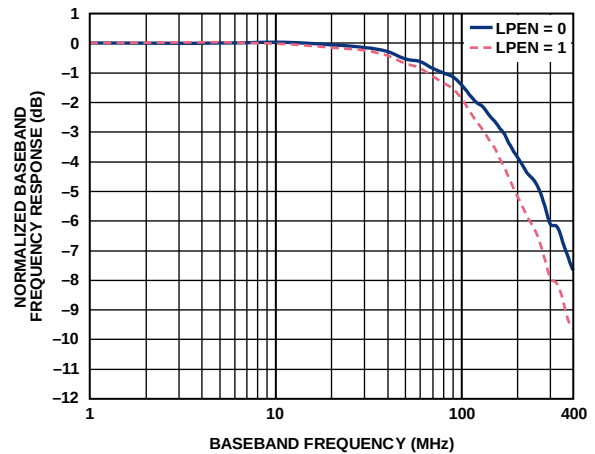


图13. 归一化BB频率响应

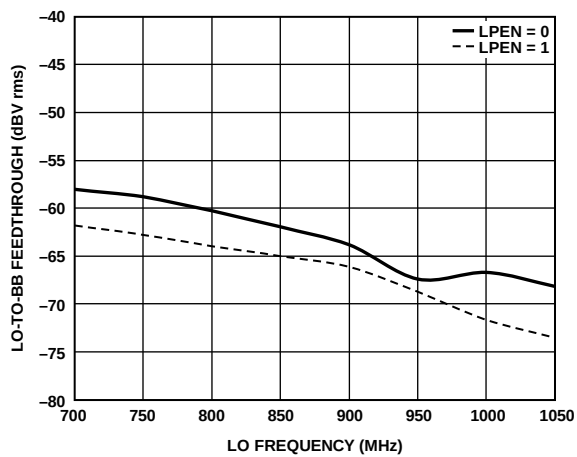


图11. LO至BB馈通与LO频率的关系(LO输出关闭)

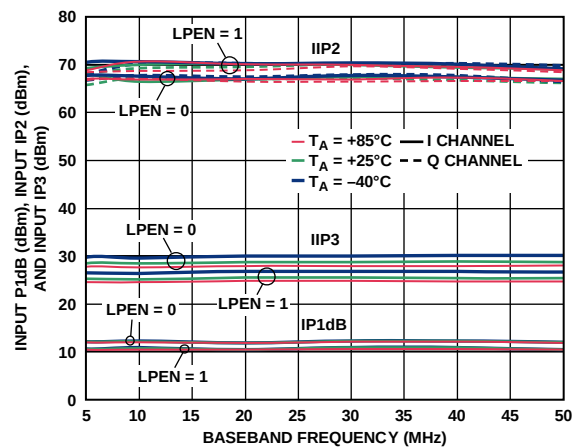


图14. 输入P1dB、输入IP2和输入IP3与BB频率的关系

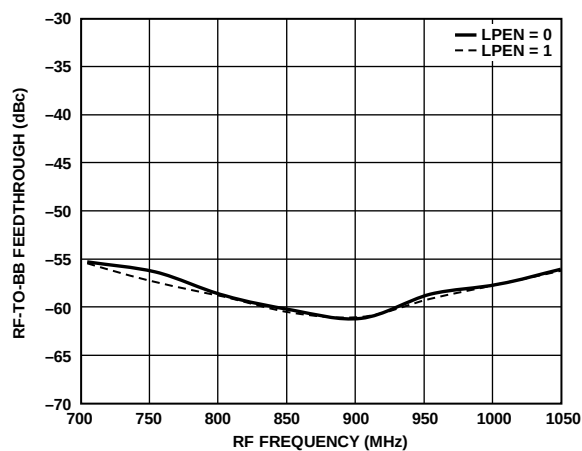


图12. RF至BB馈通与RF频率的关系

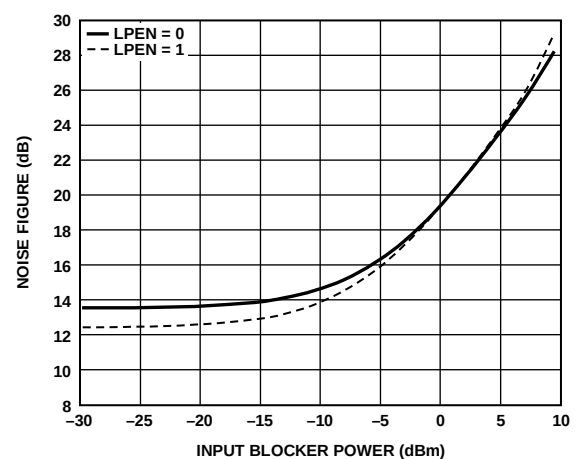


图15. 噪声系数与输入阻塞功率的关系,
 $f_{LO} = 900 \text{ MHz}$ (RF阻塞5 MHz失调)

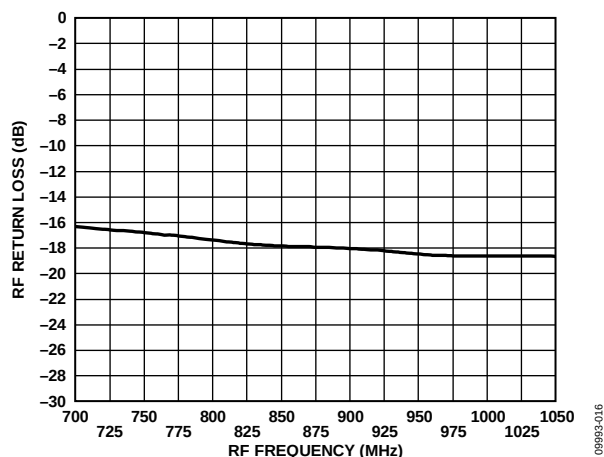


图16. RF输入回损与RF频率的关系，
通过ADTL2-18 2:1输入巴伦测量

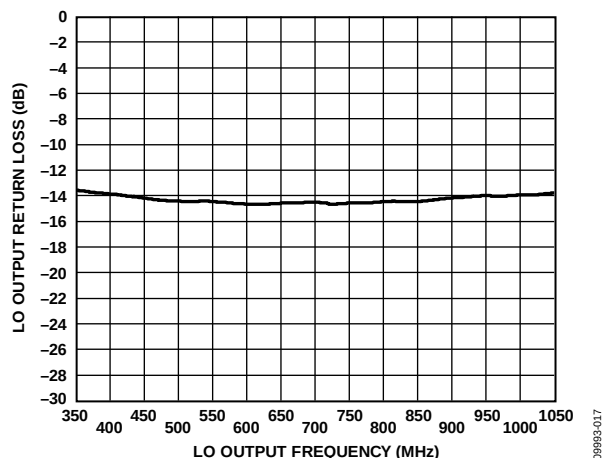


图17. LO输出回损与LO输出频率的关系，
LO输出使能(350 MHz至1050 MHz)

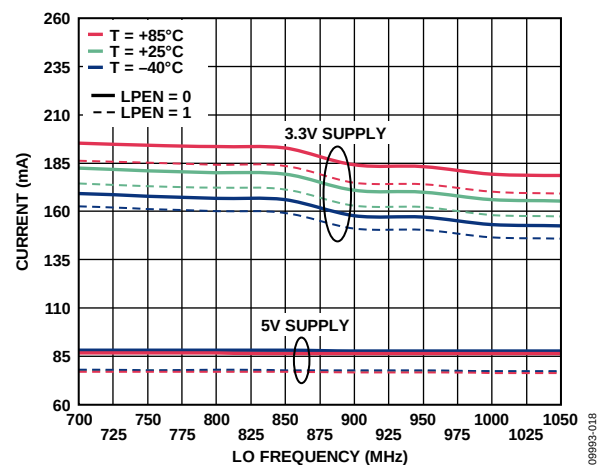


图18. 5 V和3.3 V电源电流与LO频率的关系，
LO输出禁用

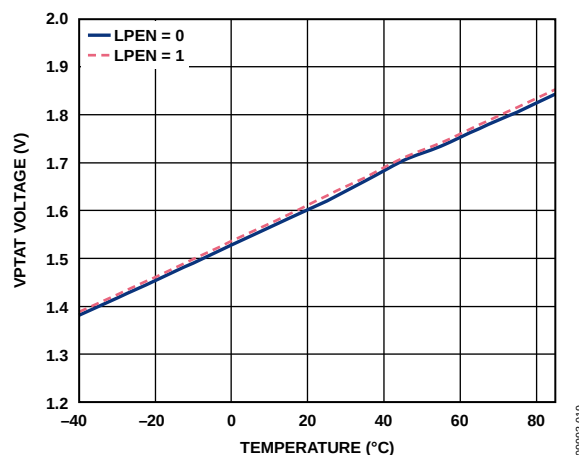


图19. VPTAT电压与温度的关系

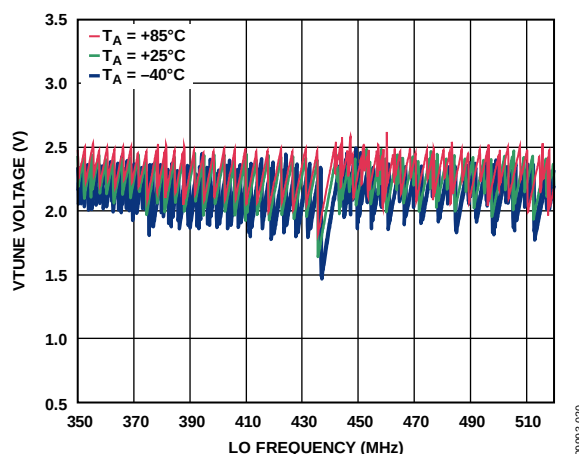


图20. VTUNE电压与LO频率的关系，使用LO输出8分频模式，
在LO输出引脚处测量

频率合成器/PLL

$V_{S1} = 5\text{ V}$, $V_{S2} = 3.3\text{ V}$, 有关使用的推荐设置参见“寄存器结构”部分。除非另有说明, 外部环路滤波器带宽约67 kHz, $f_{\text{REF}} = f_{\text{PFD}} = 26\text{ MHz}$, 在BB输出处测量, $f_{\text{BB}} = 50\text{ MHz}$ 。

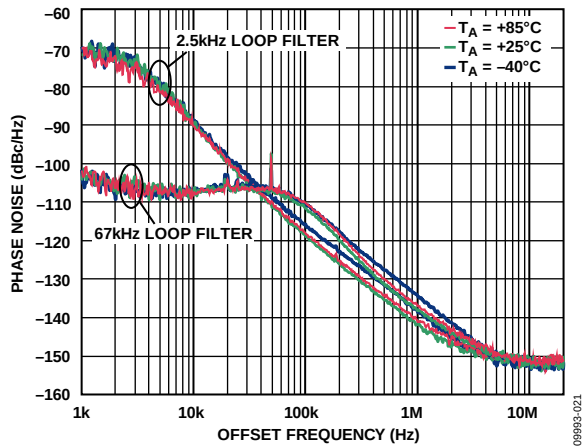


图21. 相位噪声与失调频率的关系, $f_{\text{LO}} = 900\text{ MHz}$

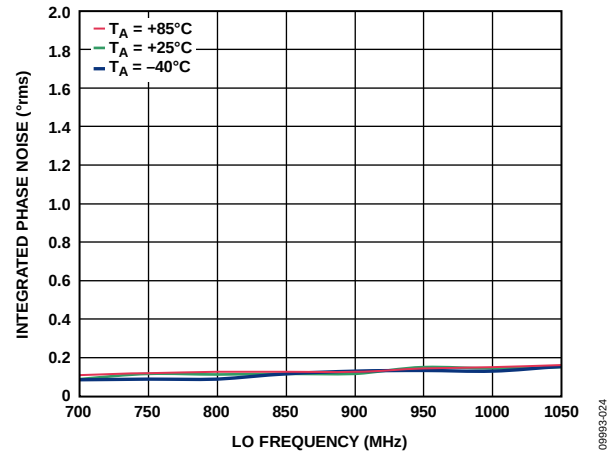


图24. 积分相位噪声与LO频率的关系(略去杂散)

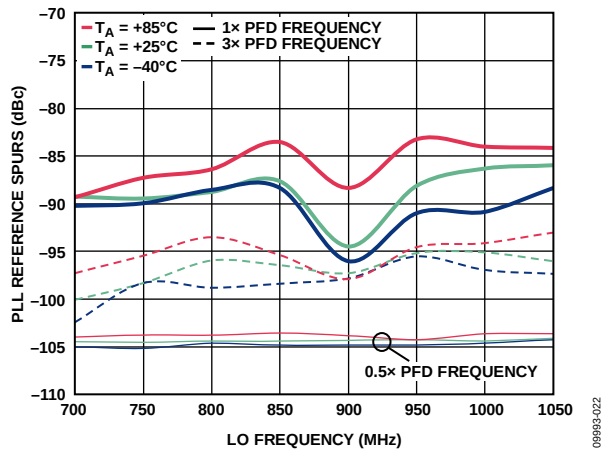


图22. PLL基准电压杂散与LO频率的关系

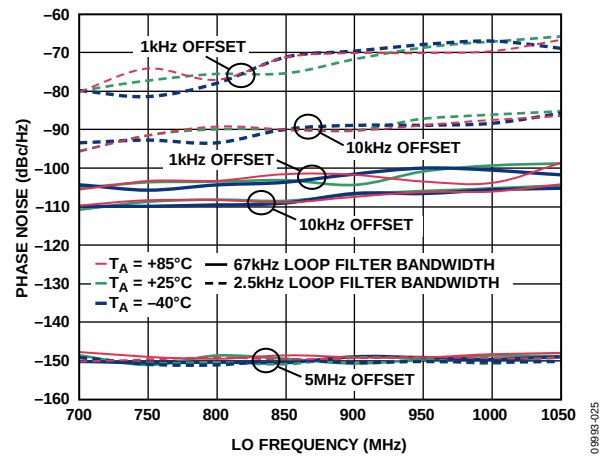


图25. 相位噪声与LO频率的关系(1 kHz、10 kHz和5 MHz失调)

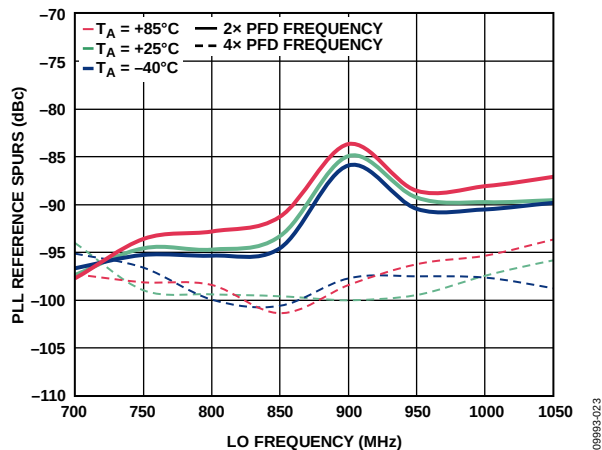


图23. PLL基准电压杂散与LO频率的关系

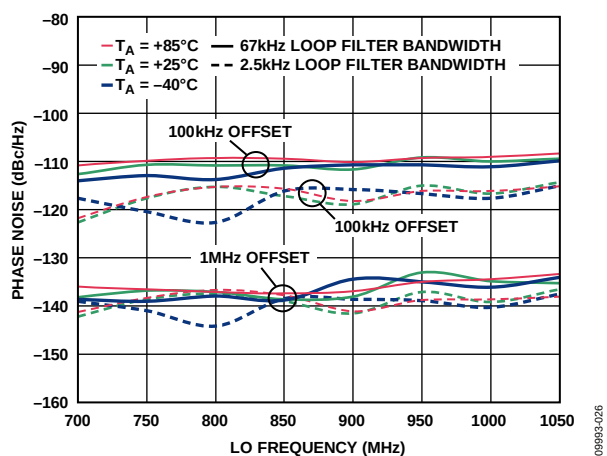


图26. 相位噪声与LO频率的关系(100 kHz和1 MHz失调)

互补累积分布函数(CCDFF)

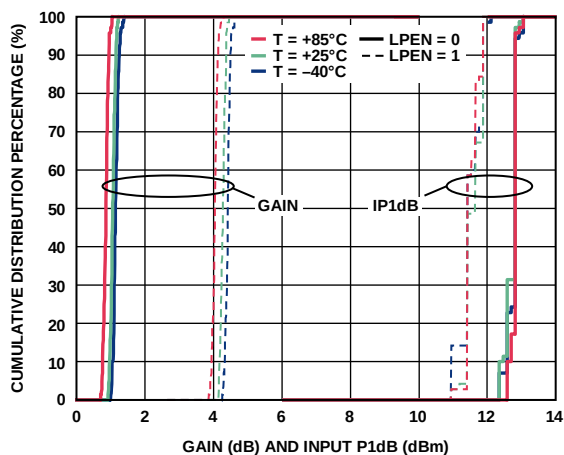
 $V_{S1} = 5\text{ V}$, $V_{S2} = 3.3\text{ V}$, $f_{LO} = 900\text{ MHz}$, $f_{BB} = 4.5\text{ MHz}$ 。


图27. 增益和输入P1dB的关系

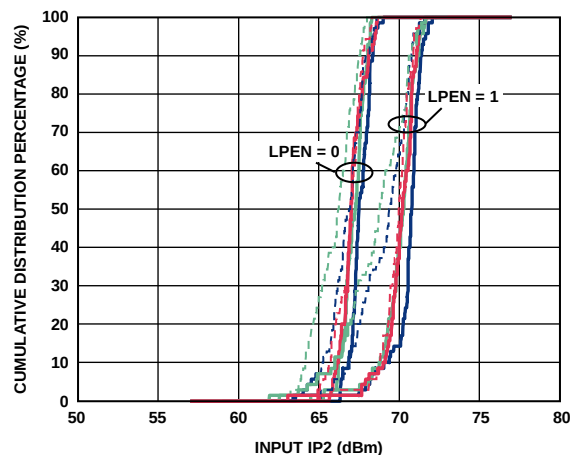


图30. 输入IP2

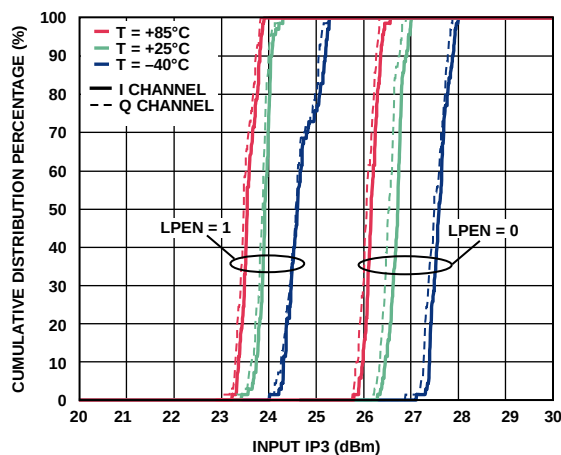


图28. 输入IP3

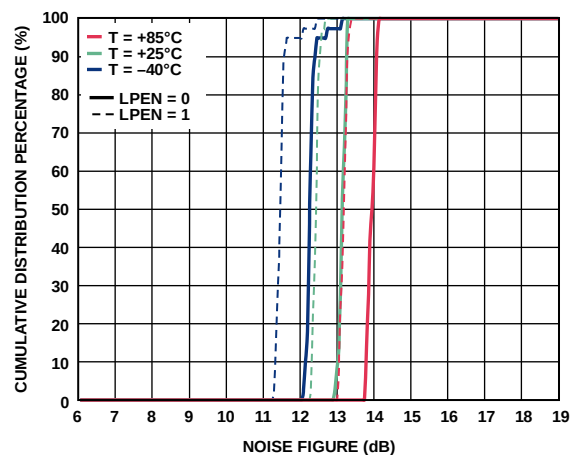


图31. 噪声系数

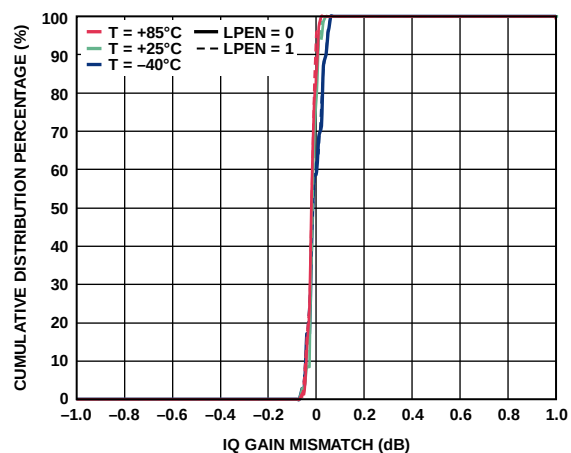


图29. IQ增益失配

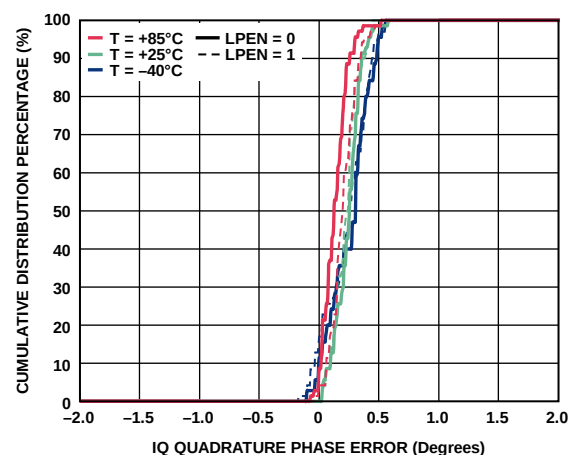


图32. IQ正交相位误差

电路描述

ADRF6807集成高性能IQ解调器与先进的小数N分频PLL。PLL还集成一个低噪声VCO。通过SPI端口，用户可以控制小数N分频PLL功能、解调器LO分频器功能和优化功能，并允许一个外部施加的LO。

ADRF6807使用了一个高性能混频器内核，实现了优异的输入IP3和输入P1dB性能、极低的输出本底噪声和出色的动态范围。

LO正交驱动

将2倍于所需混频器LO频率的信号输入一个2分频正交分相器，后接一个分别驱动I和Q混频器的限幅放大器。

V-I转换器

差分RF输入信号施加于V-I转换器，将差分输入电压转换为输出电流。V-I转换器提供100 Ω 差分输入阻抗。将器件置于低功耗模式可降低V-I偏置电流(通过设置寄存器5的DB5 = 1，设置LPEN = 1)。通常，由于LPEN = 1，输入IP3和输入P1dB会下降，但噪声系数略佳。整体而言，通过设置LPEN = 1，动态范围下降。

混频器

ADRF6807具有两个双平衡混频器：一个用于同相通道(I通道)，另一个用于正交通道(Q通道)。这些混频器基于吉尔伯特单元设计，由四个交叉连接的晶体管组成。两个混频器的输出电流在阻性负载内相加，然后馈入后继的发射极跟随器缓冲器。当器件进入低功耗模式时(LPEN = 1)，混频器内核负载电阻上升，使增益提升约3 dB；然而，正如前文“V-I转换器”部分所述，总动态范围略有下降。

发射极跟随器缓冲器

输出发射极跟随器驱动片外差分I和Q信号。输出阻抗通过片内14 Ω 串联电阻设置，后者为每个基带端口产生28 Ω 差分输出阻抗。固定输出阻抗与降低有效增益的负载阻抗一起构成分压器。例如，500 Ω 差分负载具有比高(10 k Ω)差分负载阻抗低大约0.5 dB的有效增益。

发射极跟随器输出的共模直流输出电平由施加到VOCM引脚的电压设置。VOCM引脚必须采用电压驱动(通常为1.65 V)，发射极跟随器缓冲器才能工作。若VOCM引脚处于开路状态，发射极跟随器输出无法正确偏置。

偏置电路

ADRF6807集成数个带隙基准电压电路和两个低压差稳压器(LDO)，可产生用于不同部分的基准电流和电压。其中一个LDO是2.5V_LDO，该LDO始终处于激活状态，并提供用于内部数字逻辑模块的2.5 V供电轨。2.5 V_LDO与DECL2引脚(引脚9)相连，为用户提供外部去耦。另一个LDO是VCO_LDO，用作内部VCO的正供电轨。VCO_LDO与DECL1引脚(引脚40)相连，为用户提供外部去耦。可通过设置寄存器6的DB18 = 0，将VCO_LDO关断，允许用户在不使用VCO时降低功耗。此外，可使器件进入低功耗模式(设置寄存器5的DB5 = 1，从而设置LPEN = 1)，从而降低输入混频器V-I级(驱动混频器内核)的偏置电流。

寄存器结构

利用可编程7个内部寄存器的3线式SPI控制接口，**ADRF6807**提供针对许多编程特性的访问。最低延迟和保持时间参见时序图(图2)。SPI提供内部PLL/VCO的数字控制，以及了解调器内核、片内基准电压源和可用系统监控功能有关的其他多种特性。MUXOUT引脚提供方便的单引脚监控输出信号，可用于输出PLL锁定检测信号，或输出与本地结温成比例的内部电压。

请注意，在给定频率条件下对**ADRF6807**进行初始化时，必须运行用于PLL的内部校准。每次对寄存器0、寄存器1或寄存器2进行编程时，都会自动运行该校准。由于其他寄存器会影响PLL性能，因此寄存器0、寄存器1和寄存器2应始终放在最后编程。为便于使用，建议从寄存器7开始编程，然后以降序逐个对寄存器编程，直至寄存器0。一旦完成PLL和其他设置的编程，用户便可通过按需编程寄存器0、寄存器1或寄存器2，方便地更改PLL频率。

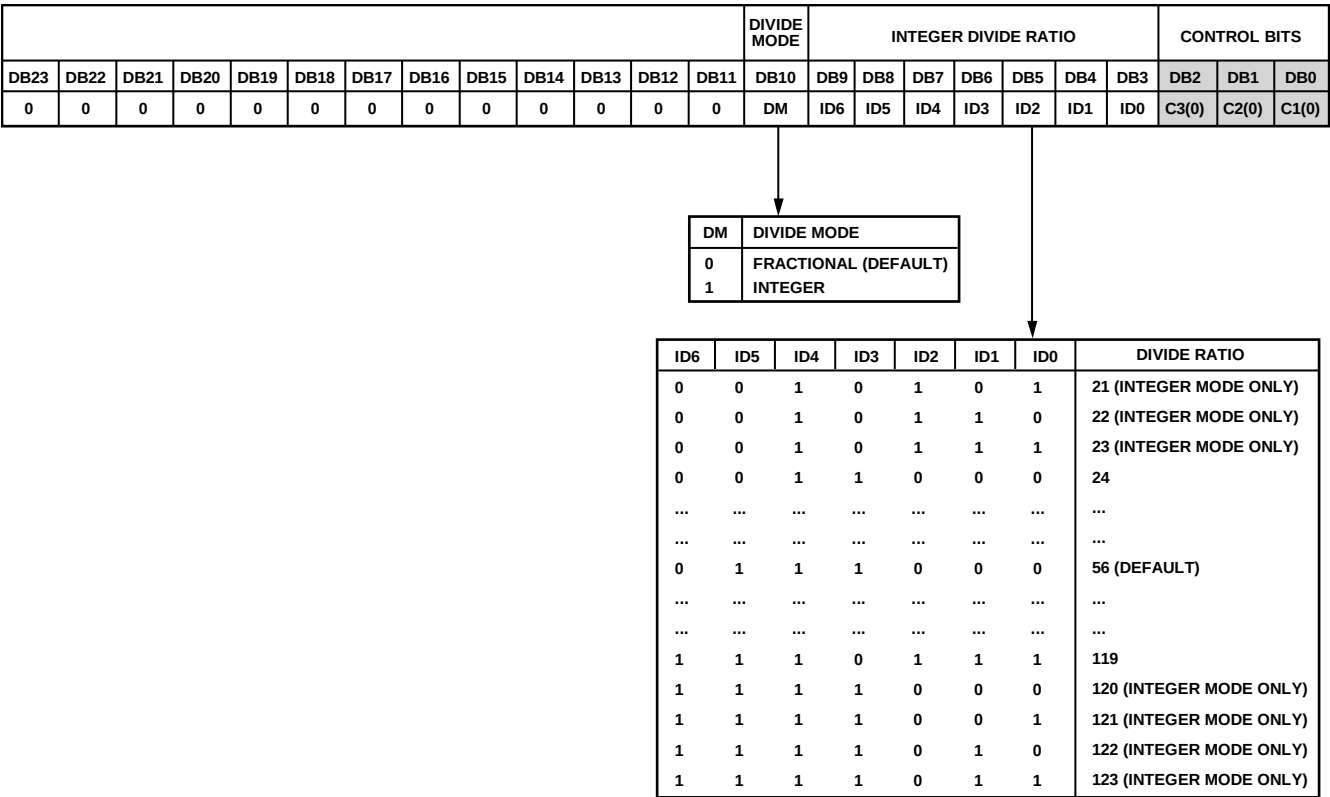


图33. 整数分频控制寄存器(R0)

09993-031

寄存器0—整数分频控制

R0[2:0]设置为000时，片内整数分频控制寄存器的编程方式如图33所示。内部VCO频率(f_{VCO})计算公式为：

$$f_{VCO} = f_{PFD} \times (INT + (FRAC/MOD)) \times 2 \tag{1}$$

其中：

- f_{VCO} 是内部VCO的输出频率。
- INT是预设的整数分频比值(整数模式下为21到123，小数模式下为24到119)。
- FRAC是预设的小数分频比值(0至MOD - 1)。
- MOD是预设的小数模数(1至2047)。

整数分频比用于设置公式1中的INT值。利用INT、FRAC和MOD的值，可以产生间隔为PFD频率的分数的输出频率。
请注意，解调器LO频率由 $f_{LO} = f_{VCO}/M$ 决定，其中，M为编程后的LO主分频器值(见表5)。

分频模式

分频模式决定使用小数模式还是整数模式。在整数模式下，VCO输出频率(f_{VCO})通过下式进行计算：

$$f_{VCO} = f_{PFD} \times (INT) \times 2 \tag{2}$$

寄存器1—模数分频控制

R1[2:0]设置为001时，片内模数分频控制寄存器的编程方式如图34所示。模数值是预设的小数模数，范围为1至2047。

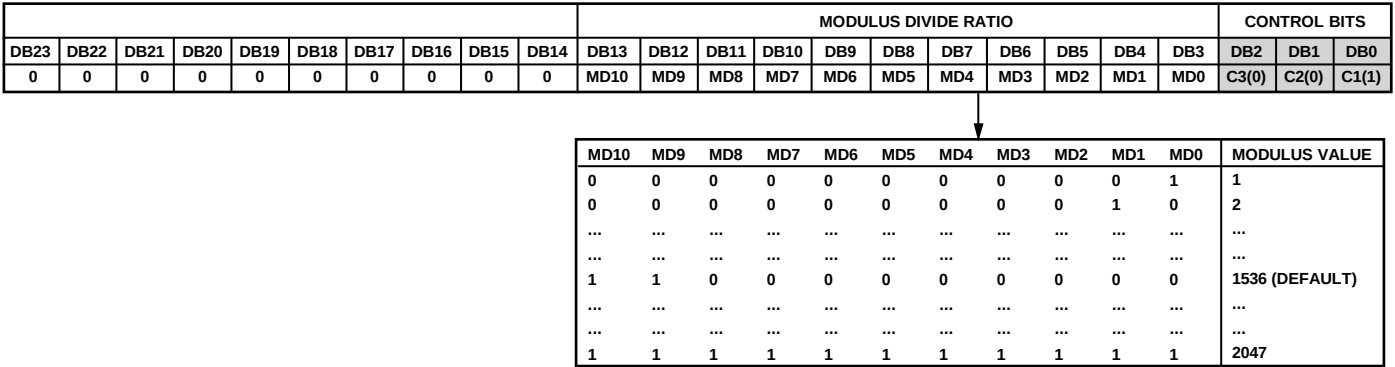


图34. 模数分频控制寄存器(R1)

寄存器2—小数分频控制

R2[2:0]设置为010时，片内小数分频控制寄存器的编程方式如图35所示。FRAC值是预设的小数模数，范围为0至MOD - 1。

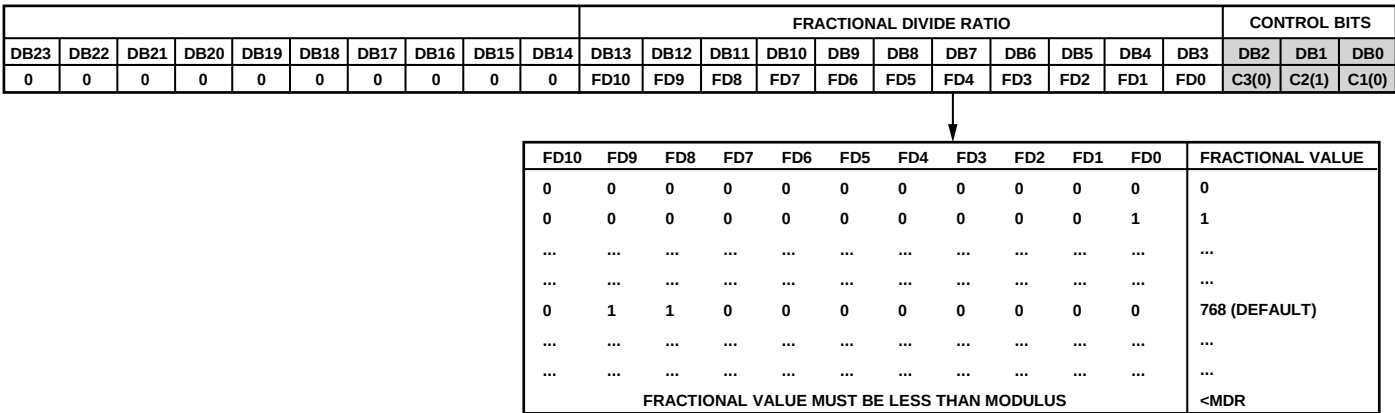


图35. 小数分频控制寄存器(R2)

寄存器3—Σ-Δ型调制器扰动控制

R3[2:0]设置为011时，片内Σ-Δ型调制器扰动控制寄存器的编程方式如图36所示。扰动重启值可以在0至217范围内设置，通常情况下的推荐值为1。

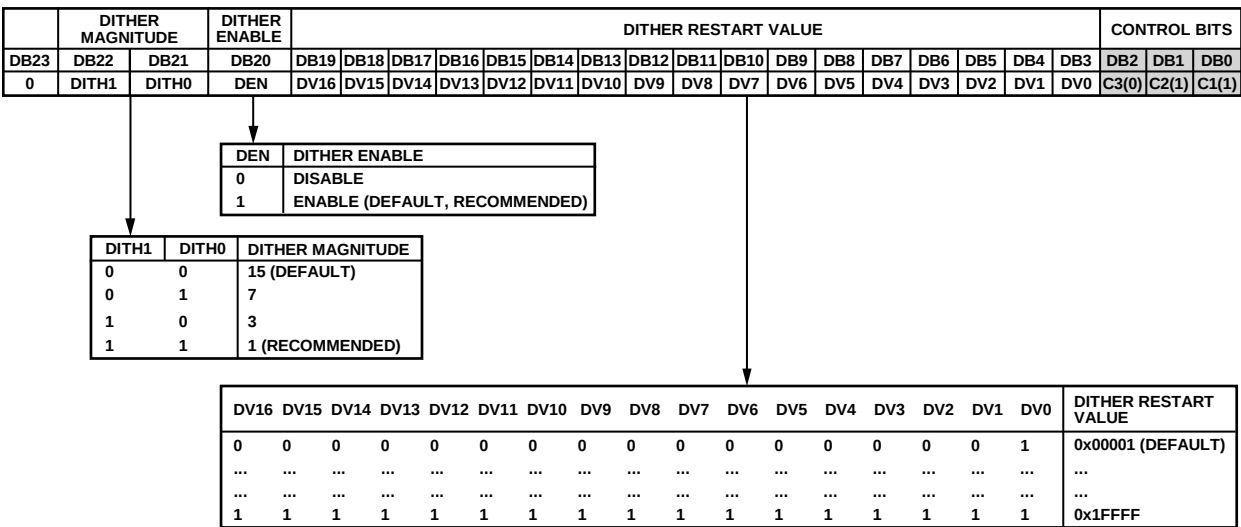


图36. Σ-Δ型调制器扰动控制寄存器(R3)

寄存器4—电荷泵、PFD和参考路径控制

R4[2:0]设置为100时，片内电荷泵、PFD和参考路径控制寄存器的编程方式如图37所示。

电荷泵电流由电荷泵基本电流($I_{CP,BASE}$)和电荷泵电流乘法器($I_{CP,MULT}$)控制。

电荷泵基本电流可通过内部或外部电阻设置(根据寄存器4的DB18)。使用外部电阻时， $I_{CP,BASE}$ 值可根据下式变动：

$$R_{SET} [\Omega] = \left[\frac{217.4 \times I_{CP,BASE}}{250} \right] - 37.8$$

实际电荷泵电流可设置为电荷泵基本电流的倍数(1、2、3或4倍)。倍数($I_{CP,MULT}$)等于1加上寄存器4中DB11和DB10位的值。

PFD相位偏移倍数($\theta_{PFD,OFS}$)由寄存器4的位DB16至位DB12设置，它会导致PLL锁定PFD参考信号与分频VCO信号之间的标称固定相位偏移。该相位偏移用于使PFD-CP传递函

数线性化，并且能改善小数杂散性能。相位偏移的幅度由下式确定：

$$|\Delta\Phi| [\text{deg}] = 22.5 \frac{\theta_{PFD,OFS}}{I_{CP,MULT}}$$

最后，该相位偏移可以是正值，也可以是负值，具体取决于寄存器4中DB17的值。

施加于PFD的参考频率可以利用内部参考路径源来调整。所施加的外部参考频率可以内部缩放2倍、1倍、0.5倍、或0.25倍，这就使得参考频率的选择范围更广，同时施加于PFD的参考频率仍然在可接受的范围以内。

ADRF6807还有一个MUXOUT引脚，可以设置它输出多个内部信号中的一个。默认模式是提供锁定检测输出，以便用户能够确认PLL何时锁定目标频率。此外还可以让多个其他内部信号路由至MUXOUT引脚，如图37所示。

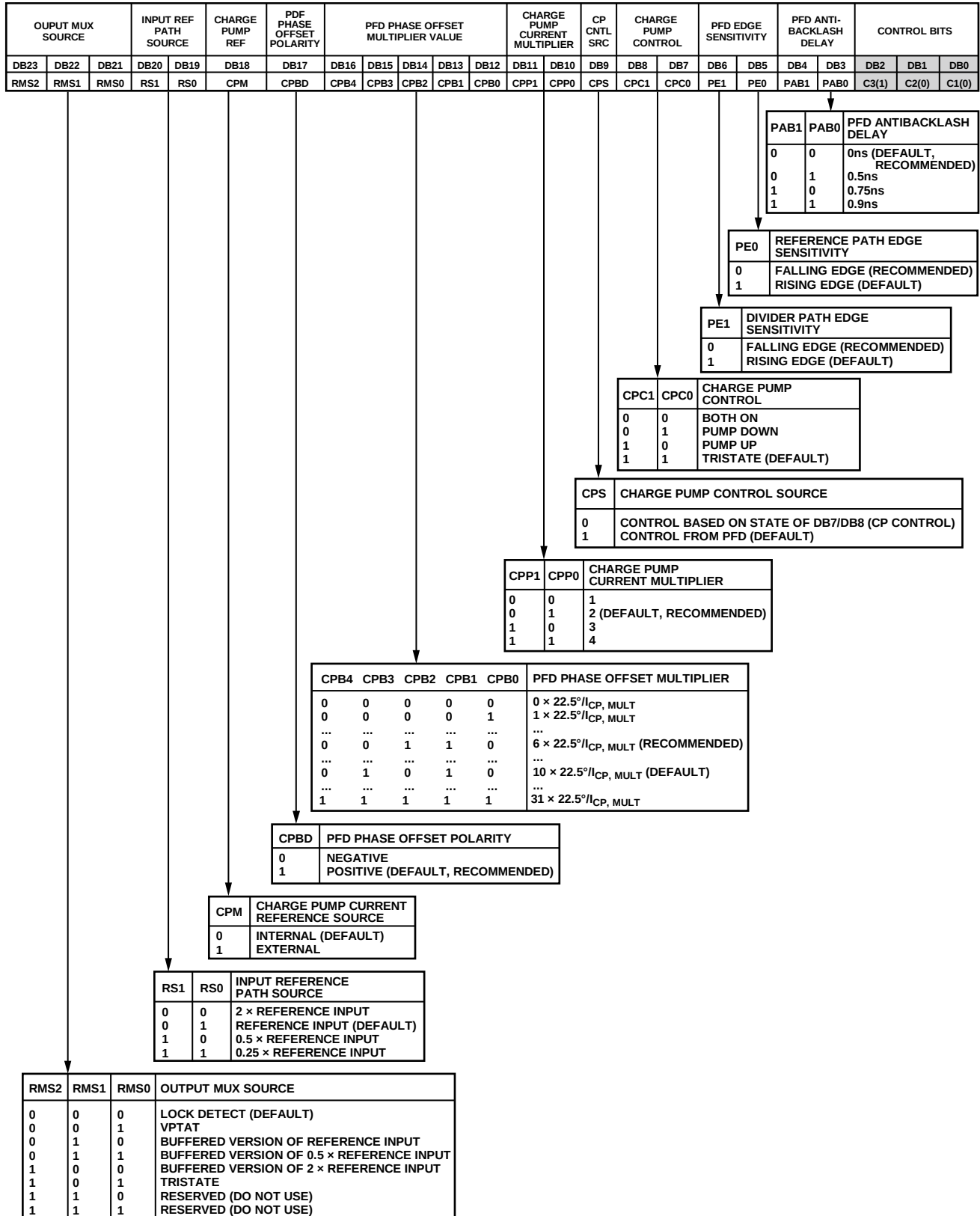


图37. 电荷泵、PFD和参考路径控制寄存器(R4)

寄存器5—LO路径和解调器控制

R5[DB5] = 1时，ADRF6807处于低功耗工作模式下。器件在此低功耗模式下依然可工作，但混频器性能发生改变(有关详细的性能差别参见“典型性能参数”部分)。设置R5[DB5] = 0能使ADRF6807混频器级运行在较高的电流下，从而获得较高的IIP3。

寄存器5还可控制LOIP和LOIN引脚用作输入或是输出，以及输出驱动器是否使能，详见图38。

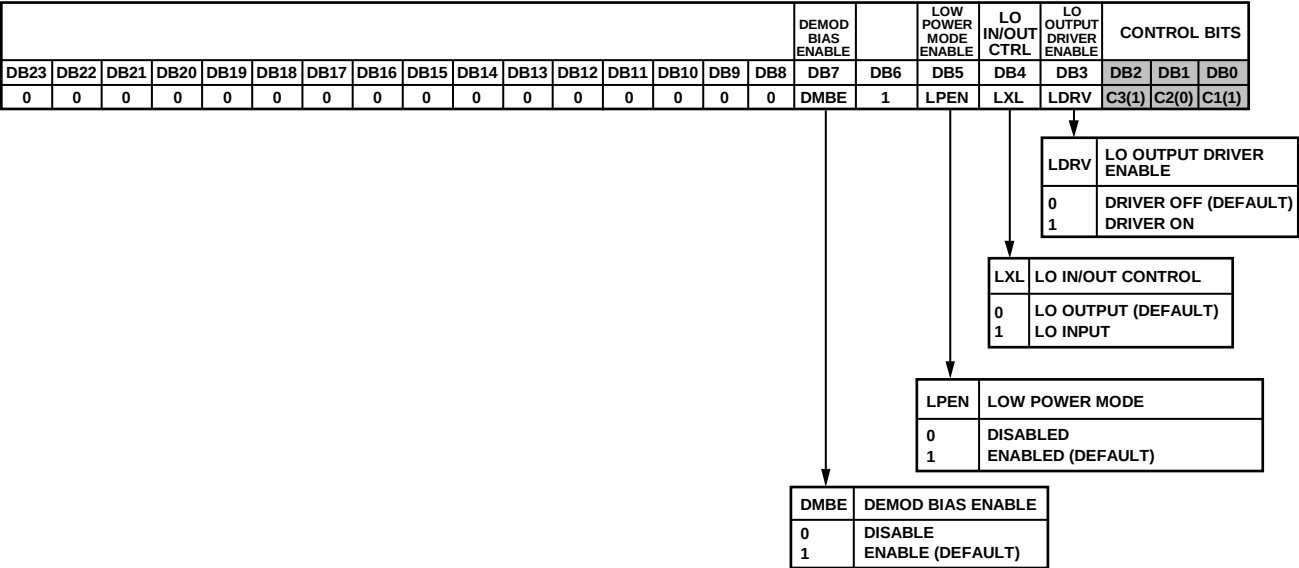


图38. LO路径和解调器控制寄存器(R5)

09993-036

寄存器6—VCO控制和使能

R6[2:0]设置为110时，VCO控制和使能寄存器的编程方式如图39所示。

通常基于内部BANDCAL校准进行VCO频段选择；然而，也可使用寄存器6直接选择VCO频段。VCO BS SRC决定是否通过BANDCAL校准确定最优VCO调谐频段，或者是否使用外部SPI接口，基于VCO频段选择值选择VCO调谐频段。

VCO幅度可以通过寄存器6进行控制。VCO幅度设置可控制在整数0和31之间，默认值为24。

内部VCO可以通过寄存器6予以禁用。若有外部干净的3.0 V电源，则可禁用内部VCO LDO。

内部电荷泵可以通过寄存器6予以禁用。通常电荷泵使能。

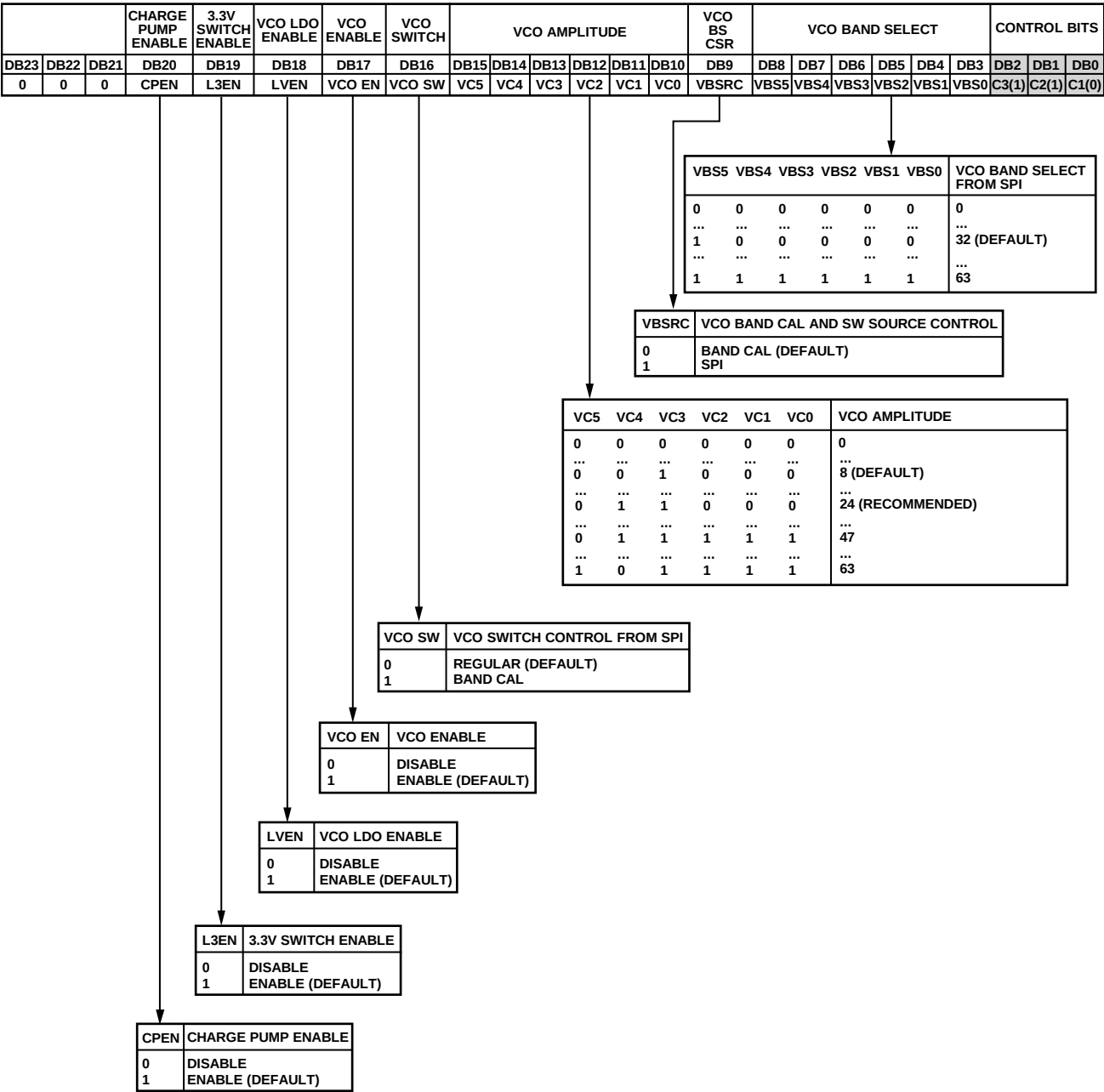


图39. VCO控制和使能(R6)

09993-037

寄存器7—LO分频器控制

寄存器7控制LO路径的主分频器设置以及LO输出路径的分频器设置。表5列出了如何编程该寄存器以得到指定分频器模式的方法。

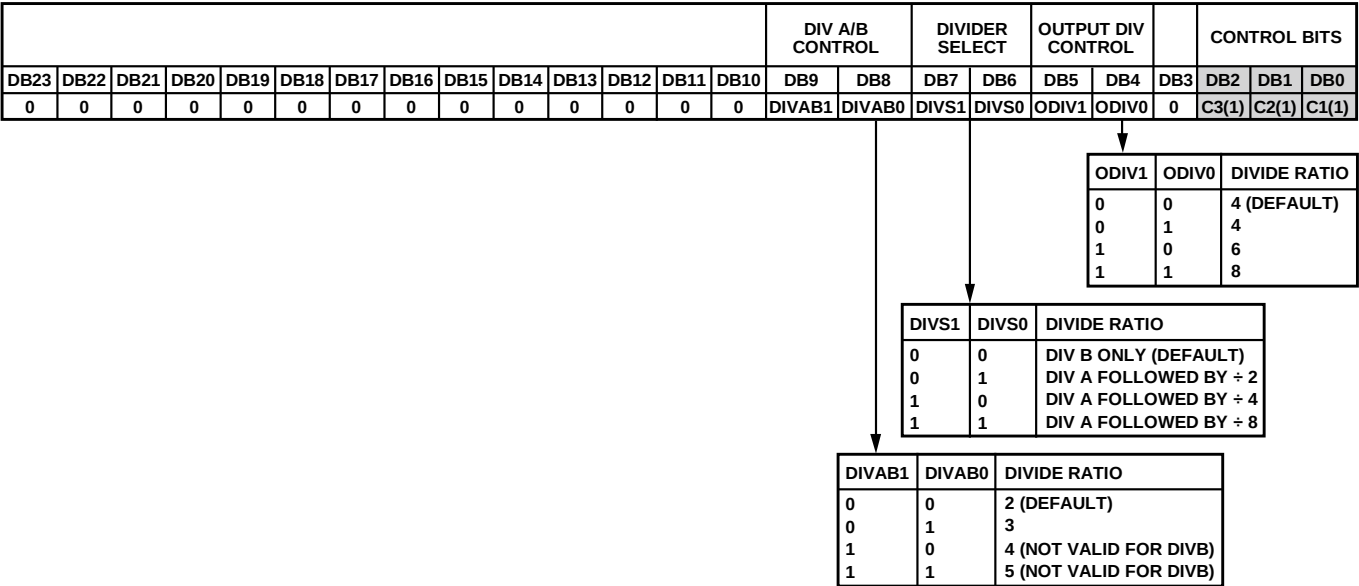


图40. LO分频器控制寄存器(R7)

09963-038

LO分频器编程

表5. 主分频器(仅保证分频比和特定组合)

f _{LO} (MHz)	LO分频比	f _{VCO} (MHz)	分频器级联			寄存器7, DB[9:6]
			2分频至5分频	2分频、4分频或8分频	正交2分频	
700至1050	4	2800至4200	2	未使用	2	00 00

表6. 输出分频器

f _{LO} 输出(MHz)	输出分频比	f _{VCO} (MHz)	寄存器7, DB[5:4]
350至525	8	2800至4200	11
466.67至700	6	2800至4200	10
700至1050	4	2800至4200	01

编程示例

例如，内部LO频率 = 700 MHz。可通过2800 MHz的VCO/PLL频率和数值为4的LO分频比实现该频率。采用数值为8的输出分频比，即可得到350 MHz的输出频率。为了实现这一组合，应将寄存器7的DB[9:4]设置为二进制代码00 00 11。

应用信息

基本连接

ADRF6807应用的典型基本电路连接如图41所示。

电源连接

ADRF6807具有数个电源连接和板载稳压基准电压，应使用低电感旁路电容将它们旁路至地，旁路电容位于极为靠近ADRF6807电源和参考引脚的位置。具体而言，应使用独立的旁路电容，将引脚1、引脚2、引脚9、引脚10、引脚17、引脚22、引脚23、引脚28、引脚29、引脚34和引脚40旁路至地。引脚40是板载VCO LDO的去耦引脚；若要获得最佳的相位噪声性能，应使用范围从100 pF至10 μ F的旁路电容，它们有助于改善相位噪声性能。更多有关旁路电源节点的详细信息，请参考图43中的评估板原理图。

频率合成器连接

ADRF6807集成板载VCO和PLL，用于LO频率合成。必须施加一个外部基准电压，PLL才可工作。必须通过交流耦合电容，将1 V p-p的标称外部基准电压施加于引脚6。基准电压与VCO输出频率的内部分频部分进行比较，建立电荷泵误差电流，控制并锁定VCO。电荷泵输出电流经外部环路滤波器过滤并转换为控制电压，施加于VTUNE引脚(引脚39)。ADIsimPLL™是设计外部电荷泵环路滤波器时非常有用的工具。设计环路滤波器时，应考虑VCO的典型K_v、电荷泵输出电流幅度和PFD频率。可内部设置电荷泵电流幅度，或者通过连接引脚5和地的外部RSET电阻设置，连同内部数字设置一起施加于PLL(更多详情请参见“寄存器4——电荷泵、PFD和参考路径控制”部分)。

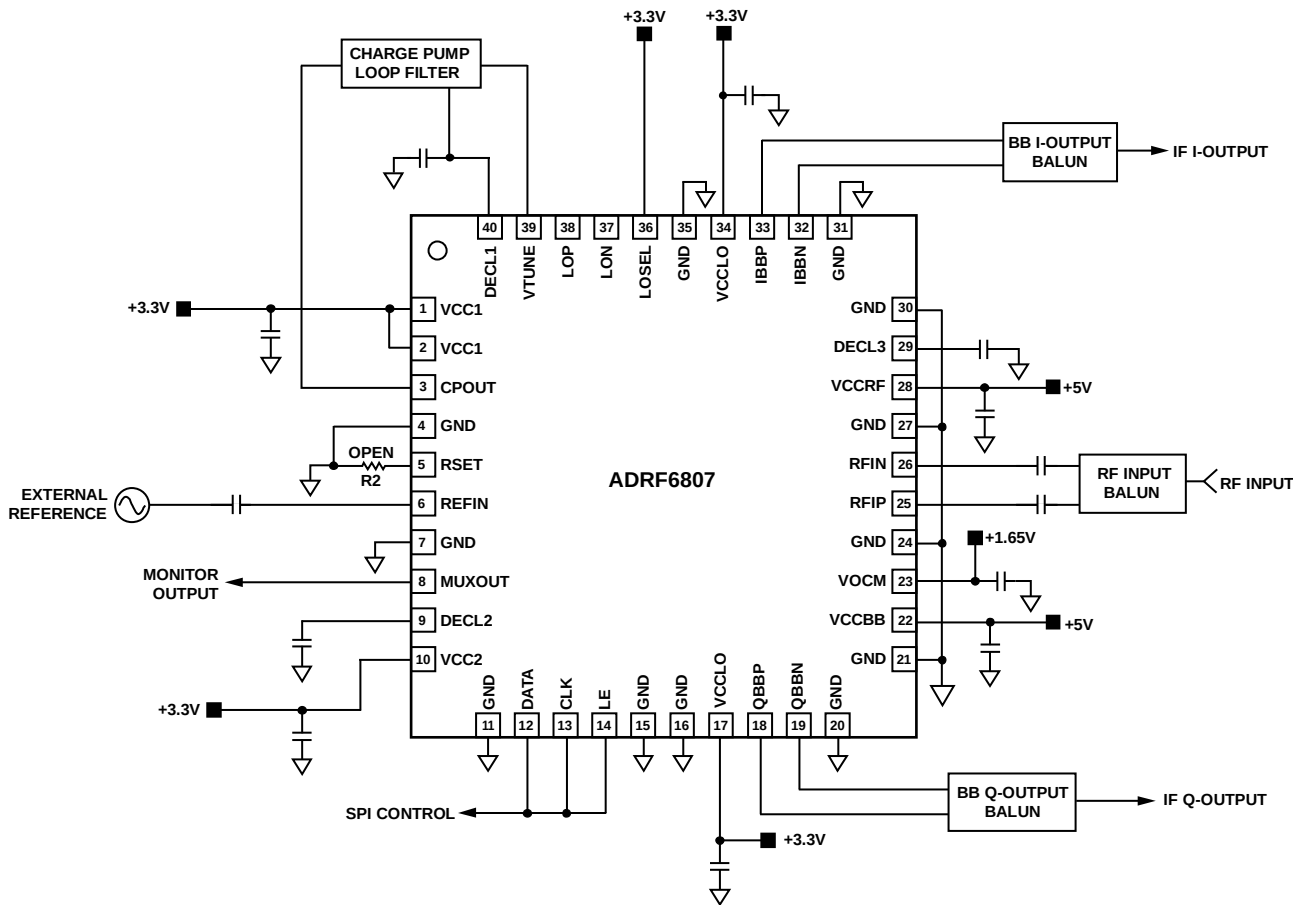


图41. 基本连接

09953-039

I/Q输出连接

ADRF6807提供I和Q基带输出。每个输出级都含有发射极跟随器输出晶体管，具有28 Ω低差分阻抗，可提供高达12 mA p-p的差分源电流。Mini-Circuits TCM9-1+巴伦用于将50 Ω单端负载阻抗转换为450 Ω标称差分阻抗。

RF输入连接

ADRF6807使用2:1阻抗比的Mini-Circuits ADTL2-18+巴伦，将50 Ω单端阻抗转换为100 Ω差分阻抗。在工作频率处耦合较小阻抗的电容(阻抗小于100 Ω)可隔离RF输入级的直流偏置点。

电荷泵/VTUNE连接

ADRF6807使用环路滤波器建立内部VCO的VTUNE电压。最简单的环路滤波器形式是集成式电容。它可将来自CPOUT引脚的电流模式误差信号转换为电压信号，以便通过VTUNE电压控制VCO。评估板上预装的滤波器带宽为67 kHz。环路滤波器包含5个元件，其中3个是电容，2个是电阻。改变这些元件的值会改变环路滤波器的带宽。

LO选择接口

ADRF6807提供两种选项：监控一部分内部产生的LO(3.3 V时LOSEL引脚驱动至高电平)，或提供外部LO源(LOSEL引脚驱动至地电平，寄存器5中的LDRV位设为低电平，并且寄存器5中的LXL位设为高电平)。详情参见“引脚配置和功能描述”部分。

外部LO接口

ADRF6807提供针对LO使用外部信号源的选项，用于IQ解调混频器内核。重要的是要注意施加的LO信号在实际IQ解调混频器内核之前即通过分频器进行分频(可编程为4至80之间的数值)。分频器由LO路径上的寄存器设置和混频器控制寄存器确定(参见“寄存器5——LO路径和解调器控制”部分)。LO输入引脚(引脚37和引脚38)具有宽带50 Ω差分输入阻抗。LOP和LON输入引脚必须交流耦合，可通过评估板上的1:1阻抗比Mini-Circuits TC1-1-13+巴伦实现。不使用时，可断开LOP和LON引脚。

设置PLL频率

VCO/PLL的频率一旦锁定，即取决于PLL寄存器设置值，如下式所示：

$$f_{PLL} = f_{PFD} \times 2 \times (INT + FRAC/MOD)$$

其中：

f_{PLL} 表示环路锁定时VCO的频率。

f_{PFD} 表示相位频率检波器输入端的频率。

INT表示寄存器0编程设置的整数分频比。

FRAC表示寄存器2编程设置的小数数值。

MOD表示寄存器1编程设置的模数分频比。

基准输入频率的实际下限由所需的 f_{PLL} 和最大可编程整数分频比119以及基准输入频率乘以2的组合共同决定。对于4200 MHz的最大 f_{PLL} ，有：

$$f_{REF} > \sim f_{PLL} / (f_{PFD} \times 2 \times 2), \text{ or } 8.8 \text{ MHz}$$

锁定检测信号作为可选输出之一，通过MUXOUT引脚提供，逻辑高电平表示环路已锁定。

寄存器编程

由于寄存器6控制VCO和电荷泵的上电，因此必须在编程PLL频率前对其进行编程(寄存器0、寄存器1和寄存器2)。

应从最高的寄存器(寄存器7)开始，逐个对寄存器编程，直至寄存器0。当寄存器0、寄存器1或寄存器2完成编程后，便开始进行内部VCO校准，并且必须在设置其他寄存器时执行。因此，顺序必须是：寄存器7、寄存器6、寄存器5、寄存器4、寄存器3、寄存器2、寄存器1，最后寄存器0。无论何时写入寄存器0、寄存器1或寄存器2，它都将开始执行VCO校准(甚至这些寄存器中的数值无变化)。器件上电且针对所需工作模式配置寄存器后，只需编程寄存器0、寄存器1或寄存器2即可改变LO频率。

若没有寄存器改变其默认值，则无需编程。

EVM测量

EVM是数字无线发射机或接收机的性能量化指标。接收机接收到的信号允许所有星座点位于各自的理想位置。但实现过程中的各种缺陷(例如:幅度不平衡、本底噪声和相位不平衡等)可导致实际星座点偏离其理想位置。

通常,一个解调器可体现三种不同的EVM限制与接收到的输入信号功率的关系。随着信号功率的上升,失真项也随之上升。在最高的信号电平下,由于器件的谐波非线性而产生的失真项将落入带内,EVM随着信号电平上升而下降。在中等信号强度的条件下,解调器具有线性特性且所需信号明显多于噪声;这时,EVM易于达到由解调器正交精度和I/Q增益匹配或测试设备精度决定的最佳水平。当信号的电平降至一定程度,信号中噪声占较大比例时,随着信号电平的降低,EVM性能也随之下降。当信号的电平较低时,噪声将成为主要影响因素;这时,EVM直接与SNR成正比。

测试ADRF6807 EVM的基本测试设置包含一个Agilent E4438C,用作信号源。900 MHz调制信号以单端方式驱动至ADRF6807评估板的RFIN SMA连接器。IQ基带输出以差分方式输入一对AD8130差动放大器,以便将差分信号转换为单端信号。ADRF6807驱动的输出阻抗设为差分450 Ω。然后,利用Agilent DSO7104B示波器对单端I和Q信号进行采样。使用Agilent 89400 VSA软件计算信号的EVM。用于基准输入的信号源为Wenzel 100 MHz石英振荡器,并将其幅度设为1 V p-p。参考路径设为4分频,因此PFD频率为25 MHz。

图42显示了ADRF6807出色的EVM,其在5 MHz符号速率和0 Hz IF下,针对4 QAM调制信号在40 dB的RF输入范围内具有优于-40 dB的性能。脉冲整形滤波器的滚降(或α值)设为0.35。汇报的RF输入功耗为整个带宽内的功耗,带宽计算公式如下所示:

$$BW = (1 + \alpha) \times (\text{符号速率})$$

针对全部两种模式测试EVM:低功耗模式禁用(LPEN = 0)和低功耗模式使能(LPEN = 1)。当使能低功耗模式时,由于此模式工作时产生较少的噪声,因此较低RF输入信号电平下的EVM较好。

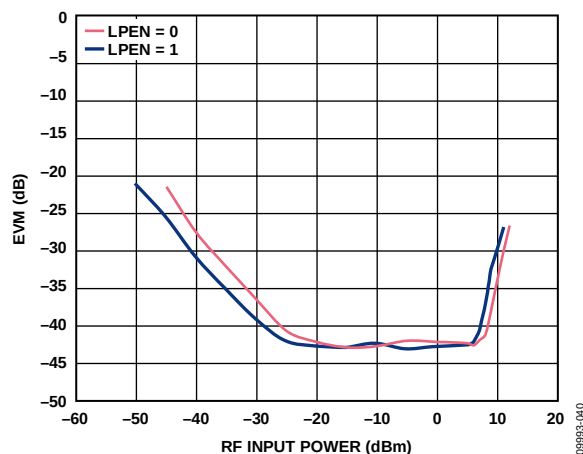
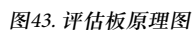


图42. 在900 MHz、4 QAM下测量EVM, 符号速率 = 5 MHz, 基带频率 = 0 Hz IF

ADRF6807提供测试用评估板。评估板原理图如图43所示。

表7提供针对各种工作模式的元件值和修改元件值的建议。



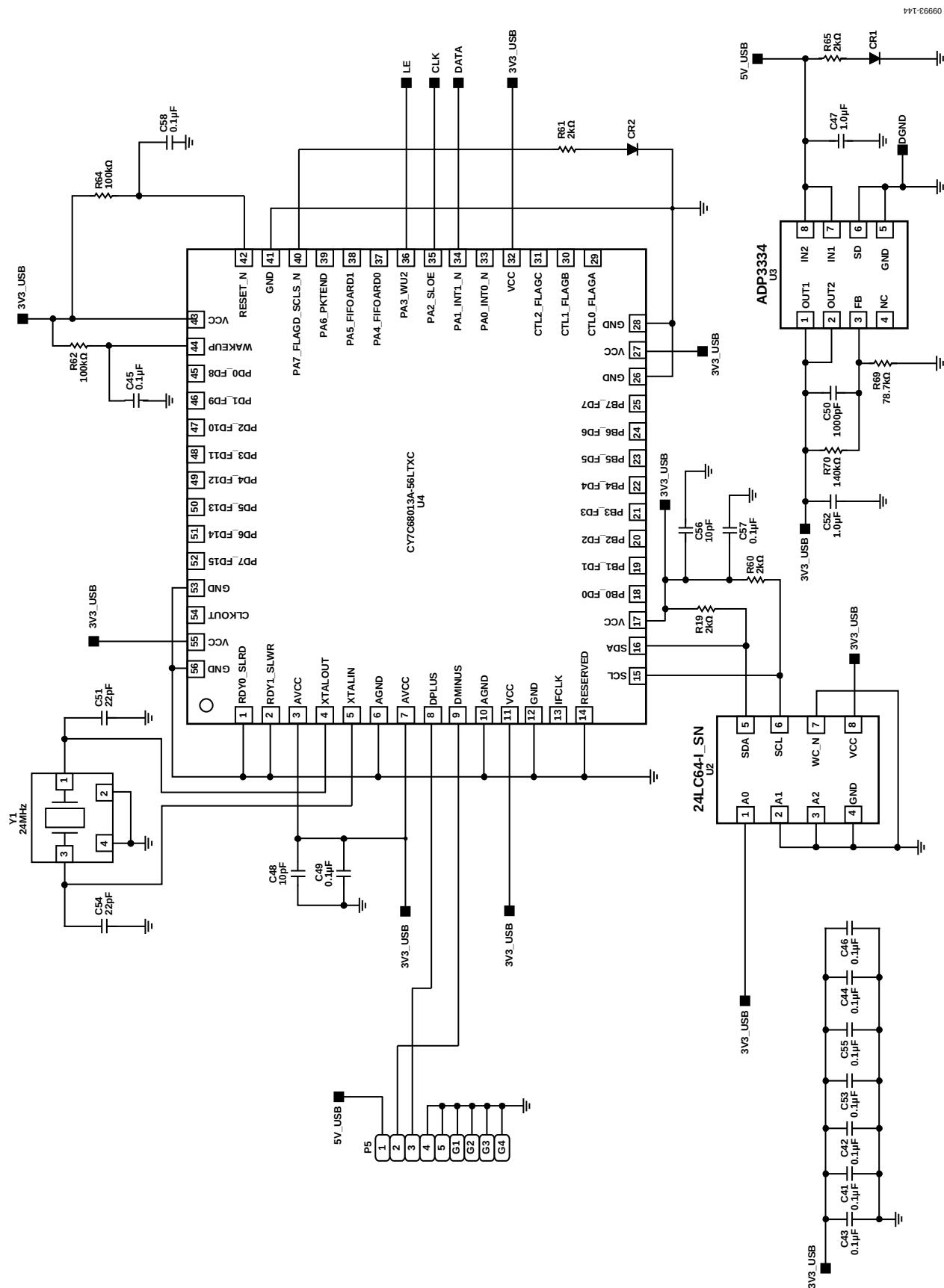


图44. 评估板USB部分原理图

ADRF6807封装底部有一个裸露焊盘，应焊接至评估板上阻焊膜内的裸露开口。图45显示ADRF6807评估板上ADRF6807空间布局的尺寸(1 mil = 0.0254 mm)。

请注意，裸露焊盘上使用了9个通孔。这些接地通孔应连接至评估板上的所有其他接地层，以最大程度地改善器件封装的散热性能。在这些条件下，ADRF6807的热阻抗在静止空气中测量值约为30°C/W。

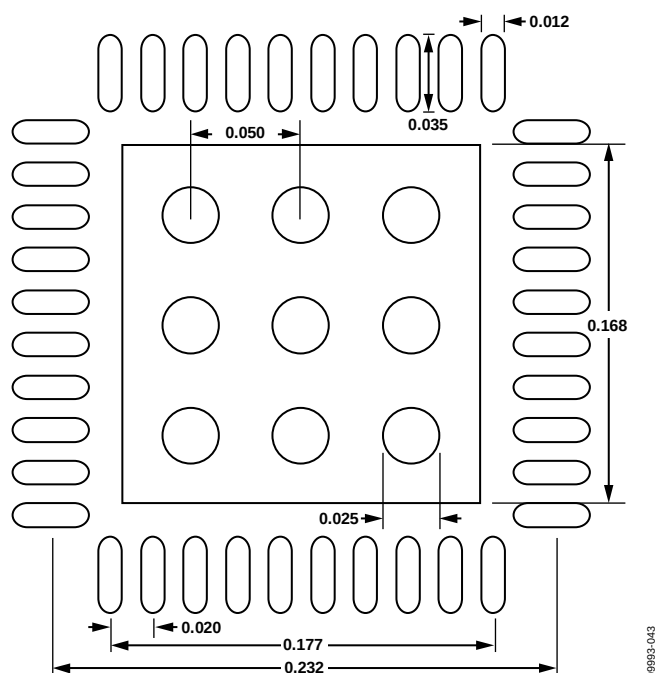


图45. ADRF6807封装的评估板布局尺寸

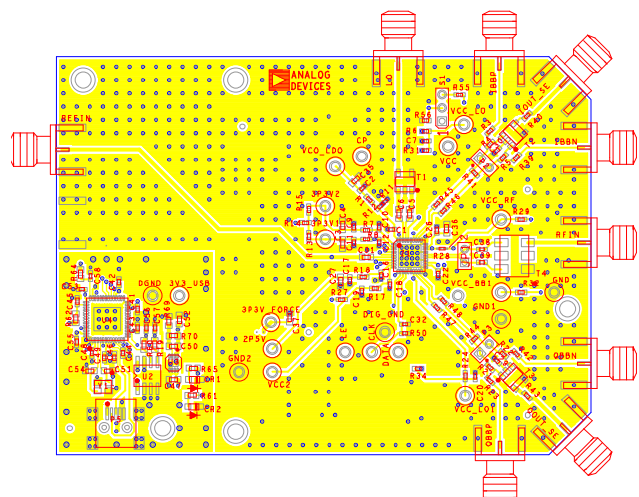


图46. ADRF6807评估板顶层

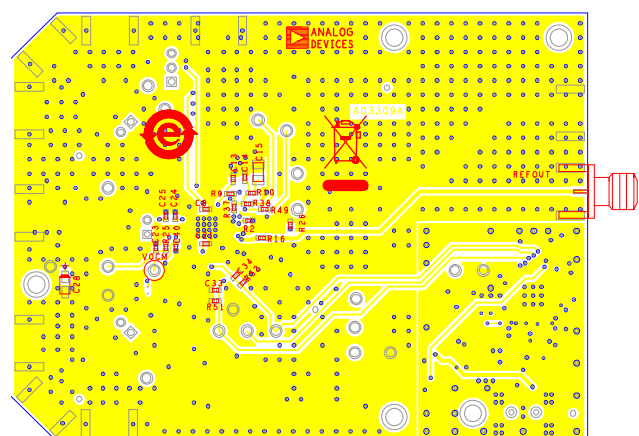


图47. ADRF6807评估板底层

ADRF6807

表7. 评估板配置选项

元件	功能	默认条件
VCC, VCC2, VCC_LDO, VCC_LO, VCC_LO1, VCC_RF, VCC_BB1, 3P3V1, 3P3V2, 3P3V_FORCE, 2P5V, CLK, DATA, LE, CP, DIG_GND, GND, GND1, GND2	电源、接地和其他测试点。 将5 V电源连接到VCC。 将3.3 V电源连接到3P3V_FORCE。	VCC, VCC2, VCC_LO, VCC_RF, VCC_BB1, VCC_LO1, VCO_LDO, 3P3V1, 3P3V2, 2P5V = Components Corporation TP-104-01-02, CP, LE, CLK, DATA, 3P3V_FORCE = Components Corporation TP-104-01-06, GND, GND1, GND2, DIG_GND = Components Corporation TP-104-01-00
R1, R6, R7, R8, R13, R14, R15, R17, R18, R24, R25, R27, R28, R29, R31, R32, R34, R36, R49	电源去耦。使去耦电阻短路或上电。	R1, R6, R7, R8 = 0 Ω (0402), R13, R14, R15, R17 = 0 Ω (0402), R18, R24, R25, R27 = 0 Ω (0402), R28, R29, R31, R32 = 0 Ω (0402), R34, R36 = 0 Ω (0402), (0402); R49 = 开路(0402)
C1, C2, C3, C4, C7, C8, C9, C10, C11, C12, C16, C17, C18, C19, C20, C21, C22, C23, C24, C25, C26, C27, C28, C35, C36, C37, C40	电容提供电源相关引脚所需的去耦。	C1, C8, C10, C12 = 100 pF (0402), C16, C18, C21, C22 = 100 pF (0402), C24, C26 = 100 pF (0402), C2, C7, C9, C11 = 0.1 μ F (0402), C17, C19, C20, C23 = 0.1 μ F (0402), C25, C40 = 0.1 μ F (0402), C3, C4, C27, C35 = 10 μ F (0603), C36, C37 = 10 μ F (0603), C28 = 10 μ F (3216)
T1, C5, C6	外部LO路径。T1变压器提供单端至差分转换。 C5和C6提供所需的交流耦合。	C5, C6 = 1 nF (0603), T1 = TC1-1-13+ Mini-Circuits
R16, R26, R58, C31	REFIN输入路径R26提供宽带50 Ω 端接， 后接C31，提供到REFIN的交流耦合。 R16提供寄存器4描述的MUXOUT特性的 外部连接。R58提供9引脚D-sub连接器的 P1-6线路的连接选项，用于直流测量。	R26 = 49.9 Ω (0402), R16 = 0 Ω (0402), R58 = 开路(0402), C31 = 1 nF (0603)
R2, R9, R10, R11, R12, R37, R38, R59, C14, C15, C13	环路滤波器元件选项。使用元件C13、C14、 C15、R9和R10，可支持各种环路滤波器拓扑。 R38和R59针对多个测试点提供连接选项， 用于工程评估。R2提供针对电荷泵电流的 电阻编程能力(参见“寄存器4——电荷泵、 PFD和参考路径控制”部分)。R37将电荷泵 输出连接至环路滤波器。R12以VCO_LDO 作为环路滤波器的基准电压。	R12, R37, R38 = 0 Ω (0402), R59 = 开路(0402), R9 = 5.6 k Ω (0402), R10 = 1.6 k Ω (0402), R2、R11 = 开路(0402), C13 = 62 pF (0402), C14 = 300 pF (0402), C15 = 6.2 nF (1206)
R3, R4, R5, R21, R22, R23, R39, R40, R41, R42, R43, R44, R45, R46, R47, R48, C29, C30, T2, T3, P2, P3	IF I/Q输出路径。T2和T3巴伦提供9:1阻抗转换， 因此，由于单端IOUT/QOUT侧存在50 Ω 负载， 巴伦的中心抽头侧相对ADRF6807而言具有 450 Ω 差分电阻。巴伦的中心抽头通过C29和 C30进行交流接地。巴伦建立差分至单端转换， 便于测试和使用，但通过以0 Ω 电阻填充R3、 R39、R23和R42并移除R4、R5、R21和R22， 便可提供直接差分输出选项。P2和P3是差分 测量测试点(不作为跳线使用)。	R4, R5, R21, R22, = 0 Ω (0402), R40, R43, R45, R46 = 0 Ω (0402), R47, R48 = 0 Ω (0402), R3, R23, R39, R41, R42, R44 = 开路(0402), C29, C30, = 0.1 μ F (0402), T2, T3 = TCM9-1+ Mini-Circuits, P2, P3 = Samtec SSW-102-01-G-5
C38, C39, T4	RF输入接口。T4提供驱动RFIP和RFIN所需的 单端至差分转换。T4具有2:1的阻抗转换。 RFIN SMA连接器上的单端50 Ω 负载可转换 为RFIP引脚(引脚25)和RFIN引脚(引脚26)上的 差分100 Ω 负载。C38和C39为交流耦合电容。	C38, C39 = 1000 pF (0402), T4 = ADTL2-18+ Mini-Circuits

元件	功能	默认条件
R50, R51, R52, C32, C33, C34	串行端口接口。可选RC滤波器可安装在CLK、DATA和LE线路上，过滤流经R50至R52和C32至C34的PC信号。出于调试目的，可在测试点观察到CLK、DATA和LE信号。	R50, R51, R52 = 开路(0402), C32, C33, C34 = 开路(0402)
R33, R55, R56, S1	LO选择接口。LOSEL引脚与寄存器5中的LDRV和LXL位共同控制LOP和LON引脚用作输入还是输出。有关LOSEL引脚、LDRV位和LXL位如何共同协作控制LOP和LON引脚的详细描述参见表4中LOSEL引脚的描述部分。用户可通过S1开关将LOSEL上拉至逻辑高电平(VCC/2)或逻辑低电平(地)。电阻R55和R56组成电阻分压器，提供VCC/2的逻辑高电平。还可通过J1的引脚9控制LO的选择。必须安装0 Ω 跳线R33，才能通过J1控制LOSEL。	R33 = 0 Ω (0402), R55, R56 = 10 k Ω (0402), S1 = Samtec TSW-103-08-G-S
J1, P1, R62, R63	工程测试点和外部控制。J1是一个10引脚连接器，与评估板上多个重要的点相连，用户可通过它测量或驱动电压。R62和R63形成分压器，在VOCM上驱动1.65 V电压。请注意，必须连接跳线P5，以便通过电阻分压器驱动VOCM。	R62 = R63 = 4.99 k Ω (0402), P1 = Samtec SSW-102-01-G-S, J1 = Molex Connector Corp. 10-89-7102
U2, U3, U4, P5	Cypress微控制器、EEPROM和LDO。	U2 = Microchip MICRO24LC64 U3 = Analog Devices ADP3334ACPZ U4 = Cypress Semiconductor CY7C68013A-56LTXC P5 = 微型USB连接器
C41, C42, C43, C44, C46, C53, C55	3.3 V电源去耦。使用数个电容进行3.3 V电源去耦。	C41, C42, C43, C44, C46, C53, C55 = 0.1 μ F (0402)
C48, C49, C45, C56, C57, C58, R19, R60, R61, R62, R64, CR2	Cypress和EEPROM器件。	C48, C56 = 10 pF (0402) C45, C49, C57, C58 = 0.1 μ F (0402) R19, R60, R61 = 2 k Ω (0402) R62, R64 = 100 k Ω (0402) CR2 = ROHM SML-210MTT86
C47, C50, C52, R65, R69, R70, CR1	LDO器件。	C47, C52 = 1 μ F (0402) C50 = 1000 pF (0402) R65 = 2 k Ω (0402) R69 = 78.7 k Ω (0402) R70 = 140 k Ω (0402) CR1 = ROHM SML-210MTT86
Y1, C51, C54	晶振和器件。24 MHz晶振。	Y1 = NDK NX3225SA-24 MHz C51, C54 = 22 pF (0402)

ADRF6807

ADRF6807软件

ADRF6807评估板可使用ADI提供的USB适配器板，通过PC控制。可在EVAL-ADF4XXXZ-USB产品页面上找到USB适配器评估文档和订购信息。基本用户界面如图48和图49所示。

软件允许用户将ADRF6807配置为多种工作模式。通过点击RF部分所列的任意数字，即可控制内部频率合成器。

对参考输入频率、PFD频率、VCO频率(2×LO)、LO频率或其他RF部分所列数值的编程企图都将启动频率合成器表格窗口，如图49所示。使用该频率合成器表格，用户可指定本振频率(MHz)和外部参考频率(MHz)的数值。用户还可通过该菜单启动LO输出缓冲器和分频器选项。完成所需数值的设置后，必须点击更新所有寄存器，以使新设置生效。



图48. 评估板软件主窗口

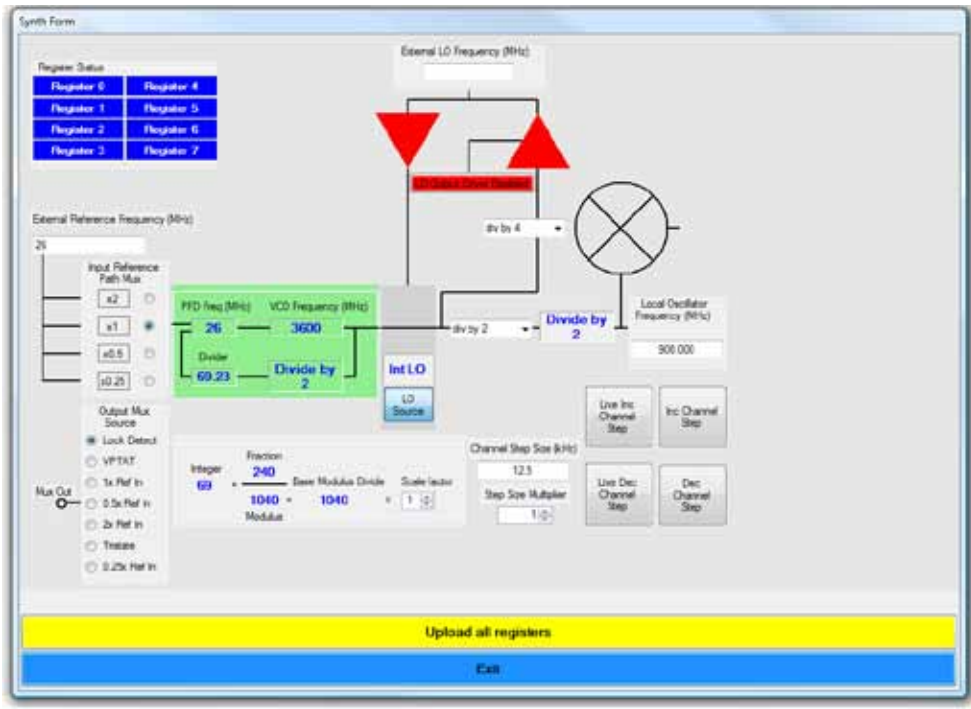


图49. 评估板软件频率合成器表格窗口

特性设置

图50至图52显示广泛用于ADRF6807的通用特性平台设置。图50所示的设置用于执行大部分测试。自动化Agilent VEE程序用于通过IEEE总线控制设备。该设置用于测量增益、P1dB、输出P1dB、输入IP2、输入IP3、IQ增益失配、IQ正交精度和电源电流。评估板在I和Q输出端采用Mini-Circuits TCM9-1+巴伦，用于特性的执行。在低于5 MHz(指定巴伦为1 dB低频转折)时使用TCM9-1+巴伦会降低失真性能，但这种性能的下降不是由ADRF6807造成的，巴伦的低频转折引入了这种失真效应。通过该巴伦，9:1阻抗转换可有效

地在I和Q通道分别产生450 Ω 差分负载。在输入端使用宽带Mini-Circuits ADTL2-18+巴伦可提供差分平衡RF输入。输入和输出巴伦的损耗从所有测量中去嵌入。

若要执行相位噪声和参考杂散测量，则使用图52中的设置。相位噪声在基带输出(I或Q)端测量，基带载波频率为50 MHz。选择50 MHz的基带载波，以便允许在频率与载波偏移不超过20 MHz时测量相位噪声。使用图51中所示测试设置测量噪声系数，测量时基带频率为10 MHz。

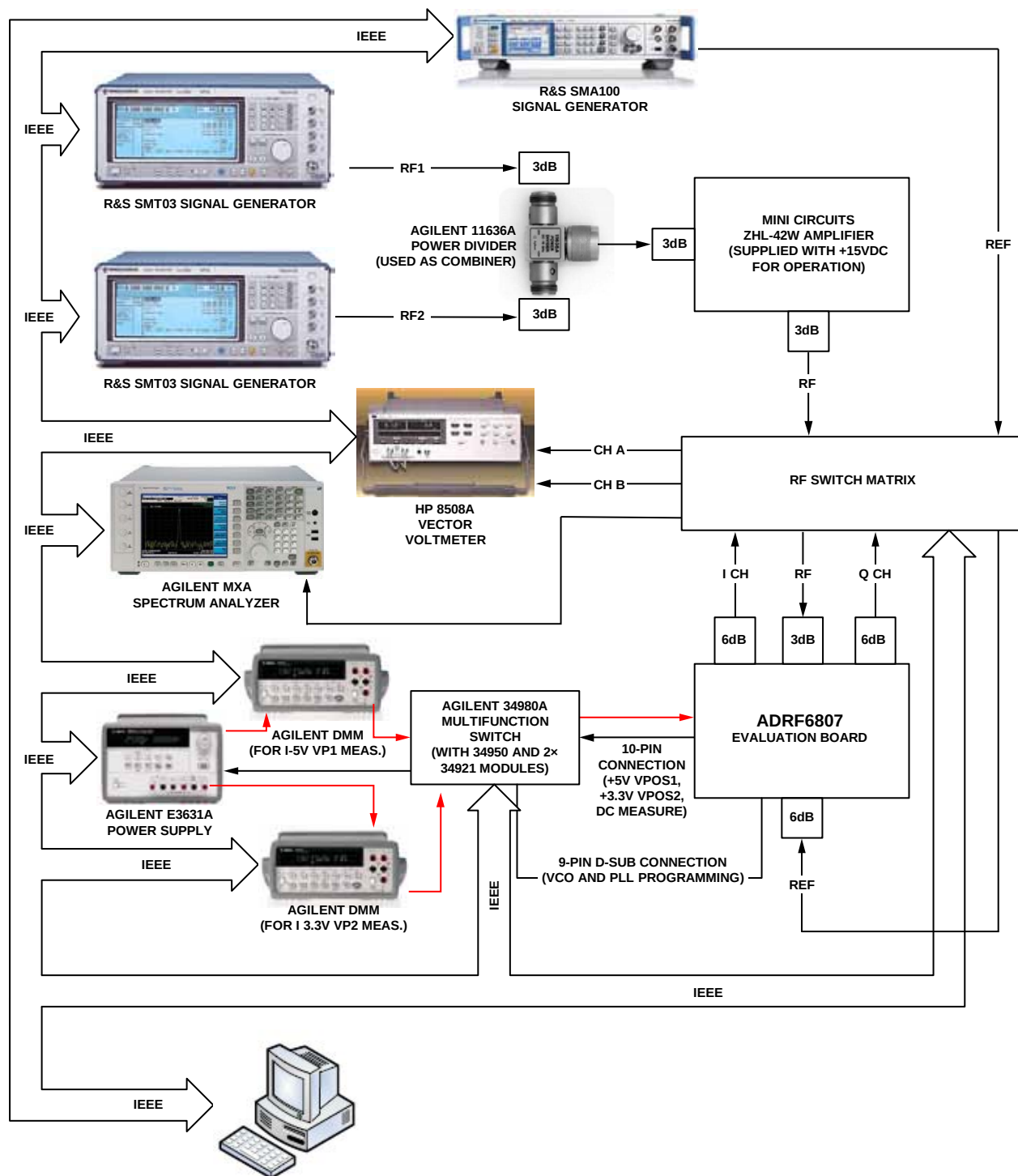


图50. 通用特性设置

ADRF6807

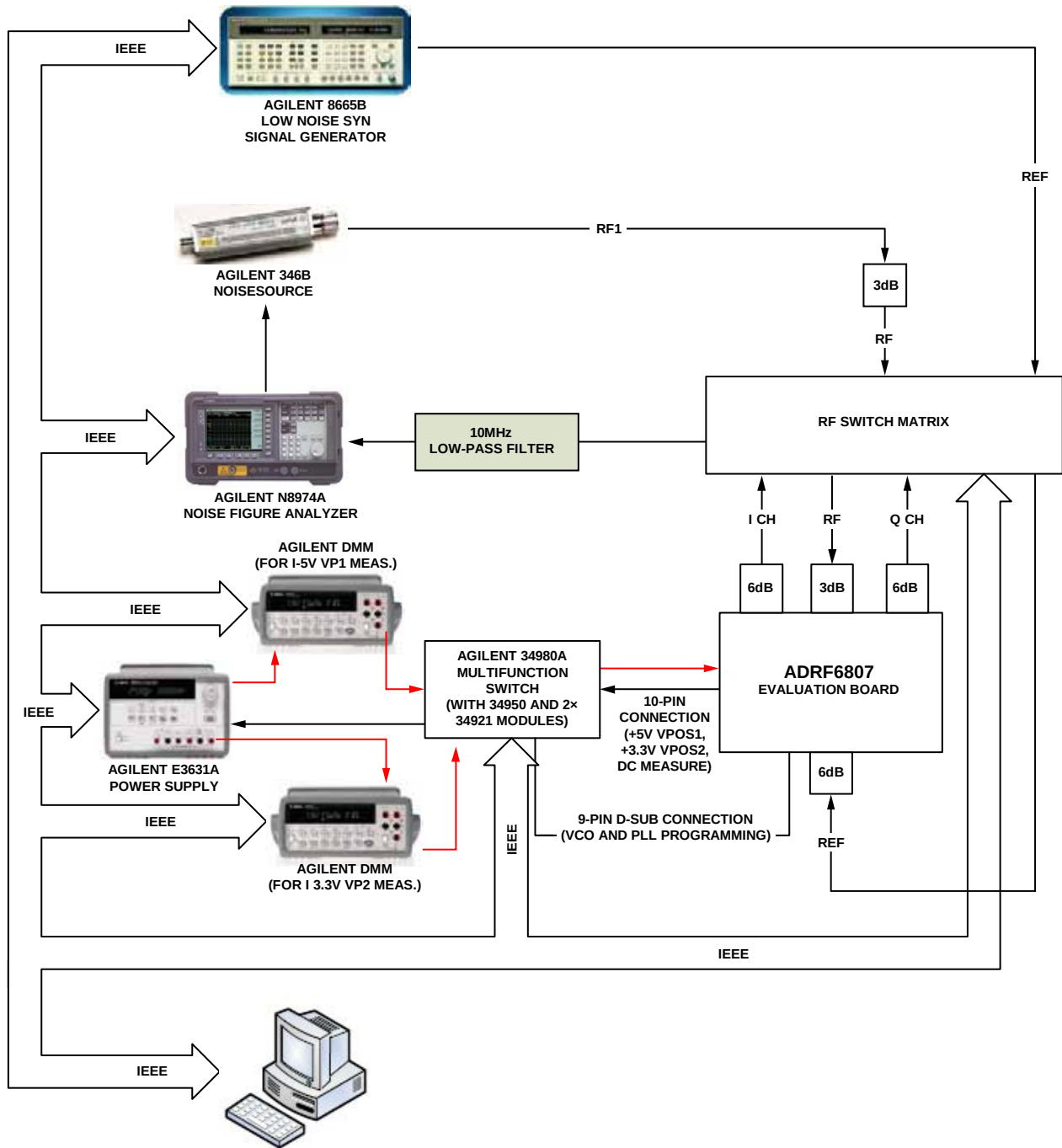


图51. 噪声系数特性设置

09593-049

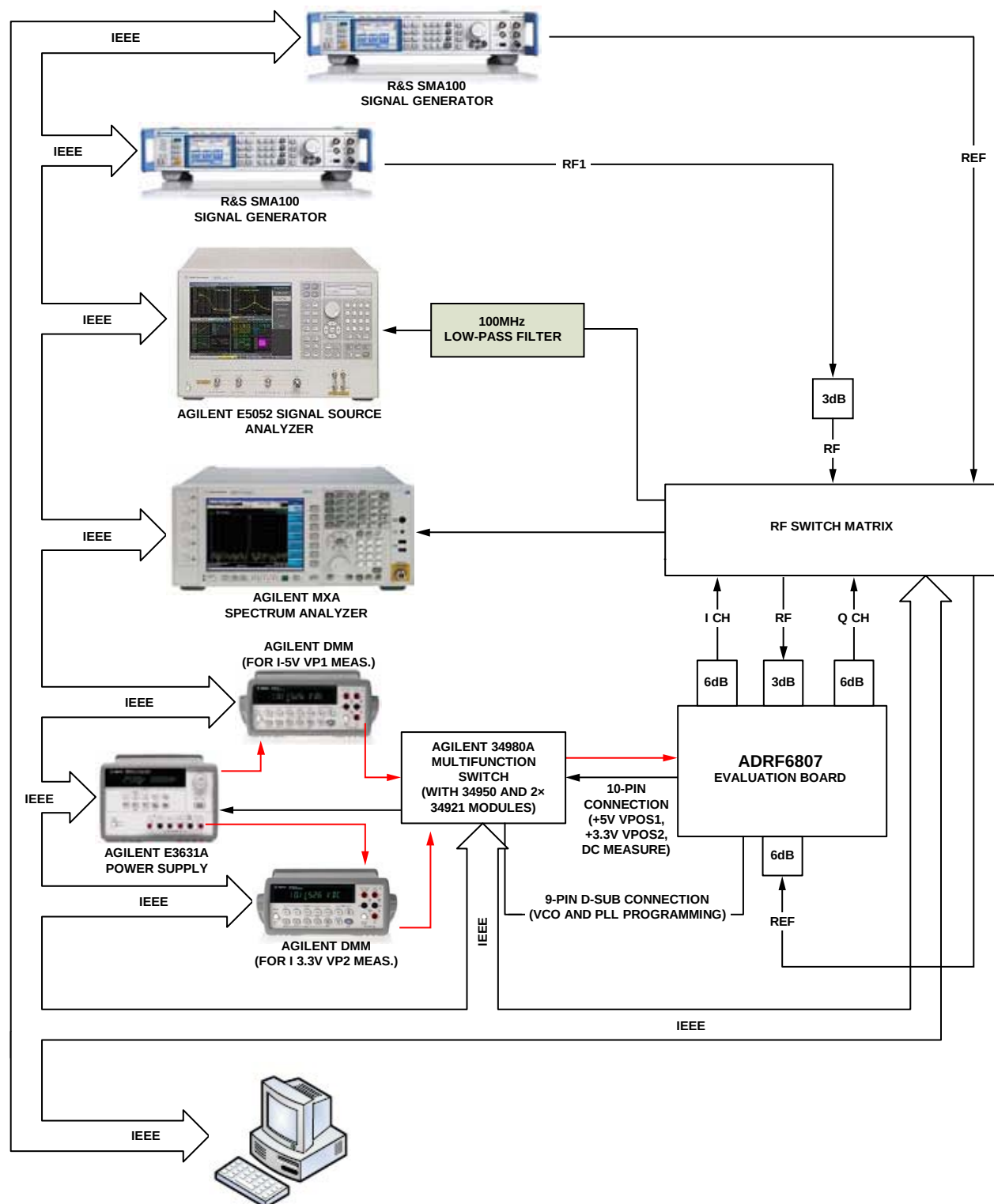
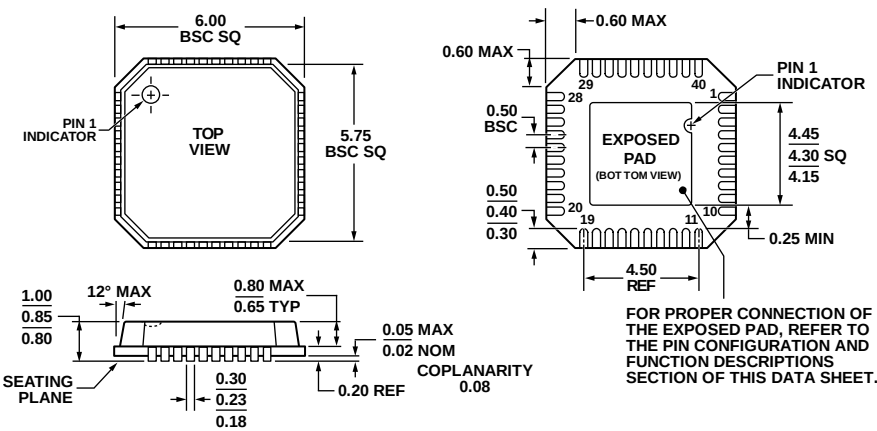


图52. 相位噪声特性设置

外形尺寸



COMPLIANT TO JEDEC STANDARDS MO-220-VJJD-2

图53. 40引脚引线框构芯片级封装[LFCSP_VQ]
6 mm x 6 mm, 超薄体
(CP-40-4)
图示尺寸单位: mm

订购指南

型号 ¹	温度范围	封装描述	封装选项	订购数量
ADRF6807ACPZ-R7	-40°C至+85°C	40引脚引脚架构芯片级封装[LFCSP_VQ]	CP-40-4	750
ADRF6807-EVALZ		评估板		

¹ Z = 符合RoHS标准的器件。