

## 使用ADP1870/ADP1872的同步反相SEPIC使同相降压/升压应用实现高效率

作者: Matthew C. Kessler

### 简介

许多市场对高效同相DC-DC转换器的需求日益增多,要求其不但能在降压或升压模式下工作,还可将输入电压减小或增大至所需的调节电压,并且具有极低的成本和功率损耗、元件数量最少。反相单端初级电感转换器(SEPIC)也称为Zeta转换器,具有许多支持此功能的特性(见图1)。对其工作原理及利用同步开关控制器ADP1870/ADP1872的实施方案进行分析,可以了解其在本应用中的有用特性。

### 反相SEPIC基础知识

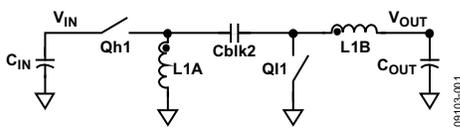


图1. 反相SEPIC拓扑结构

初级开关Qh1和次级开关Ql1反相工作。在导通时间内, Qh1接通, Ql1断开。电流沿两条路径流动,如图2所示。第一条路径是从输入端经过初级开关、能量传输电容(Cblk2)、输出电感(L1B)和负载,最终通过地流回输入端。第二条路径是从输入端经过初级开关、地基准电感(L1A)和地流回输入端。

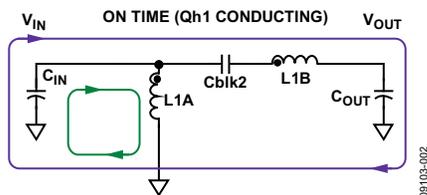


图2. 电流流向图: Qh1闭合、Ql1断开

在关断期间,开关位置刚好相反。Ql1接通, Qh1断开。输入电容(C<sub>IN</sub>)断开,但电流继续经过电感沿两条路径流动,

如图3所示。第一条路径是从输出电感经过负载、地和次级开关流回输出电感。第二条路径是从地基准电感经过能量传输电容、次级开关流回地基准电感。

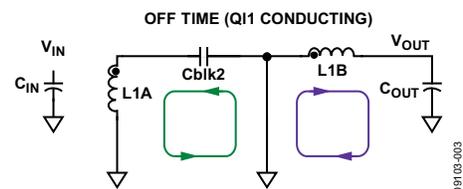


图3. 电流流向图: Ql1闭合、Qh1断开

应用电感伏秒平衡和电容电荷平衡的原理,可以得出方程式1规定的均衡直流转换比。

$$\frac{V_{OUT}}{V_{IN}} = \frac{D}{1-D} \quad (1)$$

其中, D为转换器的占空比(开关周期中导通时间所占的比例)。

方程式1表明:如果占空比大于0.5,输出端将获得较高的调节电压(升压);如果占空比小于0.5,调节电压会较低(降压)。此外还可分析得到其它相关结果:在无损系统中,能量传输电容(Cblk2)上的稳态电压等于V<sub>OUT</sub>;流经输出电感(L1B)的直流电流值等于I<sub>OUT</sub>;流经地基准电感(L1A)的直流电流值等于I<sub>OUT</sub> × V<sub>OUT</sub>/V<sub>IN</sub>。该能量传输电容还能提供V<sub>IN</sub>至V<sub>OUT</sub>的隔直。当存在输出短路风险时,此特性很有用。

分析还显示,反相SEPIC中的输出电流是连续的,对于给定输出电容阻抗,会产生较低的峰峰值输出电压纹波。这就允许使用较小、较便宜的输出电容;相比之下,非连续输出电流拓扑结构则需要使用较大且昂贵的电容。

## 目录

简介.....	1	电容耦合栅极驱动电路.....	5
反相SEPIC基础知识.....	1	小信号分析和环路补偿.....	5
修订历史.....	2	功率器件应力.....	6
利用ADP1870/ADP1872实现的反相SEPIC拓扑结构.....	3	实验结果.....	7
同步实现.....	3	结束语.....	9
预测开关频率.....	4	参考文献.....	9
电感耦合能量传输电容.....	4	附录A.....	10

## 修订历史

### 2010年9月—修订版A至修订版B

更改“电感耦合能量传输电容”部分..... 5

更改“功率器件应力”部分..... 6

### 2010年7月—修订版0至修订版A

更改图9、图10和图11..... 7

### 2010年6月—修订版0：初始版

## 利用ADP1870/ADP1872实现的反相SEPIC拓扑结构

### 同步实现

通常，次级开关(Q1)是一个单向功率二极管，它会限制这种拓扑结构的峰值效率。然而，利用ADI公司单通道同步开关控制器ADP1870/ADP1872(见附录A)，并采用双向MOSFET作为次级开关，可以设计一个“完全同步配置”的反相SEPIC。这样，峰值效率将大大提高，同时可以降低输出电流大于约500 mA的转换器尺寸和成本。

图5显示完全同步反相SEPIC配置的功率级，它利用ADP1870/ADP1872实现，只需要三个小型、廉价的外围器件(Cblk1、Ddrv和Rdrv)，其功耗可以忽略不计。

反相SEPIC的理想稳态波形如图4所示。开关节点SW(见图5)在 $V_{IN} + V_{OUT}$ (导通时间内)和0 V(关断时间内)之间切换。将电荷泵电容Cbst连接到SW，以便在导通时间内将约为 $V_{IN} + V_{OUT} + V_{DD}$ 的电压施加于高端内部驱动器的自举上电轨(BST引脚)和高端驱动器的输出(DRVH引脚)，从而增强初级悬空N沟道MOSFET开关Qh1。箝位二极管Ddrv确保稳态期间Cblk1上的电压约为 $V_{OUT} + V_{FWD}$ (Ddrv)，该电压参考DRVH引脚到Qh1栅极的电压，关断期间Cblk1和Cblk2并联。在关断时间内，当X节点电压约为 $-V_{OUT}$ 时，Cblk1

上的电压阻止初级开关产生高于其阈值的栅极-源极电压。

ADP1871和ADP1873属于ADP187x系列，具有跨周调制模式(PSM)，可以降低开关速率，只向输出端提供足以保持输出电压稳定的能量，从而提高轻负载时的效率，大大降低降压拓扑结构中的栅极电荷和开关损耗。建议不要在同步反相SEPIC拓扑结构中使用ADP1871和ADP1873。

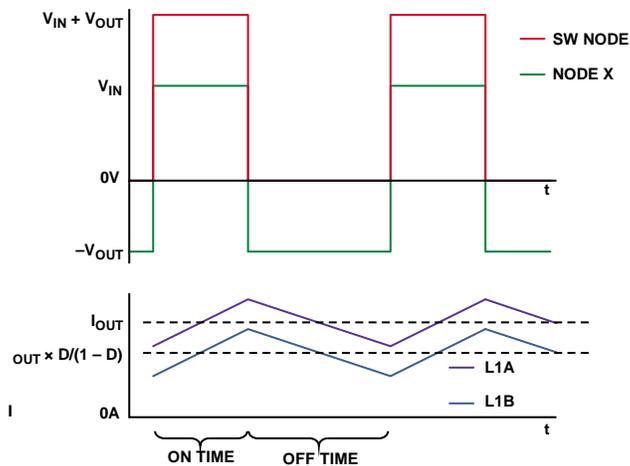


图4. 同步反相SEPIC的理想波形(忽略死区)

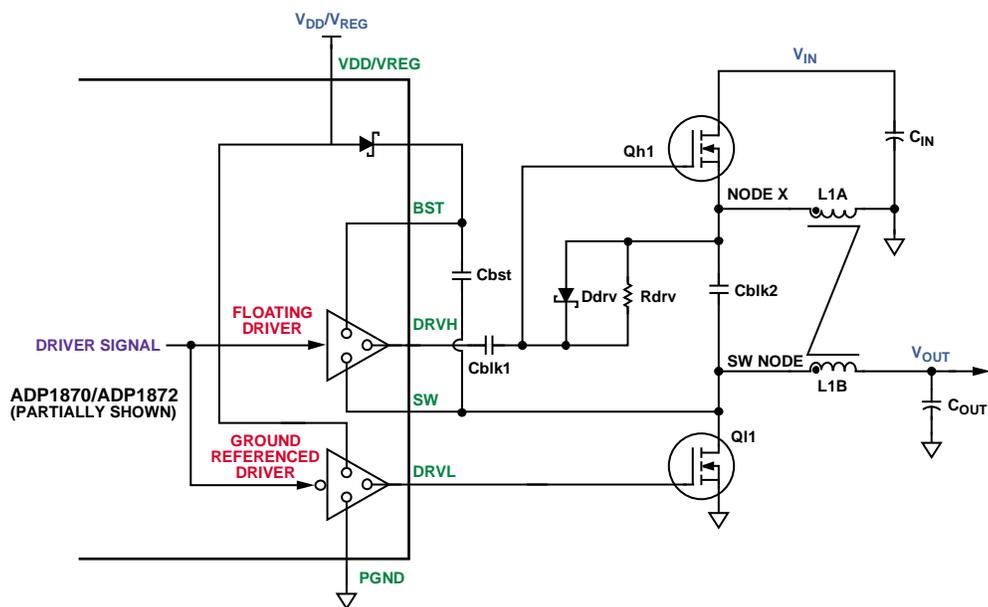
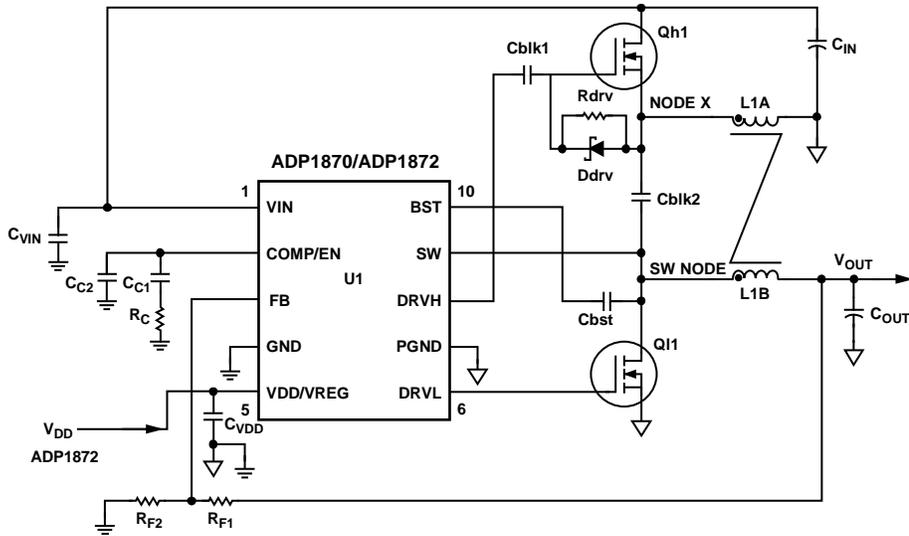


图5. 显示ADP1870/ADP1872内部驱动器的功率级



NOTES  
1. PIN 5 IS VDD IN THE ADP1872 AND VREG IN THE ADP1870.

09103-004

图6. 使用ADP1870/ADP1872的同步反相SEPIC的完整实现方案

## 预测开关频率

如附录A所述，ADP1870/ADP1872采用恒定导通时间架构，并利用正馈和开关节点均值技术将通常与恒定导通时间架构相关的开关频率变化降至最小。SW引脚连接到SW节点，像在同步反相SEPIC拓扑结构中实现的一样(见图6)。因此，ADP1870/ADP1872系列中各器件的开关频率可以按照下式进行预测：

$$\frac{1}{f_{SW}} = a \times \left( \frac{V_{OUT}}{V_{IN}} + 1 \right) \quad (2)$$

$$\text{ADP187xARMZ-0.3-R7} - a = 3.33 \times 10^{-6}$$

$$\text{ADP187xARMZ-0.6-R7} - a = 1.66 \times 10^{-6}$$

$$\text{ADP187xARMZ-1.0-R7} - a = 1 \times 10^{-6}$$

应当注意，虽然这些器件分别被指称为300 kHz、600 kHz和1 MHz，但这些频率仅为降压拓扑结构中实现的近似开关频率。

如图7所示，开关节点均值馈入导通定时器。在无损系统中，该均值等于输出电压。随着输出负载的提高，转换器的损耗也会提高，开关节点均值会稍稍偏离输出电压，导致开关频率提高。通常而言，在整个负载范围内，开关频率的提高幅度不超过空载条件下的10%。在高损耗系统中，开关频率的提高幅度可能大于此值。

## 电感耦合能量传输电容

图6中，功率电感L1A和L1B显示为彼此耦合。在这种拓扑结构中，耦合电感的目的是减少输出电压和电感电流的纹波，并且提高最大可能闭环带宽，“小信号分析和环路补偿”部分将对此加以说明。

虽然这些电感互相耦合，但并不希望耦合太紧，以至于将一个绕组的大量能量通过铁芯传输至另一个绕组。为了避免这一点，必须求得耦合电感的泄漏电感( $L_{LKG}$ )，并选择适当的能量传输电容(Cblk2)，使得其复阻抗的幅值为泄漏电感与单个绕组DCR的复串联阻抗的1/10，如方程式2、3、4所示。按照这一关系设计电路，可使耦合铁芯所传输的能量降至最低。泄漏电感可以根据耦合电感数据手册中提供的耦合系数计算。

$$|Z_{Cblk2}| = \sqrt{ESR^2 + \left( \frac{1}{2\pi Cblk2 f_{SW}} \right)^2} \quad (3)$$

$$|Z_{L_{LKG}}| = \sqrt{DCR^2 + (2\pi L_{LKG} f_{SW})^2} \quad (4)$$

$$|Z_{Cblk2}| \leq \frac{|Z_{L_{LKG}}|}{10} \quad (5)$$

如图2和图3的电流流向图所示，在导通期间，电荷积聚；在关断期间，电荷则被移除。通过能量传输电容的电流不应导致电压偏差超过其标称直流电压 $V_{OUT}$ （“同步实现”部分中导出的电压）的 $\pm 10\%$ 。选择适当的 $C_{blk2}$ ，使得以下不等式成立，确保电压偏差足够小。

$$(V_{OUT} \times 0.1) \geq \frac{I_{OUT} D}{f_{sw} C_{blk2}} + \left( \frac{V_{IN} D}{2L1Bf_{sw}} + I_{OUT} \right) C_{blk2} ESR \quad (6)$$

耦合电感时，必要且理想的匝数比是1:1，因为在输出电压纹波为一定水平的条件下，各绕组所需的电感仅为分立电感所需值的一半（见“参考文献”部分中Ćuk和Middlebrook的论文：“Coupled-Inductor and Other Extensions of a New Optimum Topology Switching DC-DC Converter”）。

### 电容耦合栅极驱动电路

栅极驱动电容 $C_{blk1}$ 的值取决于多个工作参数。它应足够大，使得高端开关导通和关断期间的电荷积聚和移除不致引起电压偏差超过其标称直流值的 $\pm 10\%$ 。该直流值为 $V_{OUT} + V_{FWD}$  ( $D_{drv}$ )，如“同步实现”部分所述。 $C_{blk1}$ 的值还应是 $C_{bst}$ 的1/10，以免故障条件下BST-SW节点电压过大。最后， $C_{bst}$ 和 $R_{drv}$ 的RC时间常数应显著长于开关周期。转换器禁用后， $R_{drv}$ 为Qh1提供一条放电路径。 $C_{blk1}$ 和 $R_{drv}$ 的良好初始值分别为100 nF和1 k $\Omega$ 。相应地， $C_{bst}$ 应为1  $\mu$ F。 $D_{drv}$ 传导的电流非常小，使用常见的小型、廉价BAT54肖特基势垒二极管即足够。

### 小信号分析和环路补偿

反相SEPIC转换器的完整小信号分析超出了本应用笔记的范围。然而，从应用角度看，其中的大部分分析是不必要的，遵循几条原则便可设计出鲁棒的电路。

首先必须计算谐振频率( $f_{RES}$ )时的许多复阻抗交互，以便求得目标交越频率的上限。当电感解耦时，谐振频率降低，导致最大可能闭环带宽显著降低。

$$f_{RES} = \frac{1}{2\pi\sqrt{2L_{LKG}C_{blk2}}} \quad (7)$$

在此频率时，可能有 $300^\circ$ 或更大的高Q相位滞后。为了避免转换器在整个负载范围内相位裕量偏小的问题，目标交越频率( $f_{UNITY}$ )应为 $f_{RES}$ 的1/10。此谐振的阻尼主要取决于输出负载电阻和电感的耦合直流电阻。在较小程度上，阻尼还取决于能量传输电容的等效串联电阻(ESR)和功率MOSFET(Qh1和Ql1)的导通电阻。因此，当输出负载电阻改变时，闭环传递函数的特征可能会在该频率时发生明显变化。

耦合系数通常不是一个能够精确控制的参数，因此应将目标交越频率 $f_{UNITY}$ 设置为比 $f_{RES}$ 低10倍的值（假设 $f_{RES}$ 小于开关频率 $f_{SW}$ ）。当 $f_{UNITY}$ 设置适当时，可以使用标准II型补偿——两个极点和一个零点。

$$f_{UNITY} = \text{Minimum} \left( \frac{f_{RES}}{10}, \frac{f_{SW}}{10} \right) \quad (8)$$

图7显示同步反相SEPIC降压/升压拓扑结构中ADP1870/ADP1872反馈环路的等效电路。上框包含功率级和内电流环路，下框包含电压反馈环路和补偿电路。

下框中的补偿元件值可以通过下式计算：

$$R_C = \frac{2\pi f_{UNITY} C_{OUT} (ESR + R_{LOAD})^2 V_{OUT}}{G_m G_{CS} R_{LOAD}^2 V_{REF}} \quad (9)$$

$$C_{CI} = \frac{C_{OUT} (R_{LOAD} + ESR)}{R_C} \quad (10)$$

$$C_{CO} = \frac{C_{CI} ESR}{R_{LOAD}} \quad (11)$$

其中：

$C_{OUT}$ 是转换器的输出电容。

ESR是该输出电容的等效串联电阻。

$R_{LOAD}$ 是最小输出负载电阻。

$G_m$ 是误差放大器的跨导，ADP1870/ADP1872系列为520  $\mu$ S。

$V_{REF}$ 是与误差放大器的正输入端相连的基准电压，ADP1870/ADP1872为0.6 V。

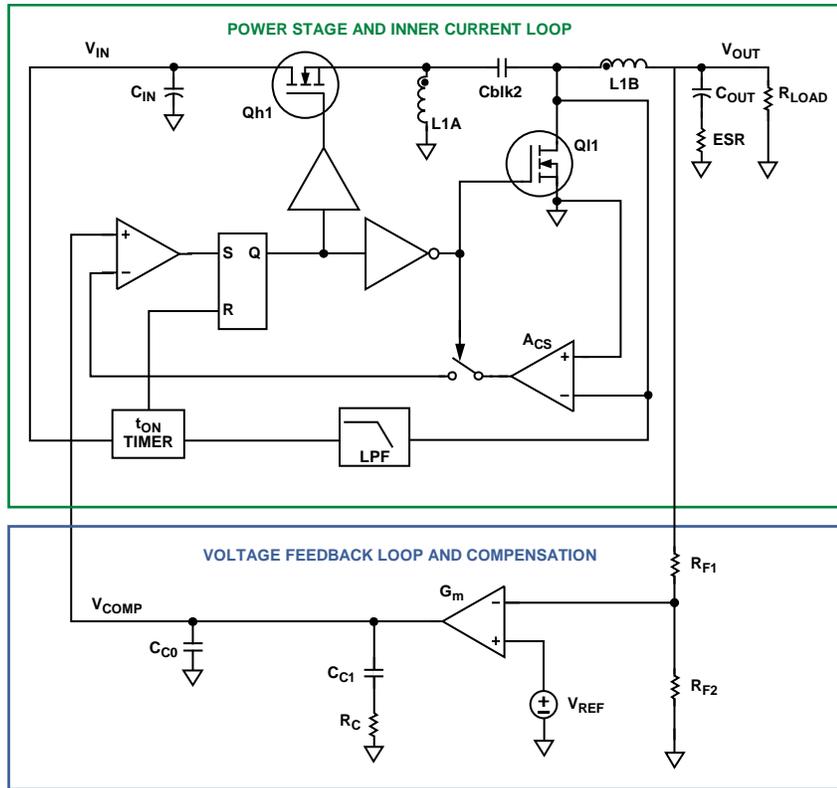


图7. 同步反相SEPIC拓扑结构中ADP1870/ADP1872具有内部电流检测环路的功率级和补偿方案

转换器的跨导 $G_{CS}$ 利用下式计算：

$$G_{CS} = \frac{1}{A_{CS} R_{DS(ON)MIN} \left( \frac{1}{1-D} \right)} = \frac{\Delta I_{OUT}}{\Delta V_{COMP}} \quad (12)$$

其中：

$G_{CS}$ 是与频率无关的增益项，随增强后的次级开关电阻 $R_{DS(ON)}$ 和占空比 $D$ 而变化。最高交越频率预期出现在此电阻和占空比 $D$ 最低时。

$A_{CS}$ 是电流检测增益，对于ADP1870/ADP1872，它可以在3 V/V至24 V/V范围内以四种离散步进选择。

为确保不会过早地达到电流限值，所选的电流检测增益( $A_{CS}$ )最高值应满足以下条件：

$$2.53 \text{ V} \geq A_{CS} R_{DS(ON)MAX} \left( I_{OUT} \left( \frac{1}{1-D} \right) - \frac{\Delta I_L}{1.2} \right) + 1.15 \text{ V} \quad (13)$$

其中 $\Delta I_L$ 为峰峰值电感纹波电流。

$$\Delta I_L = \frac{V_{IN} D}{2L1Bf_{SW}} \quad (14)$$

ADP1870/ADP1872采用恒定导通时间架构，控制环路中不存在通常与电流模式控制相关的采样极点。因此，不需要对被检测的电流信号进行斜率补偿。

### 功率器件应力

图2和图3的电流流向图显示，功率MOSFET在接通后要承载电感电流总和。因此，流经两个开关的电流直流分量为：

$$I_{DC} = I_{OUT} \frac{1}{1-D} \quad (15)$$

流经两个开关的电流交流分量为：

$$I_{AC} = \frac{V_{IN} D}{L1A f_{SW}} \quad (16)$$

知道MOSFET电流的直流和交流分量之后(如图8所示)，设计人员就可以快速计算流经各开关的电流均方根值。这些均方根值与所选MOSFET的 $R_{DS(ON)MAX}$ 共同确保MOSFET具有热稳定性，同时功耗足够低，以满足效率要求。

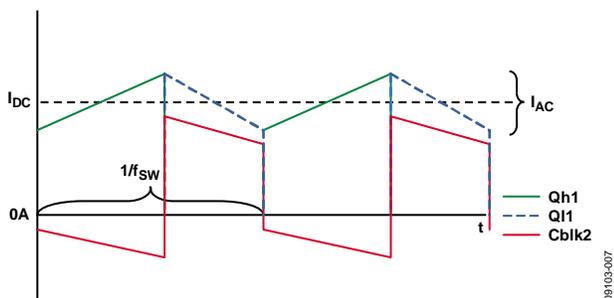


图8. 同步反相SEPIC的理想电流波形(忽略死区)

精确计算初级开关的开关损耗超出了本应用笔记的范围，但应注意，从高阻态变为低阻态时，MOSFET上的电压摆幅约为 $(V_{IN} + V_{OUT})$ 至0 V，流经开关的电流摆幅为0 A至约 $I_{OUT}(1/(1 - D))$ 。由于摆幅如此之高，开关损耗可能是主要损耗，这是挑选MOSFET时应注意的一点；对于MOSFET，反向传输电容( $C_{RSS}$ )与 $R_{DS(ON)}$ 成反比。

初级开关和次级开关的漏-源击穿电压( $BV_{DSS}$ )均须大于输入电压与输出电压之和(见图4)。

峰峰值输出电压纹波( $\Delta V_{RIPPLE}$ )可通过下式近似计算：

$$\Delta V_{RIPPLE} \approx \frac{\Delta I_L}{8f_{SW}C_{OUT}} + \Delta I_L \times ESR \quad (17)$$

流经输出电容的电流均方根值( $I_{rmsCout}$ )为：

$$I_{rmsCout} \approx \frac{\Delta I_L}{2\sqrt{3}} \quad (18)$$

方程式14所表示的峰峰值电感电流( $\Delta I_L$ )取决于输入电压，因此必须确保当此参数改变时，输出电压纹波不会超过规定值，并且流经输出电容的均方根电流不会超过其额定值。

如图8所示，流经能量传输电容Cblk2的均方根电流为：

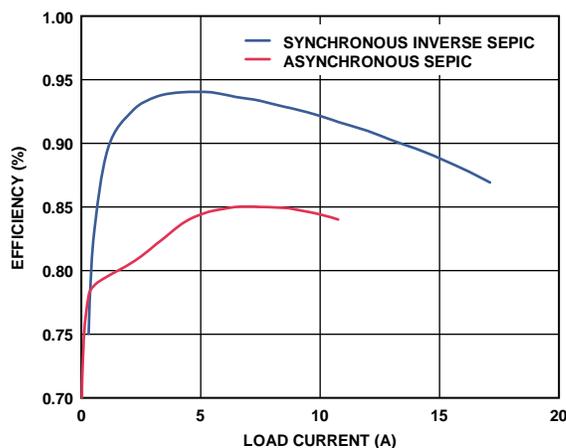
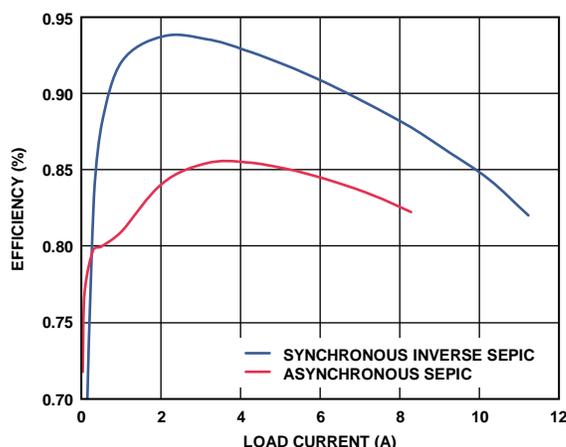
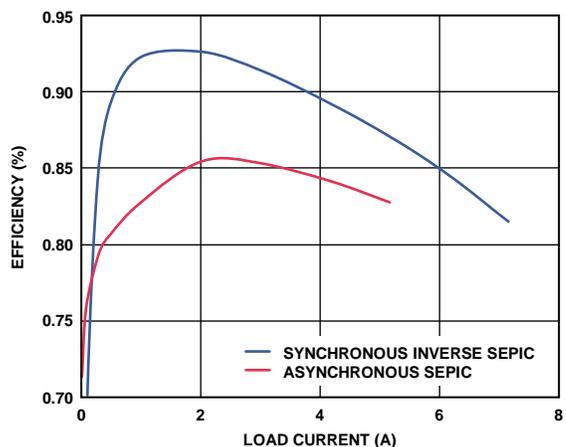
$$I_{rmsCblk2} = \sqrt{D \times I_{OUT}^2 + \frac{D}{3} \left[ \frac{\Delta I_L}{2} \right]^2 + (1-D) \left[ \frac{I_{OUT} D}{(1-D)} \right]^2 + \frac{(1-D)}{3} \left[ \frac{\Delta I_L}{2} \right]^2}$$

对于高输出电流应用，常常需要并联多个电容来实现Cblk2，以免超过单个电容的均方根额定值。

对于利用ADP1870/ADP1872实现的同步反向SEPIC，输入电压与输出电压之和不得超过20 V，因为电荷泵电容与开关节点相连，当初级开关接通时，其电压达到 $V_{IN} + V_{OUT}$ 。

## 实验结果

图9、图10和图11显示了不同输入电压和5 V输出电压下同步反相SEPIC与异步SEPIC(更传统的同相降压-升压实现方式)实现的效率对比。两个电路均针对效率进行了优化，以支持较宽的输入电压范围，并且均具有低电流5V偏置电压。

图9. 效率与负载电流的关系( $V_{IN} = 12$  V、 $V_{OUT} = 5$  V)图10. 效率与负载电流的关系( $V_{IN} = 5$  V、 $V_{OUT} = 5$  V)图11. 效率与负载电流的关系( $V_{IN} = 3.3$  V、 $V_{OUT} = 5$  V)

## AN-1075

同步反相SEPIC利用ADP1872实现，相关功率器件的材料清单见表1，其中仅采用常见的现成器件。异步SEPIC利用ADI公司的ADP1621开关控制器实现，相关功率器件的材料清单见表2。

如图9至图11所示，只要输出电流高于约500 mA，同步反相SEPIC的效率就会高于异步方案。在各输入电压下，

同步反相SEPIC能够以更高的效率和更少的器件提供更大的输出电流。如表1和表2所示，同步反相SEPIC使用两个MOSFET进行功率转换，异步SEPIC则要使用两个MOSFET和一个大功率二极管进行功率转换。其结果是，同步配置的器件数量更少，尺寸更小，成本更低，输出电流能力更强。

**表1. 功率器件——利用ADP1872实现的同步反相SEPIC**

标识	产品型号	制造厂商	值	封装	备注
Qh1	BSC090N03MS	Infineon	30 BV <sub>DD5</sub>	SuperSO8	功率MOSFET, 11.2 mΩ(最大值, 4.5 V <sub>GS</sub> , T <sub>J</sub> = 25°C)
Ql1	BSC016N03MS	Infineon	30 BV <sub>DD5</sub>	SuperSO8	功率MOSFET, 2 mΩ(最大值, 4.5 V <sub>GS</sub> , T <sub>J</sub> = 25°C)
L1A/L1B	PCA20EFD-U10S002	TDK	每个绕组 3.4 μH	30 mm × 22 mm × 12 mm	1:1:1:1:1耦合电感, 铁氧体, 每个绕组35.8 mΩ(最大值)DCR

**表2. 功率器件——利用ADP1621实现的异步SEPIC**

标识	产品型号	制造厂商	值	封装	备注
功率MOSFET	BSC057N03MS	Infineon	30 BV <sub>DD5</sub>	SuperSO8	2个, 7.2 mΩ(最大值, 4.5 V <sub>GS</sub> , T <sub>J</sub> = 25°C)
功率二极管	PDS1040L	Diodes Inc.	40 BV <sub>RRM</sub> /10 I <sub>O</sub>	PowerDI5	V <sub>F</sub> = 0.46 V(最大值, T <sub>S</sub> = 25°C)
耦合电感	DRQ127-2R2-R	Cooper Bussmann	每个绕组 2.03 μH	10 mm × 12.5 mm × 8 mm	1:1耦合电感, 铁氧体, 每个绕组7 mΩ(最大值)DCR

## 结束语

许多市场对输出电压高于或低于输入电压(升压/降压)的高效率同相DC/DC转换器的需求都在不断增长。ADI公司的单通道同步开关控制器ADP1870/ADP1872允许用低损耗MOSFET代替常用于功率级的高损耗功率二极管，从而提高效率，降低成本，缩小电路尺寸，使系统达到苛刻的能耗要求。只要遵循几项原则就能快速算出可靠补偿所需的元件值，并且利用常见的现成器件便可实现高效率。

## 参考文献

Ćuk, Slobodan and R.D. Middlebrook. 1983. "Coupled-Inductor and Other Extensions of a New Optimum Topology Switching DC-DC Converter." *Advances in Switched-Mode Power Conversion*, Volumes I and II. Irvine, CA: Tesla Co.

## 附录A

如图12所示，ADP1870/ADP1872为恒定导通时间开关控制器，集成驱动器可驱动N沟道同步功率MOSFET。该恒定导通时间架构利用输入电压正馈和开关节点均值技术来降低相关的开关频率变化。该系列还使用前沿调制谷值电流模式控制方案。

ADP1870/ADP1872内置升压二极管，因而整体元件数量和系统成本得以减少。ADP1870有一个内部线性调节器，ADP1872则需要2.75 V至5.5 V的偏置电源。

ADP1870/ADP1872具有内部设定的软启动周期、“打嗝”模式限流和热关断保护特性，提供三种不同的开关频率。工作温度范围为 $-40^{\circ}\text{C}$ 至 $+85^{\circ}\text{C}$ 时，输出电压精度为 $-0.834\%/+0.884\%$ ；工作温度范围为 $-40^{\circ}\text{C}$ 至 $+125^{\circ}\text{C}$ 结温范围时，输出电压精度为 $-0.834\%/+1.084\%$ 。ADP1870/ADP1872采用2.75 V至20 V功率级输入电源供电，提供10引脚MSOP封装。

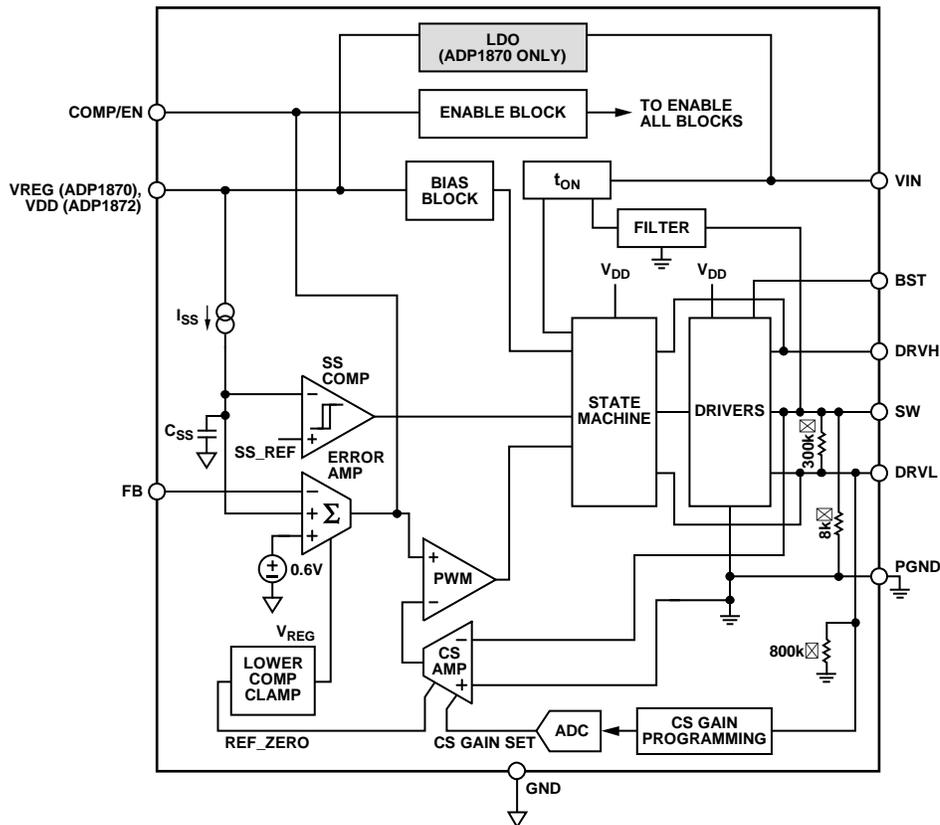


图12. ADP1870/ADP1872简化框图

09103-309

**注释**

**注释**