

## 放大器与开关电容ADC接口的匹配方法

作者: Eric Newman与Rob Reeder

### 简介

在现代无线接收器设计中,高采样率的模数转换器(ADC)通常被用作中频复合调制信号的采样。基于CMOS开关电容的ADC因其低成本和低功耗而成为这类设计的首选。这类ADC的前端为非缓冲型,直接耦合至采样网络,所以ADC的输入阻抗会随时间(跟踪和保持模式切换时)变化,这就对驱动ADC的放大器提出了挑战。为了在驱动ADC的同时获得极小的噪声和信号失真,有必要设计一种无源网络接口,实现宽带噪声抑制和采样保持阻抗的变换,从而为驱动放大器提供一个更匹配的负载阻抗。本文将介绍如何在多个常用IF频率下采用谐振法将采样保持阻抗变换为可预测性的负载,从而更精确地设计抗混叠滤波器。

### 开关电容ADC

为了降低功耗,开关电容ADC省掉了ADC前端中的缓冲。ADC采样保持放大器电路(SHA)由输入开关、输入采样电容、采样开关和放大器构成,如图1所示,输入开关闭合时(跟踪模式),驱动电路给输入电容充电。输入开关断开时(保持模式),驱动电路与输入电容分离。该ADC的跟踪模式和保持模式的时间大致相等。

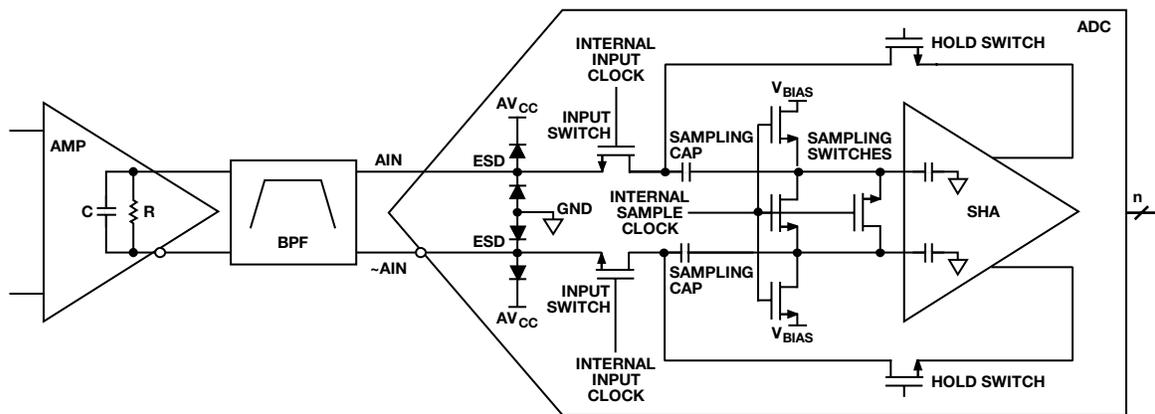


图1 一个开关电容ADC与放大器驱动器连接的简化输入模型

在SHA跟踪模式下的ADC输入阻抗与SHA保持模式下的ADC输入阻抗是不一样的，这就很难使ADC输入阻抗与驱动器电路始终匹配。ADC在跟踪模式下，输入开关闭合，因此该模式下的输入阻抗与驱动器电路应保持匹配。输入阻抗随频率的变化主要取决于采样电容以及信号通道中的寄生电容。为精确匹配阻抗，应对输入阻抗的频率相关性有所了解。如图2为AD9236在0至1 GHz的输入频率下输入阻抗随频率变化的曲线图。

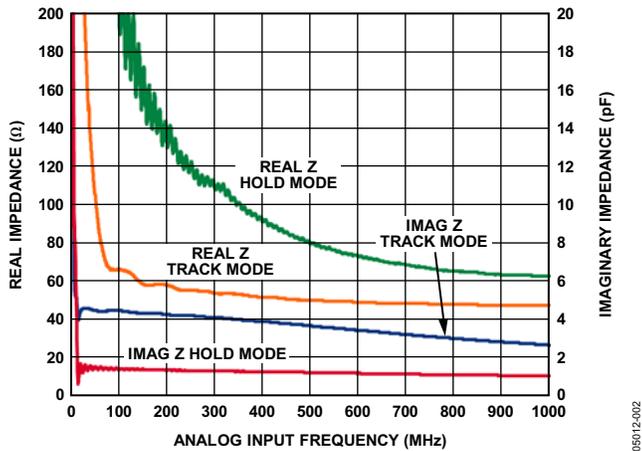


图2 AD9236在采样模式和保持模式下的差分输入频率

图2中，蓝色曲线和红色曲线分别表示ADC输入SHA在跟踪模式和保持模式下的输入阻抗虚部值(右纵轴)。可见，频率<100 MHz时，虚部阻抗会在大于4 pF(跟踪模式)和1 pF(保持模式)间变化。图2中，输入阻抗的实部为橙色曲线和绿色曲线(参见左纵轴)。与输入开关断开的保持模式相比，跟踪模式下的阻抗比保持模式的小得多。与缓冲ADC的阻抗在整个额定带宽内保持恒定不同，开关电容ADC的输入阻抗在小于100 MHz输入带宽内会产生较大变化。这就给设计者带来了巨大的挑战，很难在一个给定频率范围内与系统特性阻抗保持充分匹配。

## 谐振匹配

要将有用信号有效地耦合到一个给定ADC的理想奈奎斯特(Nyquist)区，必须了解该ADC在信号频率下的跟踪和保持阻抗。ADC制造商正着手提供用于网络分析的散射参数和阻抗参数。测得的输入阻抗数据可用于设计阻抗变换网络，这种网络能在改善有用信号耦合的同时，抑制其他频段的无用信号。

对任何输入系统，只要提供其差分输入阻抗，就可以设计一个低信号损耗的匹配网络。如果输入阻抗为复数且表示为 $Z_{IN} = R + jX$ ，其中 $R$ 为复合输入阻抗中的等效串联电阻部分， $X$ 为串联电抗，则可求出一种网络，用以将该复合阻抗变换为理想负载。通常我们会把输入阻抗描述为一个等效并联RC网络。要计算这个等效RC并联网络，可以下面等式将阻抗转换为导纳：

$$Y_{IN} = Z_{IN}^{-1} = (R + jX)^{-1} \quad (1)$$

有很多软件程序可以计算复数的倒数，如MATLAB®、MathCAD™，甚至最新版本的电子表格计算器，如Microsoft® Excel，也可用下面的公式求解：

$$(R + jX)^{-1} = \frac{1}{R + jX} \frac{R - jX}{R - jX} = \frac{R - jX}{R^2 + X^2} = G + jB \quad (2)$$

其中

$$G = \frac{R}{R^2 + X^2} \text{ 被称为电导。}$$

$$B = \frac{-X}{R^2 + X^2} \text{ 被称为电纳。}$$

复合导纳 $Y_{IN} = G + jB$ 的单位为 $\Omega^{-1}$ (有时称为姆欧(mho)，即欧姆(ohm)的反向说法，也称为西门子，缩写为S)。要求出等效RC并联网路，则先求 $G$ 的倒数，就可得出并联电阻和一个等效电容值，其电纳等于 $jB$ 。电容的电纳等于 $j\omega C$ 。所以等效并联RC网络值为

$$R_{EQ} = \frac{1}{G} = \frac{R^2 + X^2}{R} \quad (3)$$

和

$$C_{EQ} = \frac{1}{\omega} \frac{-X}{R^2 + X^2} \quad (4)$$

其中， $\omega = 2\pi f$ ，信号频率的角频率。

由于导纳为并联相加关系，因此很容易求出可抵消等式2中的虚部 $jB$ 的谐振电纳。该电纳的幅度应为 $B$ 且极性相反。并联电感的电纳为

$$\frac{1}{j\omega L} = \frac{-j}{\omega L} \quad (5)$$

一个等于 $1/\omega B$ 的电感以谐振方式抵消了虚部电纳，复合电纳就只剩下电导部分了。例如，AD9236在140 MHz时采样阻抗为 $(59 - j270) \Omega$ 。应用等式1和等式2，可求出复合电纳为 $G + jB = (0.77 + j3.5) \text{ m}\Omega^{-1}$ ，并联RC等效电阻为 $G^{-1} = (0.77 \times 10^{-3}) = 1300 \Omega$ ，等效电容为 $(B/\omega) = (3.5 \times 10^{-3}) / (2\pi f) = 4 \text{ pF}$ 。通过使用一个并联电感 $L_p = 1/\omega B$ ，以谐振方式抵消电容性电纳，结果仅剩RC并联等效电阻中的高阻抗电阻部分。

所以：

$$(1/\omega B) = (2\pi f \times 3.5 \times 10^{-3})^{-1} = 322 \text{ nH} \quad (6)$$

且

$$R_{EQ} // C_{EQ} // L_p = ((1300 \Omega^{-1} + (j2\pi f C_{EQ}) + (j2\pi f L_p)^{-1})^{-1} = 1300 \Omega \quad (7)$$

## IF采样与奈奎斯特因素

当信号频率处于第一奈奎斯特区内时，才考虑基带采样。然而，有些ADC可在第一奈奎斯特区之上的较高奈奎斯特区中采样，即所谓的欠采样或IF采样。图3为80 MHz采样频率( $F_s$ )下，信号频率(IF)为140 MHz的各个ADC奈奎斯特区。可见，信号位于第四奈奎斯特区。从图中可以看出，IF频率的镜像或混叠反射回第一奈奎斯特区，看起来就像在第一奈奎斯特区中有频率为20 MHz的信号。另外需注意的是，多数FFT分析器(如ADC Analyzer™)只对第一奈奎斯特区即0 $F_s$ 至0.5 $F_s$ 范围内的FFT绘图。所以，若信号频率高于0.5 $F_s$ ，其镜像将反射至第一奈奎斯特区或称为基带的区域。如果信号频带中存在杂散，则情况将变得更加复杂。那么，当信号频率大于0.5 $F_s$ 时，奈奎斯特准则是否仍然适用？先看一下什么是奈奎斯特准则(摘自Walt Kester的“High Speed Design Seminar”)：

**奈奎斯特准则：**必须以等于或大于信号带宽两倍的速率对信号进行采样，方可保留信号中的全部信息。

用公式表示为等式8，其中 $F_s$ 为采样频率， $F_{BW}$ 为最大信号频率：

$$F_s > 2 \times F_{BW} \quad (8)$$

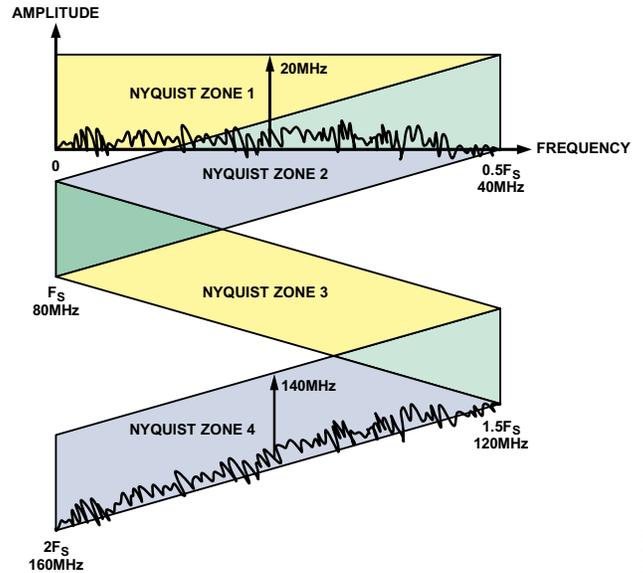


图3 奈奎斯特区的定义

此处的关键为信号频率的位置。只要信号不重叠且处于单个奈奎斯特区之内，就符合奈奎斯特准则，唯一发生变化是第一奈奎斯特区的位置变成了较高区。

由于借助IF采样法可省掉信号链中的混频级，因而这种方法正日益盛行起来。因为信号链中的元件总数减少，由此减少了系统噪声，从而改善了性能。当然系统的总信噪比(SNR)也更好。在某些情况下，这种设计还可提升无杂散动态范围(SFDR)性能，因为在取消混频级后，混频器产生的本振泄漏也得以减少。

进行IF采样时，高频抗混叠滤波器(AAF)的设计显得至关重要。多数情况下，AAF以信号频带为中心而设计。信号频带范围可以是几MHz，甚至是奈奎斯特区的整个带宽，这完全取决于系统所需的最小分析带宽。在IF采样应用中，设计合适的滤波器至关重要，以确保较低奈奎斯特区的低频噪声不落在信号频率所在的较高奈奎斯特区中。滤波器设计不当会引入噪声，这可在噪底基带图中看到。如图4，抗混叠滤波器的阻带衰减特性体现了系统的总体动态范围。

所需系统动态范围与带通滤波器的阶数直接相关。系统分辨率的要求也会影响阶数的选取。分辨率越低，噪底越高。这就意味着混叠信号的有效性降低，滤波器的阶数要求也相应降低。然而，有些较高阶滤波器可能使通带纹波

增加，导致相位和幅度失真，从而对系统性能造成不利影响。总而言之，设计抗混叠滤波器时，必须倍加谨慎。

### 抗混叠滤波器的设计

抗混叠滤波器有助于减少无用奈奎斯特区中的信号量，从而避免造成带内混叠、防止动态性能降低。抗混叠滤波器通常用LC网络设计而成，为获得所需阻带和通带特性，源阻抗和负载阻抗必须选择得当。为设计滤波器网络，可借鉴相关描述滤波器的书。通常用切比雪夫(Chebyshev)或巴特沃兹(Butterworth)多项式来定义滤波器传递函数。有几种基于软件的滤波器设计程序有助于简化这一问题，如Nuhertz Technologies的Filter Free 4.0或Agilent Technologies推出的Advanced Design System(ADS，高级设计系统)。

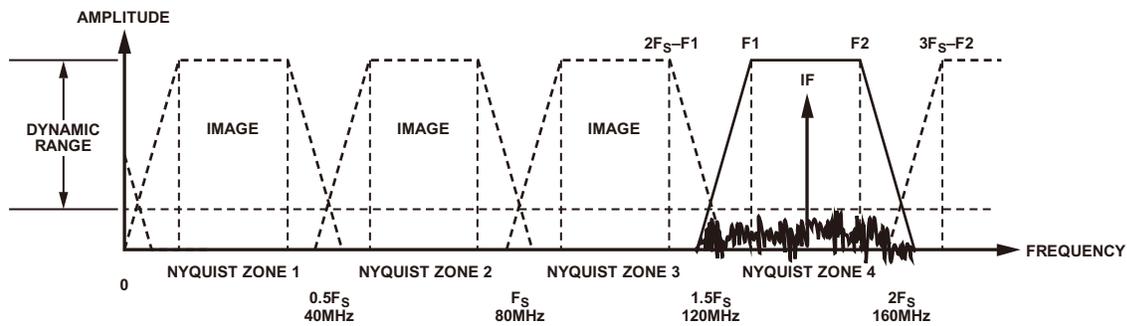


图4 系统动态范围与抗混叠滤波器阻带衰减

也可通过滤波器设计手册查找归一化原型滤波器值，然后按照比例求出所需截止频率和负载阻抗的相应值。图5 (a)所示为四阶归一化原型滤波器的一个例子。该滤波器满足一切比雪夫多项式，理想状态下，当负载-源阻抗比为5:1时，纹波低于0.5 dB。图5 (b)显示的是截止频率为144 MHz、负载阻抗为600 Ω的单端等效网络。具有高动态范围IF采样功能的多数高速ADC都采用差分输入接口。因此，有必要将单端网络转换为差分网络，如图5 (c)所示。转换为差分网络时，串联阻抗值减半。最终采用的实际L值和C值的如图5 (d)所示。印刷电路板寄生效应的建模对于最佳L值和C值

选择来说是很有必要的，考虑电路板走线的寄生串联电感，可以选用电感值稍低的电感。需要注意的是，图5 (c)中的负载被图5 (d)中的ADC接口取代，包括一个并联电感和多个共模偏置电阻。偏置电阻给各差分输入端提供所需的直流偏置，并与ADC输入阻抗和谐振并联电感为滤波器组成一个精确负载。

网络Q值的考虑是非常重要的。负载-源阻抗比越大，越需要注意元件Q值和布局布线的寄生效应。通常情况下，为获得噪声和失真性能的最佳组合，需要根据经验确定元件值并进行试验，最终得到最佳的网络接口。

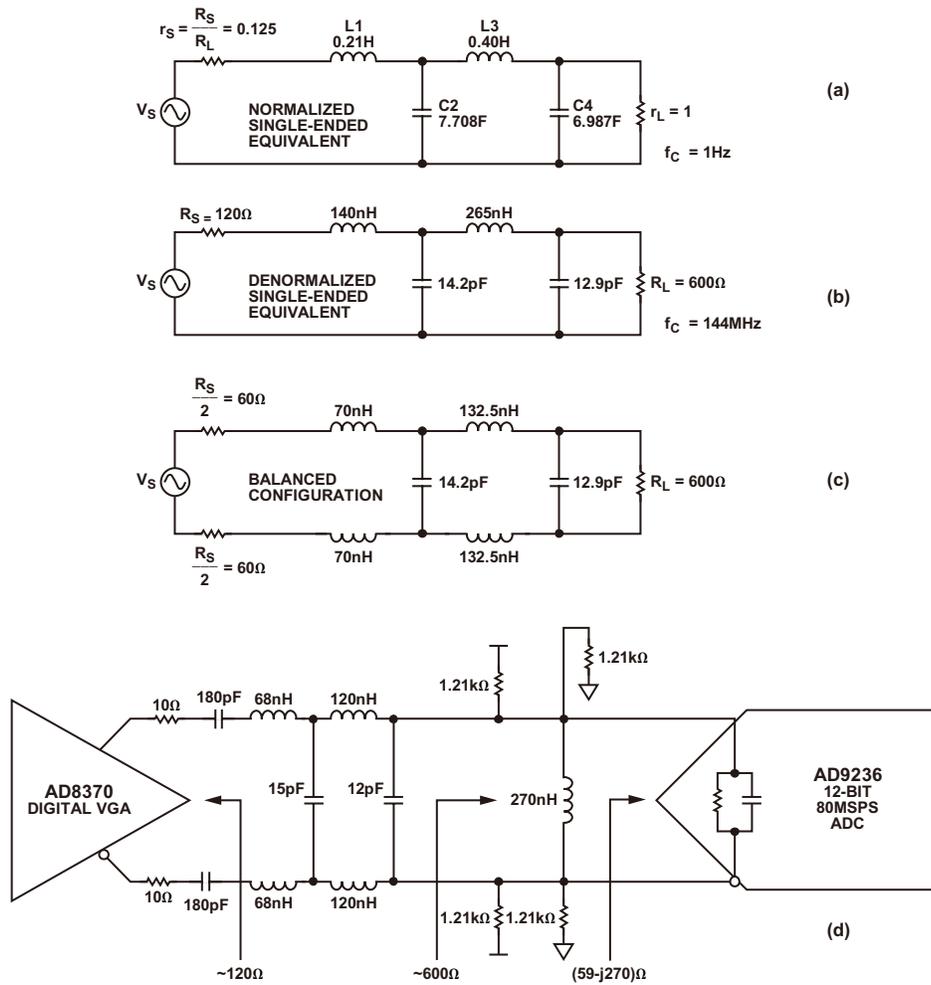


图5 开关电容ADC的匹配

## 测得的性能数据

以上示例中的电路设计具有出色的动态性能，如图6所示。请注意采用和没采用设计得当的接口网络两种情况下，无杂散动态范围和总谐波失真表现出来的差异。谐振并联电感对ADC的阻抗进行转换，为滤波器提供了一种可预测的负载阻抗。除此之外，该并联电感还能帮助吸收低频闪烁噪声和直流失调，从而减小了0 Hz附近的底噪。抗混叠滤波器既有助于抑制高频宽带噪声，以避免造成带内混叠，同时也可帮助抑制驱动放大器输出端的较高频谐波。这为工作于140 MHz中频的高IF采样接收器提供了一种很好的解决方案。在2 MHz带宽内，频率响应表现平坦，变化幅度仅为 $\pm 0.2$  dB，群延迟不足10纳秒。

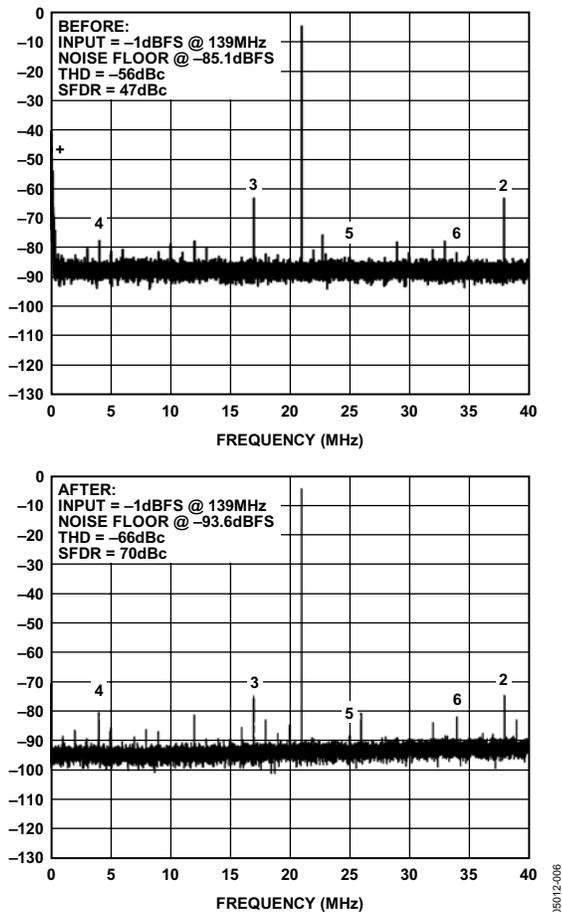


图6 驱动AD9236的AD8370(140MHz, 使用匹配网络之前与之后)

较低频示例如图7所示。这种解决方案以一种双下变频式IF采样设计为目标，其中有效带宽为5 MHz，群延迟低于100纳秒，通带纹波不足 $\pm 0.25$  dB。这里采用AD8351差分放大器

来驱动AD9244(14-位、65 MSPS CMOS模数转换器)。使用的设计方法与前面例子中的一样。级联底噪改善幅度超过6 dB，同时SFDR提高了10 dB以上。

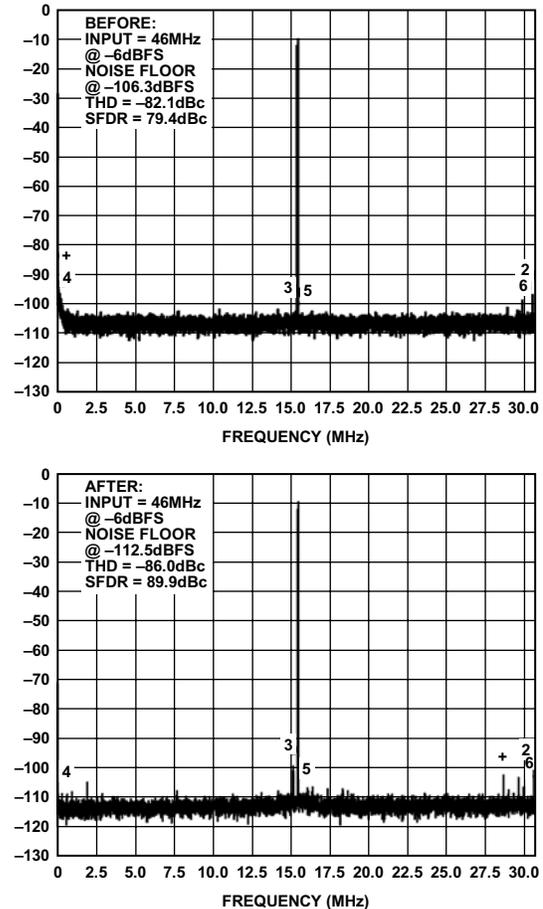


图7 用于驱动AD9244的AD8351(48MHz, 之前与之后)

## 小结

对接收器设计工程师来说，驱动放大器和开关电容ADC进行匹配无疑是一大挑战。本文介绍了一种对放大器正确匹配的方法。利用开关电容ADC在跟踪模式下的S参数，可以设计出用来抵消ADC SHA网络中的寄生电容的谐振匹配网络。这一便捷的解决方案通过匹配使得ADC输入阻抗表现为纯阻型，从而，带宽得以改善，通带更加平坦，SFDR性能也得到了提升。

## 参考资料

- Chapter 4, *High Speed Design Seminar*, Walt Kester, Editor
- Filter Free 4.0, Nuhertz Technologies—online filter design software package
- MS Excel
- MATLAB
- MathCAD
- *RF Circuit Design*, Chris Bowick, page 66 to page 97
- AN-742, Frequency Response of Switched-Capacitor ADCs

欲了解有关AD9215/AD9226/AD9235/AD9236/AD9237/AD9244/AD9245开关电容ADC输入阻抗的相关信息，请访问：[www.analog.com](http://www.analog.com)。在产品页面中，请点击“评估板”选项卡，下载有关ADC在跟踪保持模式下输入阻抗的相关数据(Microsoft Excel电子表格格式)。

