

ADC变压器耦合前端设计

作者: Rob Reeder

简介

本应用笔记列出的五步流程可以帮助读者设计基于高中频窄带应用的最佳ADC前端。

在现代通信系统和测试设备中,为了在数字域中执行信号处理,通常需尽快将模拟信号转换为数字信号。然而,为模数转换器(ADC)设计变压器前端电路却可能具有一定挑战性,尤其是在高中频系统中。幸运的是,本文介绍的五步优化流程可以帮助读者开发最佳的ADC前端。该流程易于实施,可快速应用于几乎任何应用之中,以达到所需性能要求。

该五步流程基于以下简单而符合逻辑的步骤:

1. 了解系统及设计要求。
2. 确定ADC输入阻抗。
3. 确定ADC基准性能。
4. 根据负载需要选择变压器和无源组件。
5. 对设计进行基准测试。

第1步: 了解系统及设计要求

第1步不言自明,但了解特定应用的要求,从一开始即选择正确的元件,可大幅减少重复次数,并快速实现所需性能。列出各种设计要求,设定目标工作界限。这样做有利于快速选择ADC和变压器。

例如,假设存在一个应用,要求采样速率为61.44 MSPS,以捕获带宽为20 MHz,中心频率为110 MHz(100 MHz至120 MHz)的信号。则要求信噪比(SNR)要优于72 dB,也就意味着需用一个14位ADC来提供所需信噪比性能。功耗应低于500 mW/通道。快速搜索后,发现ADI推出的14位、80 MSPS [AD9246](#) ADC能满足这些系统级性能要求。该器件设计工作电压为1.8 V至3.3 V。这款器件因带宽宽和低功耗(见表1)而被选中。

在该示例设计中,ADC输入为110 MHz中频信号,带宽为20 MHz,采样速率为61.44 MSPS。由于带宽较窄(一个奈奎斯特频段),因而采用了一种谐振匹配技术。这类匹配技术带宽更低,但可在指定频率范围内实现良好匹配。这种情况通常要求将一个电感或铁氧体磁珠跨接在模拟输入信号和ADC输入端上,以通过谐振方式使寄生电容远离ADC输入级。如果目标中频位于基带(第一奈奎斯特频段)之内,则可用简单的RC网络来实现低通滤波器。

表1 设计要求示例

界限	输入阻抗(Ω)	电压驻波比(VSWR)	通带平坦度(dB)	中频-3 dB带宽(MHz)	信噪比(SNR)(dBc)	无杂散动态范围(SFDR)(dBc)	输入驱动电平(dBm)
理想值	50	1	<0.5	150	72	85	4
设计限值	30	1.5	<1	300	69	80	7

目录

简介	1	第5步：对设计进行基准测试	4
第1步：了解系统及设计要求	1	可选步骤6	5
第2步：确定ADC输入阻抗	3	结论	6
第3步：确定ADC基准性能	3	补充读物	6
第4步：根据负载需要选择变压器和无源组件	3		

第2步：确定ADC输入阻抗

在流程第2步中，需确定ADC输入阻抗(见图1)。所用器件AD9246是一款非缓冲型或者说是开关电容型ADC。这就意味着输入阻抗是时变的，而且会随着模拟输入信号的频率发生变化。确定该器件的输入阻抗时，可使用AD9246产品页面中的电子表格。在该电子表格中，找到在110 MHz下测得的跟踪模式阻抗。在该例中，ADC内部输入负载看起来像一个6.9 k Ω 电阻与一个4 pF电容并联。最好在ADC跟踪模式下进行匹配，因为这正是ADC实际采样的时间。表2列出了部分AD9246产品页面电子表格。

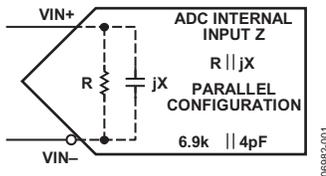


图1 可将ADC的内部输入阻抗看作电阻与电容的并联配置

表2 并联配置下的AD9246输入阻抗¹

频率(MHz)	采样模式		保持模式	
	R (k Ω)	C (pF)	R (k Ω)	C (pF)
109.02	7.012504	-4.023861	23.621962	-2.219631
109.64	7.001112	-4.020610	23.501558	-2.219192
110.27	6.909521	-4.017265	23.226639	-2.218956
110.89	6.806530	-4.013601	23.724023	-2.218073
111.52	6.750957	-4.012279	23.477964	-2.216845
112.14	6.695931	-4.010091	23.463246	-2.216127

¹ 粗体行表示例子设计中用到的值。

第3步：确定ADC基准性能

第3步是确定ADC的基准性能，以在优化各项设计参数前更好地了解ADC的性能表现。为确定这种基准，请使用评估板，保持其默认配置不变。这是在产品数据手册所列规格下，ADC最可能表现出来的特性。

然后，着手收集各项性能指标。这可通过对频率为110 MHz，满量程分贝(dBFS)为-1 dB的输入信号的采样值做快速傅立叶变换(FFT)，结果是信噪比为72 dB，无杂散动态范

围(SFDR)为82.7 dBc，接近数据手册所列规格。采集特性数据时，应使用高性能信号发生器和滤波器，以便在测试时清除信号发生器中存在的任何谐波和杂散成分。

接下来，移除滤波器并将ADC评估板重新连接至测试信号发生器。应重新调节并记录信号发生器的输出电平，此处为14 dBm，以采集输入驱动数据。应在足够的带宽内扫描输入频率，以了解通带平坦度的变化并获得-3 dB点¹。此例中，前端默认配置中有一个简单RC滤波器，使通带平坦度达1.2 dB，带宽约为100 MHz。

上述数据既已采集完毕，就应作一些决定了。当要求信噪比为72 dB、无杂散动态范围为83 dBc时，必须使用一个抗混叠滤波器(AAF)，以改善杂散性能并使信号谐波较低。但这并不能解决输入驱动和通带平坦度问题。默认评估板上的抗混叠滤波器可使目标通带快速衰减。使用一个简单的并联电感能起一定作用，因为在目标频率下，这种器件衰减更少，带外滚降性能更佳。对于输入驱动，可使用一个1:4的变压器，以使ADC达到满量程要求。变压器可使信号增大+6 dB，因而可以更多地补偿输入驱动要求。最后，应用矢量网络分析仪(VNA)测量输入阻抗和VSWR。输入目标频率，了解输入匹配情况。此例中，110 MHz下测得值为35 Ω ，结果VSWR为1.44:1。

第4步：根据负载需要选择变压器和无源组件

第4步是根据负载需要选择变压器和无源组件。上一步确立了基准，为本步打下了基础。接下来，必须选择变压器和R与L的元件值以匹配负载，然后要在ADC与变压器次级之间建立一个能实现所需总体性能的抗混叠滤波器(图2)。

¹ 有关ADC测试的更多信息，请参阅AN-835。

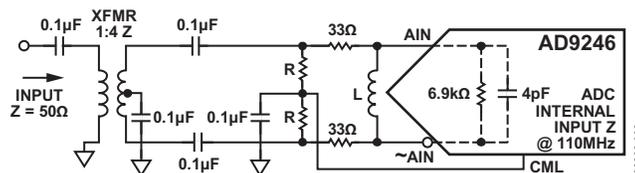


图2 前端原理图；所选电阻值和电感值必须与负载相匹配

这一步是经验或实验的用武之处。由于不同变压器的性能可能存在较大差异，因而选择变压器存在一定难度。本例所选变压器的根据是，变压器已经测量过，其性能也已弄清。一般而言，应选择一个相位不平衡特性出色的变压器，这非常重要。该示例应用带宽较窄，所需输入驱动低，因而采用了一种阻抗比为1:4的已知变压器。

关于如何为ADC选择变压器，有一些简单的指南，其中一条是关注技术规格。比如，应仔细比较回损、插损以及相位与幅度不平衡等技术规格。如果数据手册中未标注这些参数，请向制造商索取相关数据，或用矢量网络分析仪进行测量。选择标准通量耦合变压器，还是选择巴伦，取决于带宽要求。标准变压器的带宽一般处于1 GHz或以下区间，巴伦则可实现高得多的带宽。

需注意的是，端接可在初级和次级之间分离，但此例中，为了将所需元件数降至最低，只将次级端接。根据具体应用，分开端接可能更合适。

在模拟输入中，应采用15 Ω至50 Ω的小值串联电阻。本例使用了两个33 Ω电阻。这样做是为了限制从非缓冲ADC回到模拟输入中的电荷注入量。这样还有助于确定来自前级的源阻抗。在90%的情况下，可使用33 Ω电阻，但实践证明，有时改变此值可以略微提升性能。

接下来，求出变压器次级的端电阻。计算显示，对于次级而言，低于251 Ω的电阻为一个较好的起点。200 Ω可用于理想的1:4阻抗比变压器。开始计算时，请用指定中心频率下的回损值来计算实际特征阻抗(Z_0)。

以下为变压器次级的端阻抗计算示例。回损为

$$\text{回损}(RL) = -18.9 \text{ dB @ } 110 \text{ MHz} = 20 \log \left(\frac{50 - Z_0}{50 + Z_0} \right)$$

用该回损值可求出变压器次级的特征阻抗。

$$10^{\left(\frac{-18.9}{20}\right)} = \frac{50 - Z_0}{50 + Z_0}$$

其中， $Z_0 = 39.8 \Omega$ 。

在理想的1:4阻抗变压器中，次级上的200 Ω应等价于初级上的50 Ω。但实际系统中并未如此。为了确定反射回初级的实际阻抗，用上一步求出的 Z_0 值，并进行以下简单计算：

$$\frac{Z(\text{Prim Reflected})}{Z(\text{Sec Ideal})} = \frac{Z(\text{Prim Ideal})}{Z(\text{Sec Reflected})}$$

$$\frac{39.8}{200} = \frac{50}{X}$$

求解X， $X = 251 \Omega$ 。

由于变压器存在一些不明损耗，因而251 Ω的次级的端电阻会对这些损耗进行补偿。这是一个较好的变压器次级的端接值，以将正确的阻抗反射回初级。这种情况下，设计要求指定的是50 Ω。

接下来，必须确定电感值L，用于以谐振方式抵消内部ADC寄生电容。这非常简单，只需将电容值C(4 pF)设为L值即可。

以下为电感L计算示例：

$$X_C = \frac{1}{2\pi f C} = \frac{1}{2\pi \times 110 \text{ MHz} \times 4 \text{ pF}} = 361.7 \Omega$$

$$X_L = 2\pi f L$$

$$X_C = X_L$$

用这些值可以求出L：

$$L = \frac{X_C}{2\pi f} = \frac{361.7}{2\pi \times 110 \text{ MHz}} = 523 \text{ nH}$$

L的电抗被设为C的相同。此时，在110 MHz时，4 pF电容转换为等于523 nH的电感。这就为L值设定了一个起点。

第5步：对设计进行基准测试

在寻求最佳ADC变压器匹配的过程中，最后一步是用以前各步求出的电阻值和电感值对设计进行基准测试。再次测量各项性能指标是很重要的，它们是信噪比、无杂散动态范围、输入驱动、通带平坦度和输入阻抗，就如前面在默认条件下确定ADC基准性能时所做的那样。

值得注意的是，为获得最佳性能，求出的R值和L值都可能有所不同。这些值可能与开始时依据供应商偏好和可用元件大小计算出的值之间存在差异。反复过程中，可用电子表格来跟踪每次变化情况。

本例中，转换器接近满量程，信噪比和无杂散动态范围处于额定目标之内(见图3)。在110MHz时，信噪比接近72 dB，无杂散动态范围为80 dBc。图4所示为测得的输入驱动(3.1 dBm)最终性能结果。图中同时显示，在50 MHz频段中，通带平坦度低于0.5 dB。-3 dB带宽为150 MHz，可满足示例要求，并可为该设计提供充足的杂散抑制能力。

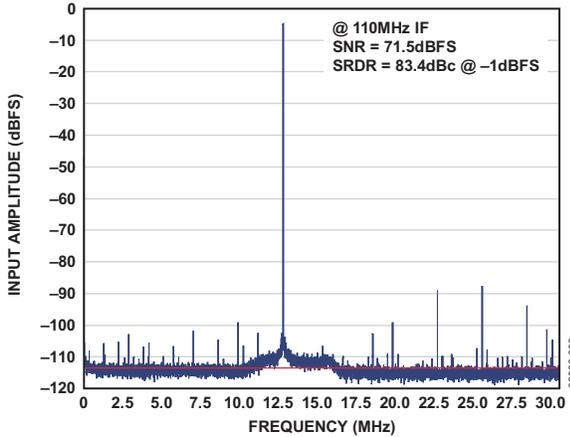


图3 采用示例变压器电路时，ADC信噪比和无杂散动态范围最终测试结果

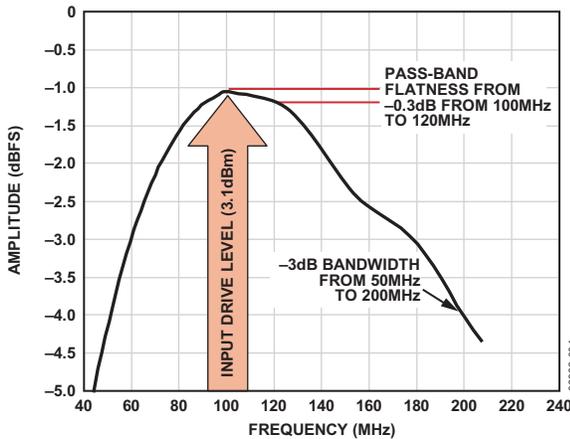


图4 采用示例变压器电路时，ADC输入驱动和通带平坦度最终测试结果

图5所示为通过矢量网络分析仪测量的史密斯图与输入设计的VSWR坐标图的组合。110 MHz下，输入阻抗约为41 Ω。VSWR始终接近1.2:1，符合滤波器特性。

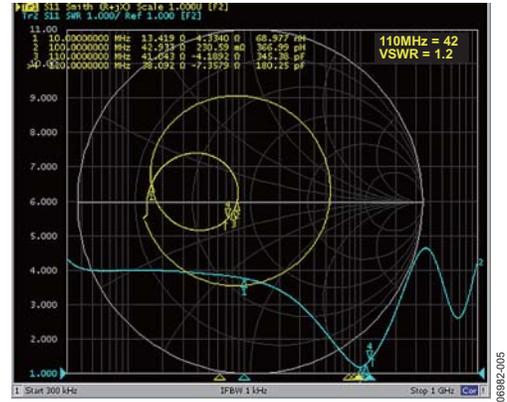


图5 采用示例变压器电路时，ADC输入阻抗和VSWR测得性能

最后，本例显示，匹配输入电路或ADC模拟前端不但能改善输入驱动、通带平坦度(中频通带)和负载反射功率(VSWR)等指标，同时还能实现与数据手册规定相同的ADC信噪比和无杂散动态范围。

可选步骤6

流程中还有一个可选步骤6，即对比计算性能与实际测得结果。作为检验，可算出阻抗结果并与测得值进行比较。以下为整个输入匹配的计算示例：

$$X_C = \frac{1}{2\pi fC} = \frac{1}{2\pi \times 110 \text{ MHz} \times 4 \text{ pF}} = -361.7\Omega,$$

ADC理想阻抗

$$6.9 \text{ k}\Omega \parallel 4 \text{ pF 或 } (6.9 \text{ k}\Omega + j0) \parallel (0 - j361.7) = (18.9 - j361),$$

ADC阻抗

$$X_C = \frac{1}{2\pi fL} = \frac{1}{2\pi \times 110 \text{ MHz} \times 523 \text{ nH}} = -361.5\Omega,$$

L理想阻抗

$$(18.9 - j361) \parallel (0 + j361.5) = (6.93 \text{ k}\Omega + j72.8)$$

$$(6.93 \text{ k}\Omega + j72.8) + (66 + j0) = (6.97 \text{ k}\Omega + j72.8),$$

添加两个33 Ω电阻

变压器次级的端阻抗为

$$(6.93 \text{ k}\Omega + j72.8) \parallel (242 + j0) = (234 + j82.1\text{m})$$

可根据以下公式算出具体大小

$$(R^2 + jX^2)^{1/2} = 234\Omega$$

如第4步一样，再用该比例，

$$\frac{234}{200} = \frac{50}{X}$$

求解X，X = 42.7 Ω。这种情况下，测试结果和算出的阻抗值非常接近。

结论

创建新设计时需注意的要点包括：对设计中的重要参数排序；用一定时间来制定适当的系统和设计要求。

选择变压器时必须注意的是，变压器不尽相同，比较不同元件的最好办法是全面了解各项变压器规格。如果没有相关规格，请向制造商索取参数资料。高中频设计可能对变压器相位不平衡非常敏感。在极高中频设计中，可能需要采用两个变压器或巴伦，以抑制偶次谐波失真。

选择ADC时，需确定是使用缓冲型还是非缓冲型ADC。非缓冲型或开关电容型ADC的输入阻抗具有时变性，高中频时，设计难度更大。如果使用非缓冲型ADC，请始终在跟踪模式下进行输入匹配，并使用制造商网站上提供的输入阻抗电子表格。即使在高中频下，缓冲型ADC也更易于设计，但会比非缓冲型ADC消耗更多功率。在计算R值和L值时，请注意，这是个较好的起点。并非各个应用中的所有布局和寄生电容都相同，因此，请注意，可能需要进行反复设计，以满足具体应用的性能要求。

补充读物

AN-742，开关电容ADC的频率域响应。

AN-827，放大器与开关电容ADC接口的匹配方法。

[AD9215](#)、[AD9226](#)、[AD9235](#)、[AD9236](#)、[AD9237](#)、[AD9244](#)和[AD9245](#)的ADC开关电容输入阻抗(S-参数)数据。请前往相应产品页面，点击“评估板”(Evaluation Boards)，然后下载Microsoft Excel电子表格。

Rob Reeder, “Transformer-Coupled Front-End for Wideband A/D Converters,” *Analog Dialogue* 39-2, 2005, pp.3-6.

Rob Reeder, Mark Looney, and Jim Hand, “Pushing the State of the Art with Multichannel A/D Converters,” *Analog Dialogue* 39-2, 2005, pp. 7-10.

Walt Kester, “Which ADC Architecture is Right for Your Application?” *Analog Dialogue* 39-2, 2005, pp. 11-18.

Rob Reeder and Ramya Ramachandran, “Wideband A/D Converter Front-End Design Considerations—When to Use a Double Transformer Configuration,” *Analog Dialogue* 40-3, 2006, pp. 19-22.

Rob Reeder and Jim Caserta, “Wideband A/D Converter Front-End Design Considerations: Amplifier- or Transformer Drive for the ADC,” *Analog Dialogue* 41-1, 2007, pp. 6-12.

Analog Devices (www.analog.com), [AD9246](#), 80 MSPS/ 105 MSPS/125 MSPS、14位、1.8 V开关电容型ADC数据手册。

Mini-Circuit, ADT1-1WT数据手册。

M/A-COM, ETC4-1T-7和ETC1-1-13数据手册。

注释

AN-935

注释