

## 多载波WCDMA的可行性

作者: Brad Brannon和Bill Schofield

### 摘要

本应用笔记旨在阐明实现多载波3G收发机的可行性以及子系统的主要性能要求。

### 一般框图

图1给出了本文使用的一般框图。虽然实际应用有很多设计变化,但是该架构基本体现了收发机部分的主要内容。该架构是一套灵活的无线电平台,可用于包括WCDMA、CDMA2000和TD-SCDMA在内的多种通信标准。

其可能变化包括高IF采样或低IF采样以及接收部分直接变频等。尽管后者不适用于当前的多载波通信,却被公认为在不久将来将成为低成本、高性能解决方案。在发射路径中,只要提供一定量的IQ平衡,多数应用都可使用直接RF调制。这代表着成本最低的发射路径。对于需要高性能而无IQ平衡网络的应用,超外差式IF上变频则是另一种良好的选择。

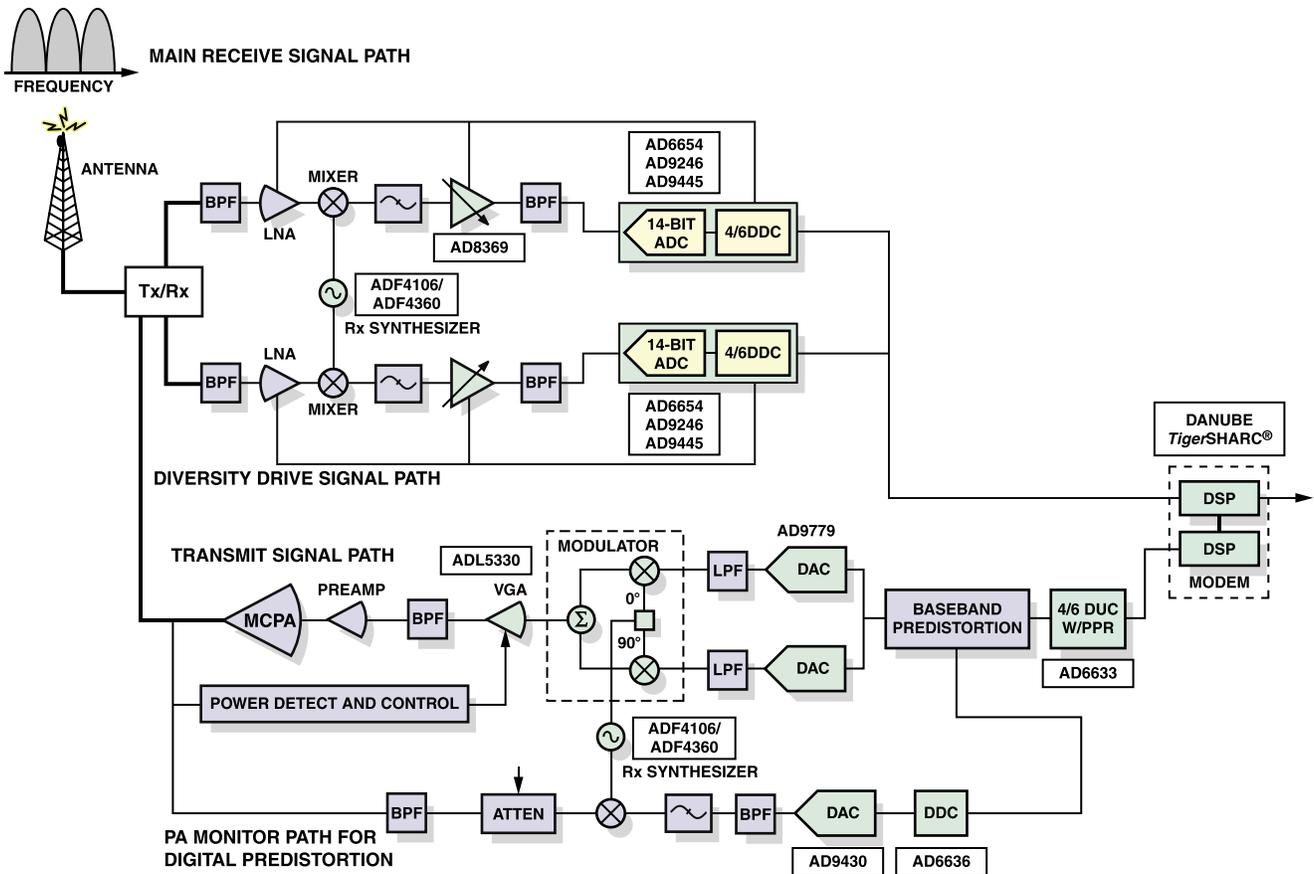


图1. ADI宽带多载波TRX通用平台CDMA2000/WCDMA/TD-SCDMA

除上面讨论的电路原理图方面的差异以外，还有许多装配选项，这些装备选项具有较大的影响。这些选项包括系统级分割，如Rx和Tx电路板相分离，无线电和基带处理相分离等。其他选项包括芯片分割。在单封装中同时融入了Rx和Tx功能的MxFE，即是例子之一。该选项有利于提高集成度，降低成本，能够很好地替代低容量系统选项。其他选项包括，结合ADC和RSP以提高集成度、降低成本，同时规避进出口限制。这些以及其他选项都值得深入探讨。

## WCDMA

本报告规范参照了3GPP TS 25.104 V6.2.0对广域基站(BS)要求，特别是第7章内容。此标准的关键规范是参考灵敏度、频带划分和阻塞要求。假定Node B终端无需同时满足灵敏度和与不同平台的阻塞要求。我们可能需要在满足广域基站灵敏度的同时达到局域基站阻塞要求，但这并不是本文讨论的内容。需要注意的是中域和局域基站Node B终端与广域基站有类似的动态范围要求，不同之处在于需要增大输入电平。这些可以通过相同的设计仅提高电平规划实现，因为这些系统能容许噪声的增加。

## 接收部分

**接收机工作条件：**在3.84 MHz信道带宽内，标准要求的最低灵敏度为-121dBm，也即每赫兹信号密度-186.8 dBm/Hz。如有注明，同时适用WCDMA测试条件规定的-115 dBm/3.84 MHz (-180.8 dBm/Hz)。

第二组条件用于确定带内阻塞。标准针对阻塞规定了两种重要的子条件。第一个子条件是两个信号之间的交调为-48dBm(采用GMSK阻塞时，工作频带II和频带III为-47 dBm)。其中之一为CW音，另一为调制WCDMA载波(见图4)。第二个子条件是邻近阻塞以及第一和第二邻近阻塞。其中最大的是-40 dBm/3.84 MHz。假定-40 dBm的信号以单码调制，因此其他峰均方根值约为3.5dB。根据上述输入条件，最大输入功率条件为-40 dBm/3.84 MHz的阻塞，结果产生约-36 dBm的峰值功率。其假设是带外信号经衰减处理，不在ADC动态范围考虑之内。由于邻近频带的信号与带内信号相同，因此频带滤波器之前可能存在一定的衰减。然而，由于这些信号滤波后的电平低于带内阻塞或与其相同，因而几乎不需要额外的动态范围，但具体取决于所选频带滤波器的特性。这种宽带滤波的关键要求是防止信号混叠。因此，任何模拟滤波都必须提供充足的抑制性能，以在阻塞混叠进ADC可用频谱时将其衰减至本底噪声之中。这种情况适用于IF采样和直接变频。

**假设条件：**有了这些信息后，即可确定前端设计信息。如果天线的最大峰值信号约为-36dBm，转换器满量程为4 dBm 均方根值/7 dBm峰值(很多ADC的典型值为2 V<sub>p-p</sub>至输入阻抗200Ω)，则最大转换增益可以使用43dB。增益为40时会使ADC的驱动峰值输入达+4 dBm左右，在上限处剩下3dB，可当作附近其他强信号的功率裕量或器件裕量。由于目前的接收机一般都集成了LNA、无源混频器和滤波器件，典型下变频模块的噪声系数可以到达3dB以下(不包括ADC)。利用这些数字可进行如下计算。如果还要考虑布线和其他硬件损耗以及器件容差变化，则必须将其包括在内。

最后的假设条件为ADC的采样速率。如果基本数据速率为3.84 MHz，则时钟速率可以是16x、20x、24x和32x。由于转换器数据速率不断提高且持续运行，所以较高的采样速率在噪声方面具有一定的优势。应使用较高的速率之一，如92.16MHz。如果实际应用中使用了较低速率，则76.8 MSPS的信噪比要求增加1 dB，61.44 MSPS为2 dB。如前面所讨论的那样，除噪声优势以外，较高采样速率还可为频带滤波器提供更多跃迁。如果采用复合基带采样，则最好使用双通道12位或14位转换器系列，如AD9228和AD9248。

**ADC信噪比要求：**基于上述转换增益和噪声系数，即可计算出ADC的信噪比。假定天线噪声频谱密度为-174 dBm/Hz。采用前述转换增益和噪声系数，ADC输入的噪声频谱密度(NSD)为-131 dBm/Hz (-174 + 40 + 3)。这里假定ADC奈奎斯特频带之外的噪声使用抗混叠滤波器过滤，以防止ADC采样时出现混叠产生前端热噪声。如果ADC本底噪声比前端噪声低10 dB，则对接收机整体噪声系数影响约为0.1 dB。因而ADC的最大本底噪声为-141 dBm/Hz。可使用较高的ADC本底噪声。由于ADC噪声会影响接收机的本底噪声，参见2001年6月《在线无线设计和开发》在线版“DNL及其对转换器性能的部分影响”中介绍的一些非线性因素，接收机的性能会受到影响，特别是信号功率估算。因此，ADC本底噪声应尽可能小，设计值不应过大。

对于中频采样，ADC奈奎斯特频带总噪声可通过简单积分确定。超过46.08 MHz(92.16 MHz奈奎斯特频带)时，总噪声水平为-64.4dBm。如果ADC满量程均方根值为+4 dBm，则最小满量程信噪比应为68.4dB。如考虑较大阻塞，在频带II和频带III，则ADC需具有较高的噪声性能，如下各节所示。

尽管直接下变频尚未上市，但因简单、成本低而成为了首选架构。但这种方法有可能在开发新多载波产品时出现，因此本应用笔记将其纳入了考虑范围。目前而言，限制体现在正交解调器和数据转换器上。对于多载波应用，通过解调器和数据转换器进行IQ平衡和次级交调都是至关重要的因素。除此以外，数据转换器的一般性能还需达到与中频采样变化相同的水平，其优势在于频率输入范围较低。

对于基带采样，直接变频有两种频率规划选项。第一种选择是平衡任一直流端的有源FA。如果该值为奇数，则直流端有一个FA。如果该值为偶数，则直流端不存在FA。如果选择该选项，邻近边带上的镜像抑制性能必须能够在信

号强度为-121(-115) dBm下容许-40 dBm阻塞信号，前面对此已有讨论。可以假定直流端出现FA，因而必须考虑表现为LO馈通、相位噪声和直流偏置等形式的直流噪声。此外，还需考虑解调器中产生的次级交调失真。这些因素是多载波直接变频接收机的主要应用障碍。尽管这些并不是多载波信号链的独有问题，但单载波信号路径存在的限制较少，实施起来较为容易。第二种选择是将全部信号置于直流的一侧，将镜像原封不动地交给另一侧。这种选择虽然比较浪费频谱，但的确可以减少镜像抑制的影响，将关注焦点转移到交调失真等问题上来。

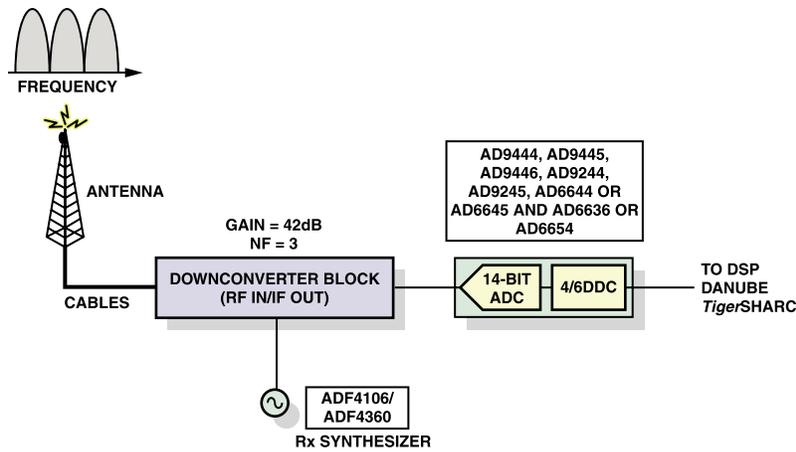


图 2.

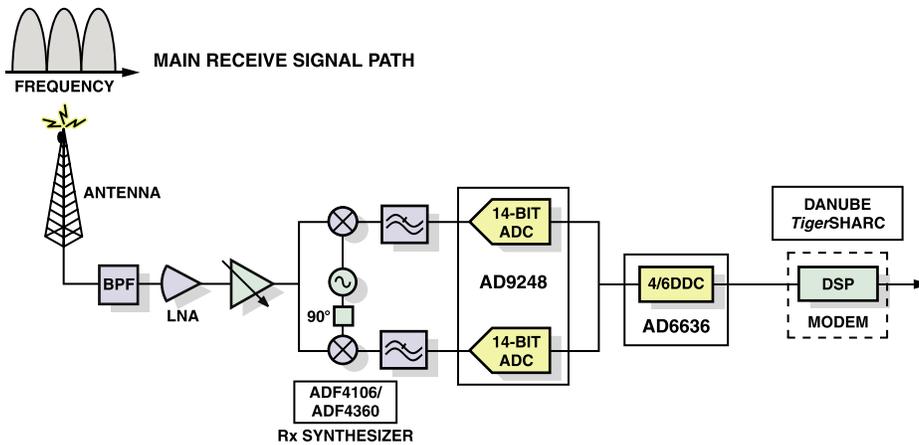


图3.

解决数字域中的许多正交平衡问题是可能的，后面有一节将详细讨论这个问题。为此，需要采用一些手段以解决IQ增益失配、直流偏置、IQ相位校正和复合基带调谐等问题。为了处理部分这类问题，AD6636提供了具有针对性的多种补偿功能。AD6636不但适用于多载波中频采样，而且适用于多载波信号的IQ信号处理，包括IQ增益调节、自动直流偏置校正、IQ相位校正等功能，同时还具有执行复合基带调谐的能力。

对于直接变频，另有几种因素需要考虑。首先，有可能使用较低的采样速率。由于需要两个转换器，因此低采样速率的转换器能使数字处理速率尽可能低速和降低功耗。采样速率有可能是61.44 MSPS，可提供61.44 MHz的满量程复合带宽。如果假设ADC的输入范围保持不变，则可允许3 dB的增量，因为在典型频率转换级的相关损耗以外，IQ变频器同时在两个ADC间分配功率。如果不增加这点增益，则会损耗3 dB（约数）的ADC范围。在数字处理中，这些信号再次相加，产生的信号比原信号高3 dB，同时含有ADC本底噪声，比两个ADC的不相关本底噪声高3 dB。同时，与ADC有效本底噪声影响一样，ADC的有效输入范围也高出3 dB。结果抵消一定的一阶灵敏度，因为信号电平和提高量相同。如果信号路径包括3 dB的额外增益，则IP3的要求应按比例增加。对于一阶而言，各个ADC同时还须达到中频采样的相同要求。尽管采样速率低于中频采样在其他情况下可能使用的采样速率，但噪声带宽等于全采样速率。结果，噪声性能类似于工作于122.88 MSPS下的中频采样解决方案，而且额外具有两种优势。首先，由于模拟信号处于基带水平，因此时钟抖动不再成为问题。第二，由于模拟信号处于基带水平，因而不受转换器的输入压摆率限制，而该因素是导致中频采样系统谐波失真的罪魁祸首。

目前看来，首要重点是提供一种符合动态范围要求的固定增益解决方案。这要求使ADC噪声保持足够低于接收机模拟热噪声，同时又不超过ADC的值，在二者之间保持微妙平衡。如前面讨论的那样，这种情况下可使用最低信噪比为68.4 dB的转换器。然而，有时可能需要提高ADC噪声与

Rx热噪声之差，或者增加上端的信号范围。通过AGC电路即可实现这点。虽然这种解决方案在单载波系统中有利于降低ADC的动态范围要求，但对多载波应用并不适用，尽管许多情况下是必要的选择。在这样的系统中，可能需要在转换器分辨率的增益控制范围方面作出牺牲，以维持类似的动态范围。由于任意单个WCDMA载波在多数情况下很可能保持于-70 dBm左右，因此在没有其他阻塞信号时可以应用较大的额外增益。然而，仅当需要在增益和交调之间作出权衡时（非阻塞条件下多如此），这种办法才是可取的。这一水平的信号远高于本底噪声，因此这种额外的增益对性能提高不大。这就是说，较低固定增益不仅是从性能角度所作考虑，同时也是从逻辑角度考虑的结果。

无论采用哪种增益控制，都必须知道功率水平。WCDMA对功率测量有着严格的要求，需要通过某种方式来估算功率水平。虽然在DSP中可以轻松实现，但在数字硬件中实施起来效率更高。在硬件中运算可以为DSP免除部分处理负担，同时还能减少计算延迟，而且能在需采用模拟AGC的情况下降低前端过驱几率。

基于信噪比要求，可通过优质12位ADC将动态范围维持在最小灵敏度与最大带内阻塞之间。但这样做的前提假设是WCDMA带内部署。部署于850 MHz、900 MHz、1800 MHz或1900 MHz频带时，转换增益受到窄带阻塞的限制。这些阻塞可能比WCDMA频段中高出10 dB至12 dB(900 MHz频带中高20 dB以上)，因此必须降低转换增益，同时可能会降低灵敏度。其实现方式有三种：降低总固定转换增益；维持较高增益；添加VGA以降低大信号条件下的增益。这样可以使参考灵敏度得到维持，但随着接收机总输入信号电平的增加，则会被系统性地牺牲掉。建议解决方案是将12 dB的转换增益转至VGA。然后，可以在适当的信号条件下降低该增益，以防止接收信号链发生削波现象或限制。AD6636一类的数字下变频器产品可配置为控制VGA，此外，也可重调数字数据流以使绝对数字输出数据维持正确的功率信息。

VGA有两种实现方式。比如，VGA可设为在范围底部调节信号，以在信号达到足以克服噪声限制的水平时降低增益。类似地，VGA也可设为在范围顶部调节信号，在信号链出现削波或限制之前降低增益。两种方式都有其优点和不足，其目标是实现接收机而不应用任何增益控制。

如果采用VGA，则须同时含有电压和时间迟滞控制，以防止信号发生二次调制。表1所示为增益滚降时的预期灵敏度。需记住的是，随着增益下降，ADC对接收机总噪声系数的贡献逐渐增大，因而对接收机的整体影响也趋恶化。例如，在高增益状态下，ADC接收到的前端噪声密度为-131 dBm/Hz。在低增益状态下，噪声降至-137 dBm。如果ADC噪声密度为-145 dBm，则意味着总噪声中来自ADC的噪声比重增加了。有鉴于此，只要可运行充足的增益，14位转换器即足以满足多载波WCDMA应用的需求。如果转换增益开始降低，则ADC的噪声将占主体，接收机的性能将受到影响。

通过利用AD6636中的功率测量功能，或者通过其他DSP计算功能并将VGA作为环路终点，即可实现需要的模拟增益控制。此外，AD6636含有一种ADC预削波功能，可以检测到低于满量程的峰值信号，并在达到转换器满量程之前设定数字增益放大器或PIN二极管衰减器的增益，由此防止转换器发生削波现象。DDC还可以对模拟变化进行数字补偿，以使最终的数字数据相对于接收机的实模拟输入再次线性化。类似地，模拟增益路径的延迟（包括ADC的流水线延迟）也在该流程中进行处理。

**SFDR要求：**本文对杂散性能提出的要求略低。不过，标准中对SFDR提出了几条指导要求。主要是单音和双音阻塞技术规范。在该测试中，允许窄带信号(CW)与WCDMA信号或GMSK信号交调，具体取决于工作频带。WCDMA条件

下，两种信号均设为-48 dBm，GMSK(频带II和III)条件下则设为-47 dBm。

首先来看看GMSK条件下的频带II和III测试，交调产物超出了目标信道，与中心信道偏离2.4 MHz，其中信道3 dB带宽为1.92 MHz。数字信道滤波可在相关器之前对交调产物进行充足的过滤，因而不会对目标信号产生直接影响。我们在测试中假设五阶交调产物远远好于预期的三阶交调产物。即使位于频带之内，也不会造成问题。否则必须符合下面确定的杂散要求。

对于CW音和WCDMA载波之间的交调，结果形成的交调产物正好处于目标信道中。其净效应是增加信道中的噪声，与AWGN相同。本测试规范允许灵敏度降低6 dB。由于接收机性能受热噪声限制，使交调和杂散引起的噪声等于本底噪声，结果会使噪声增加3 dB，并使灵敏度减少3 dB。由于容许量为6 dB，因此余下的3 dB可以分配给其他部分(抖动、额外的噪声系数等)。假设转换增益尚未从40 dB降低(AGC点高于双音电平)且ADC的信噪比为74 dB，则接收机的总噪声系数为3.1 dB。因此，包括ADC在内的噪声密度(反射回天线)为-171 dBm/Hz。如果该值积分至整个信道(3.84MHz)，则总噪声为-105dBm。这是CW和WCDMA两种信号间交调所允许的交调功率，提供了关于必须达到的杂散水平的详细信息。如果该交调产物为WCDMA类型，则表示能量已经扩展，只不过表现为AWGN而已(呈 $2 \times$ 两个不同代码的卷积分布——假设接收机链中未出现混叠)。当然，唯一例外是交调信号不与目标信号正交时，但假设排除了这种情况。类似地，如果IMD产物为CW音(标准虽未指明，但属于最差情况之一)，则在相关过程中呈PN序列分布，同样表现为AWGN。由于CW音中的所有能量均处于单一频率之内，因此本测试更为严格。因此，如果ADC折合到输入

表 1.

增益	AFE噪声系数	0 dB信噪比	有效噪声系数	有效信噪比 @ -121 dBm*	ADC削波点
40 dB	3 dB	129 dB	3.1 dB	8	-36 dBm
34 dB	6 dB	125.88 dB	6.25 dB	4.88	-30 dBm
28 dB	9 dB	122.64 dB	9.48 dB	1.64	-24 dBm

本表假设增益降低期间，AFE噪声系数以增益减少量的一半增加。

\* 阻塞条件下该值为-115 dBm。表中数据不含信号的这种增量。

端杂散(全部杂散之和)必须为 $-65\text{dBm}$ ( $-105\text{dBm}$ 加上 $40\text{dB}$ )，这样就设定了共信道干扰容许的绝对最差杂散情况，无论是单音、多音还是交调产生。由于ADC满量程为 $+4\text{dBm}$  (rms)且容许最差情况等效杂散和为 $-65\text{dBm}$ ，则相当于大约 $69\text{dBFS}$ 的最小SFDR。虽然形成最差情况的条件千差万别，但这却代表了可以容许的最差累积SFDR。

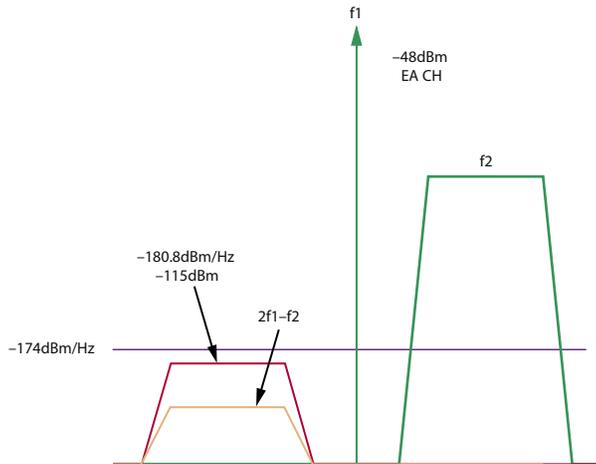


图 2.

**SFDR间隙：**如果假定ADC和下变频器阻塞对谐波失真贡献相同且互不相关，则各个源不得差于 $-72\text{dBFS}$ (相对于ADC输入)，最好为 $-78\text{dBFS}$ ，因为该值不但留有裕量，还支持SFDR的两个贡献源同时达到峰值的情况。对于增益降低以支持较大阻塞(频带II和III)的情况，杂散要求较高。尽管此处未给出详情，但累积SFDR为 $75\text{dBFS}$ ，支持裕量和信号峰值，最低 $81\text{dBFS}$ 。

**IP3要求：**一种更为严格的交调测试是在频带II和频带III中进行的GMSK测试。此时，两个窄带音以 $-47\text{dBm}$ 进入接收机。这正是混合频带的条件。对于频带II和III，可轻松预测IP3要求。对于频带I，其中一个交调音为CW音，另一个为WCDMA信号，其计算并非如此直接，最终也不如规定频带II和频带III条件重要。就如前面所确定的那样，当天线端口有两个窄带音且增益未降低时，天线端口的要求交调产物必须低于 $-105\text{dBm}$ 。当输入为 $-47\text{dBm}$ ，折合到天线端口的要求IP3为 $-18\text{dBm}$ 。假设转换增益为 $40\text{dB}$ ，反射到

ADC输入后，该值为 $+22\text{dBm}$ 。现实情况下，可能还有其他更严格的测试。对于在此提到的宽带(多载波)接收机架构，只要处于频带边沿，高达 $-30\text{dBm}$ 的信号很可能由接收机模拟部分进行处理。这种情况下，数值需要重新计算，但要考虑增益下降和系统噪声增加两个因素。从ADC的角度来看，等效IP3性能超过了 $+40\text{dBm}$ ，并不构成问题；因此，IP3的唯一贡献者是下变频器阻塞。在采用较高转换增益的情况下，IP3要求和噪声要求将相应上下浮动。类似地，具体设计余量会使性能要求高于前面所示的最低值。

**器件选择：**基于前面的讨论，下变频器阻塞的转换增益必须为 $40\text{dB}$ 左右，噪声系数为 $3\text{dB}$ ，输出IP3至少为 $+22\text{dBm}$ 。目前的接收机技术可以实现这一性能水平。另外，只需稍作努力，即可进一步提升性能，使其超过本文所示最低标准。

**综合器：**目前市场上有多种合成器可用于这种设计。如图1所示，其中包括ADF4106超低噪声PLL和ADF4360-x系列集成VCO综合器。ADF4360系列综合器非常适合WCDMA Rx和Tx应用。

**ADC：**如以上各节讨论的那样，输入信号为 $-3\text{dBFS}$ ，转换器的信噪比应为 $74\text{dBFS}$ 左右。ADI公司现有多款转换器符合这种要求，还有多款新器件正在开发之中。对于中频采样，适用产品包括AD9446、AD9445、AD9444和AD9246等最近发布的器件。现有器件包括AD9244、AD9245、AD9248和AD6645。

对于基带采样，则可使用双通道、12位及14位转换器AD9238和AD9248。这些器件具有良好的引脚兼容性，支持多种装配选项，可用于单载波和多载波应用之间的常见平台，以及可能存在进出口限制的情况。除此类引脚兼容器件以外，还有新型四通道ADC，包括AD9228和AD9229。这些四通道12位转换器是多样化基带IQ采样或四通道低中频采样应用(如相控阵天线)的理想选择。

**DDC:** AD6636提供4通道或6通道DDC选项。这类器件各有四个ADC输入，因而可以轻松配置为分集、分区分集或相控阵。两个ADC即可驱动一个这类器件，构成一个分集2(4通道)或3(6通道)载波接收机。图5中的配置较为有趣，这种应用模式有一个下变频的数字化三区四载波天线。在此基础上，数字化信号传送到两个不同的DDC。然后，用各DDC选择和过滤两个FA，每个区共计四个FA。除每个区四个分集FA以外，这种配置还提供了故障冗余性能。由于每个天线与两个DDC相连，因此任一DDC发生故障都不至于使整个通道失去作用。类似地，分集天线连至两个不同的DDC，同样提供了冗余性能。另外，分集信号路径由完全不同主路径的信号路径处理，由此提供了高达四向的信号处理冗余性能。因而，在主路径发生故障时，分集路径可以完全发挥其冗余性能，而不受主路径故障的影响。在这种架构中，各个区的接收路径具有100%的冗余(通道化RF)，不受损耗影响。该系统不依赖于任一单个元件，在发生故障时或者流量增加时，可以轻松将通道容量重新分配至其他DDC。

除通道化功能以外，其他功能由DDC提供。首先是功率估算。可以测量各个ADC输入的均方功耗、峰值功耗和信号跨越指定幅度的次数。此外，在用于复合模式(I和Q)的情况下，也可对复合信号进行这类测量。这些信息可以与前端衰减相结合，以在检测到强信号时防止发生过载。另外，各个DDC通道具有均方根功耗测量功能，支持编程积分，提供了较大的灵活性。该功能可用于设定接收机增益，确定环路损耗，产生数字输出AGC函数，以使数字输出位数保持在较窄的动态范围之内，供低位精度rake接收机使用。

其他主要特性包括直流偏置校正、IQ增益调节、IQ相位调节和复合数字调谐。将IQ采样用于多载波应用时，这些都属于必备功能。

**集成功能:** 目前，14位ADC属于关键国家出口限制产品。AD6654在单器件内结合了AD6645和AD6636内核，集成ADC和DDC两种功能。该器件被划分为接收机功能，不受出口控制。另外提供组合式Rx功能，在单封装内同时集成发射和接收功能。AD9863等器件包括双通道、高速ADC和DAC，适用于单载波应用。该器件是低容量系统的理想选择。该系列(AD986x)还有多种其他器件，提供多种位精度和速度选项。

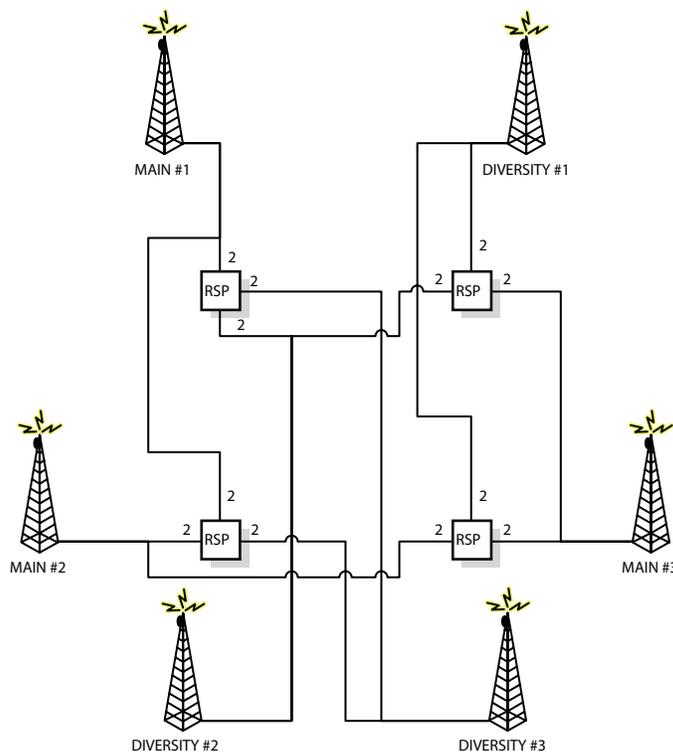


图 5.

**验证：**如下列仿真器输出所示，当输入端的最低灵敏度信号为-121 dBm，该接收机支持超过8 dB的信噪比、40 dB的增益，完全超过了广域基站的要求。在天线端，该灵敏度可维持于较高水平，总带内功率水平最高可达-36 dBm左右。超过该值时，输入端必须衰减，以防止接收机链过驱。达到规格要求的最简便办法是插入一个衰减器，以降低接收机输入端的输入信号电平。尽管理想值为6 dB，但只要终端灵敏度符合规定的-115 dBm，则可增加衰减。-40 dBm的相间通道阻塞测试即是如此。

下面的表2显示了信噪比结果，其中转换增益不断变化，允许噪声系数小幅提升。从表中可以看出，当信噪比略有变化时，目标信号电平将增加6 dB，从而使信噪比比表中数值高6 dB。

SFDR灵敏度的验证稍困难些。然而，对于线性系统来说，CW测试显然比WCDMA信号测试要严格许多。因此，ADC输入端的CW信号被驱动至ADC满量程+4 dBm(天线端为-24 dBm CW，转换增益为28 dB)，最差条件杂散应低于81 dB以上。具有等效峰值功率的WCDMA信号因激励信号的频谱密度和均方根要低得多，其杂散结果也远低于此。14位转换器的典型最低值均基于85 dB或以上，具体以频率而定。如果最低值为83dB(比要求高2dB)，则相当于-79 dBm的CW SFDR功率水平。在rake接收机之后，在考虑前端热噪声的基础上，ADC端产生频谱密度为-144.8 dBm/Hz，天线端则为-172.8 dBm/Hz，比热噪声低8 dB左右。因而，目标通道的总噪声增加不足1dB，使该条件下的整体灵敏度降至优于-118 dBm的水平，并留下了3 dB的余量，完全可以满足-115 dBm的规格要求。由于此处采用了CW信号以尽量接近WCDMA波形峰值信号的效应，因此，可以预期的是，真实波形的实际均方根功率应比所示结果低12 dB，因而与CW音相比，可以大幅提升接收通道的SFDR性能。

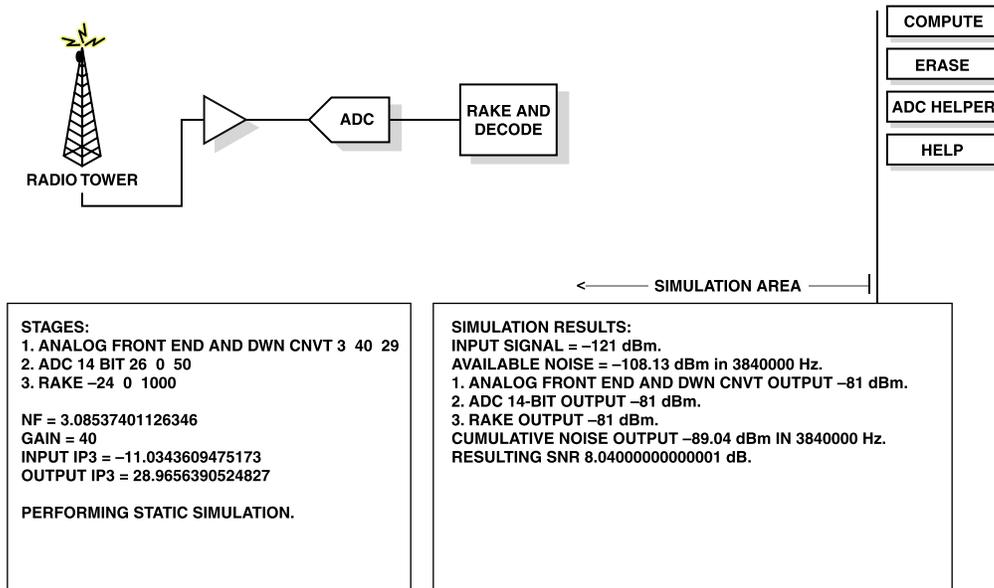


图6.

表 2

增益	AFE噪声系数	0 dB信噪比	有效噪声系数	有效信噪比 @ -121 dBm*	ADC削波点
40 dB	3 dB	129 dB	3.1 dB	8	-36 dBm
34 dB	6 dB	125.88 dB	6.25 dB	4.88	-30 dBm
28 dB	9 dB	122.64 dB	9.48 dB	1.64	-24 dBm

本表假设增益降低期间，AFE噪声系数以增益减少量的一半增加。  
\* 阻塞条件下该值为-115 dBm。表中数据不含信号的这种增量。

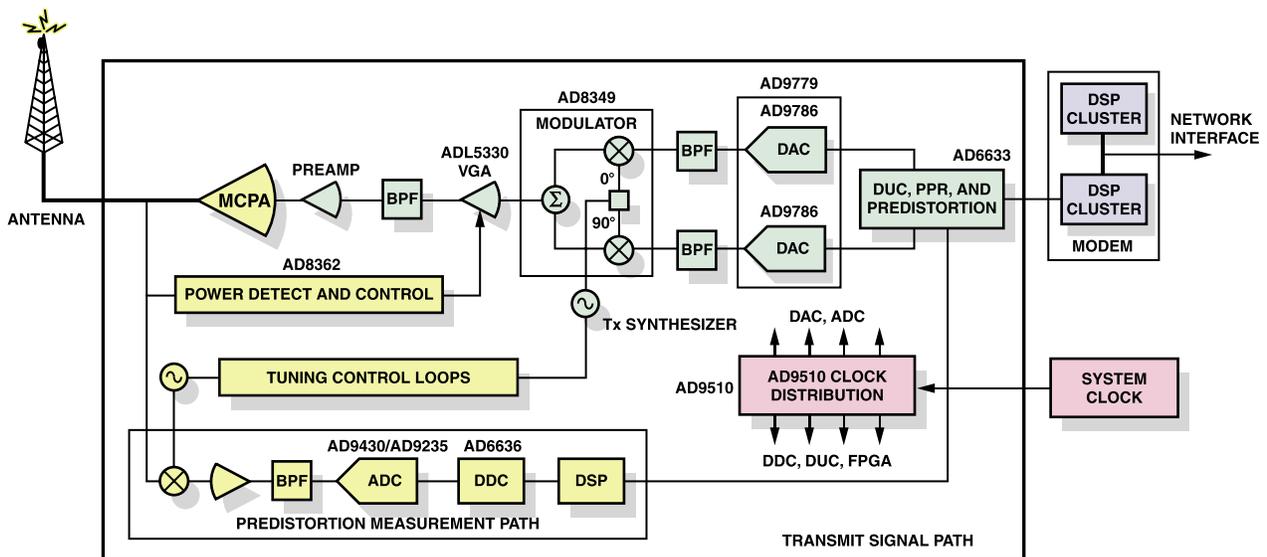
**四载波噪声余量：**理想状况下，基站应为各分配频率维持相对低的输入电平。典型情况下，该值应维持在-60 dBm与-70 dBm之间，具体取决于控制器的编程方式。此类条件下，各载波的信噪比应在60 dB左右，BER优异，无需借助AGC环路的降增益功能。然而，为符合规格要求，必须为邻道和第一相间通道考虑以下情况：可能超出基站控制范围，或者可能因未知原因而大幅升高。

对于该条件，目标灵敏度为-115 dBm，即增益可通过AGC环路降低。有害信号包括+63 dBc (-52 dBm)的相间信号和+75 dBc (-40 dBm)的第一相间信号。由于这些信号只有一个调制码，因而其均方根峰值约为3.5 dB，结果产生-36 dBm的峰值功率，这是最高增益设置的上限。由于存在信号链变化和来自其他带内信号的功率，我们假定增益降至34 dB，使噪声系数提高到6.25 dB。该条件下，处理目标信号时的可用通道信噪比应为10.88 dB左右，结果产生低BER。如前所述，来自较大的第一相间信号的额外杂散能量应接近热噪声水平，且基本不影响增加后的信号。

## 发射部分

发射信号路径架构设计有多种方法。本文首先讨论影响发射信号单元的因素，之后再对不同架构进行探讨。图7仅给出了初始参考点的直接变频架构。3GPP TS 25.104第6部分详细介绍了发射信号要求。在即将讨论的全部架构中，存在以下假设：功率放大器输出端布置一个通道滤波器，其足够陡峭而不会影响接收路径的灵敏度，同时还能确保杂散发射(共址时)得到充分过滤。

**频率误差：**规范要求RF频率和数据时钟发生采用相同的源；这就意味着，对于3.84 Mbps的数据速率，所有IF和RF频率源的整数除数应为3.84 MHz。WCDMA应用中经常见到30.72 MSPS、61.44 MSPS、76.8 MSPS、122.88 MSPS和245.76 MSPS等转换器采样速率，其倍数系数分别为8、16、20、32和64。



**功率控制：**最大输出功率指在天线端测得的每路载波的平均功率水平。对于广域基站，3.84 MHz整合带宽的平均功率应大于38 dBm。满足此技术参数既能针对每个天线载波进行功率控制，也能基于码道改善对用户的服务质量。

每路载波的功率控制需要具备最低18 dB的动态范围。对于每个DAC使用单一载波的系统，用可变增益放大器(VGA)实现动态功率控制可最大程度优化DAC动态控制范围。对于多载波系统，所有载波均采用相同的功率控制，并基于VGA进行调节。多载波系统中可以有一路低于单载波系统中的18 dB(参见图8)要求；如果单个载波和多个载波频谱性能都能在最大动态功率条件下获得，那么这种情况将不会再对DAC动态范围要求造成影响。动态范围可以融入DAC要求之中，但这样做会提高DAC的动态范围要求。(这种情况可能发生在AD9786和AD9726一类高动态范围DAC中，但以下分析假设存在一个模拟VGA。)

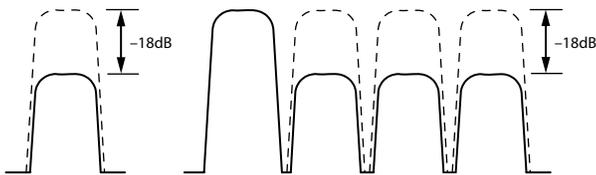


图 8.

在采用闭环功率控制时，基站将持续降低码道功率，直到用户设备(UE)检测到误差率提高为止。用户设备在基站完全闭环，由此维持规定的服务质量。内环功率控制是闭环码道功率控制的基站部分，规格要求步进为1 dB，极端条件范围为 $\pm 12$  dB，正常条件为 $\pm 9$  dB。该功率控制在复合载波形成之前，在码道层执行。如果使用用户设备同步要求的码道(P-CPICH、P-SCH、S-SCH、PCCPCH)，则码道的功率水平对复合载波峰均比(PAR)的影响较小，因而，其对模拟下行链路模块动态范围要求的影响可以忽略不计。

**峰均比(峰值因子)：**对于驱动天线的功率放大器，效率和线性度是两个相互矛盾的性能指标。放大器接近饱和区效率最高，不过线性失真也最大；相反，如果放大器线性度表现出众，其效率必然很低。通常，需要在线性度和效率之间找到平衡。这一折衷点可使放大器工作于以下模式：信号峰值功率略低于放大器可以发射的最大输出饱和功率。确定和保持PAR以及功率放大器线性度是WCDMA基站设计的主要难点之一。

在将通道组合、数据和控制流(非同步信道)映射到QPSK符号并基于分配给相应数据流通道的OVSF扩频码扩频之前，这种方式可以在数据流之间提供正交/隔离。然后，用基站特定扰码乘以复合扩频符，以在基站间分离信号。主同步信道和次同步信道(P-SCH、S-SCH)提供无线电框架和时间槽同步，此时与扩频数据和控制流相结合。该复合波形通过脉冲整形生成一种带限波形。根据用户数量和正在发送的信息类型，如果分量信号以相位增加，则此波形可能会产生非常高的PAR波形。将5 MHz载波与其他5 MHz载波相结合还能进一步增加相位对准的概率和PAR值。如果需要保持一定的线性度水平，PAR增大会降低功率放大器的效率。由于PAR受通道通信负载影响非常大，为此制定了一种的符合性测试模型，即测试模型1。该模型可以支持64个数据流或专用物理信道(DPCH)，其中数据速率为30 kSPS，扩频因子为128，并以随机码域功率水平和随机时序偏移随机分布于整个代码空间。

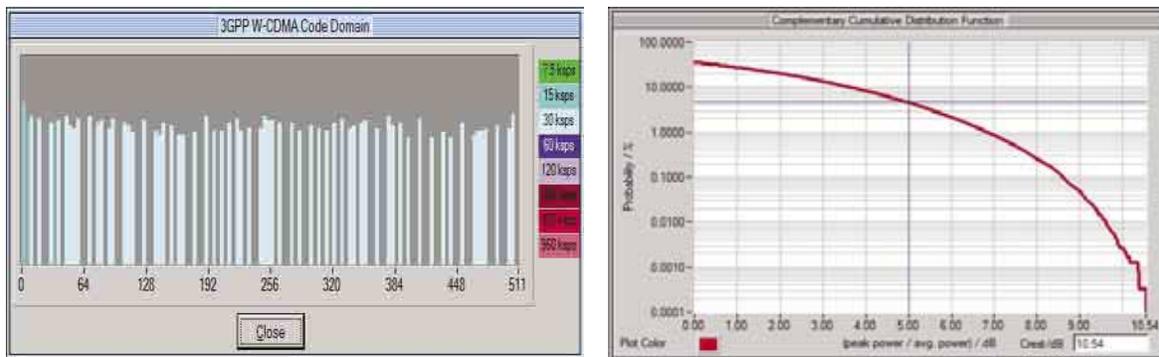


图 9.

图9所示为码域内的DPCH分布。要确定单载波PAR，用户可利用互补累积分布函数(CCDF)显示此范围内的峰值功率发生概率。通常可接受的概率水平为 $10^{-4}\%$ ，小于此概率水平的峰值功率不会对放大器的实际交调性能产生实质性影响，通常是使放大器进入饱和或在数字处理过程中削波。对于单载波配置，利用测试模型1可知 $10^{-4}\%$ 概率下的功率峰均比大约为10.5 dB。如前所述，对于多载波配置，如果不注意PAR，最终结果可能会很高。为此，可将不同扩频码和时序偏移编码至载波中，以降低载波的相位对准概率。图10显示了四个载波的这种效应，各基于测试模型1通道化，只要扰码和时序偏移选择得当，即可使PAR降低4.5dB。需要注意的是，采用不同的扩频码和时序偏移会导致四个载波PAR，比单载波PAR仅高出0.6 dB。

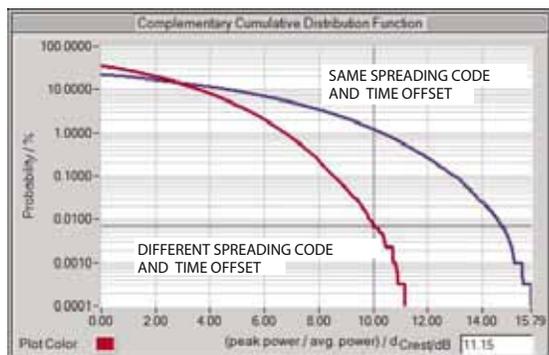


图 10.

**峰均功率比抑制：**峰均比(PAR)越低，获得同等效率的平均功率就越高。峰均功率比抑制技术(PAPR)可以降低峰值功率，同时不会造成带外失真。降低PAPR的典型办法是削峰后滤波。但是，削峰会严重影响EVM性能，生成新的频谱信号必须进行滤波。AD6633的峰均功率比抑制技术无需对基带或中频信号削峰，该器件利用带内选择性失真技术降低峰值功率，不会造成相邻频带失真。这就实现了EVM与信号压缩直接平衡，不会产生邻道失真。另外，在多通道应用中，可针对性控制每个载波的EVM量，具有不同载波提供不同服务质量的能力。例如，语音载波可以配置为较高EVM，这样有助于高速数据载波在高速数据传输条件下获得更低的EVM。这是削波和滤波技术无法实现的。图11展示了AD6633的性能，其中含四个相同功率载波；在图中所示时间槽中，未压缩的峰值功率和约比压缩峰值功率和大6 dB。CCDF显示，当概率为 $10^{-4}\%$ 时，可提高性能6dB左右。一般地，在给定概率条件下，载波越多，PAR抑制效率越高。

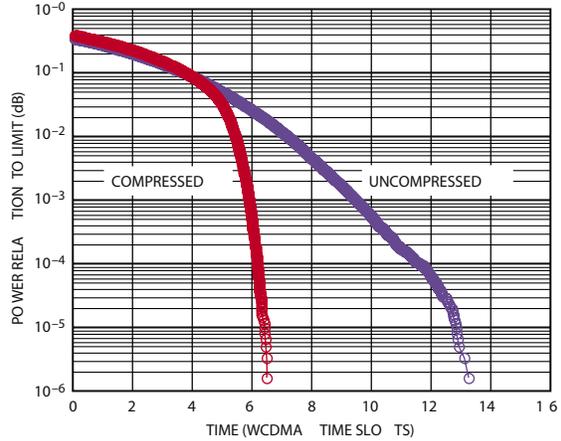
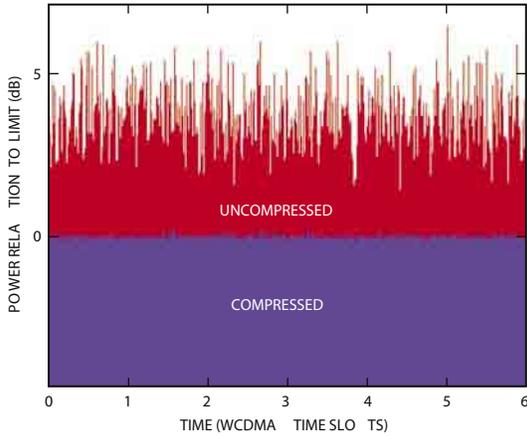


图 11.

**功率放大器线性化：**提高功率放大器效率的另一种方法是让放大器更接近饱和，同时对产生的失真进行补偿。实现PA线性化有两种主要方法。模拟前馈技术通过在主功率放大器周围增加前馈线性补偿放大器解决失真问题，提供足够的线性度使频谱再生不会影响邻道。这种方法通常会降低不到10%的效率，实现过程很复杂，但方便管理，另外需要考虑的是前馈放大器线性化的模拟问题。

实现PA线性化的第二种方法是数字预失真技术。这种方法概念非常简单，用数字表示具有更好的线性和可预测性，并且不会对工作环境造成影响。因此，如果可以确定PA的传递函数，通过与反向传递函数求和(参见图12)可以产生非常高的线性系统响应，并且不会产生噪声或失真。另外，也无法使用模拟前馈放大器和廉价的数字工艺。

实施数字预失真的系统需要考虑对转换器的影响。先来看看正向通道，见图12。任何通过功率放大器的信号都通过两种方法分配；首先，信号中引入加性噪声；第二，非线性PA传递函数产生奇次交调产物。对于WCDMA信号，这些都会造成相邻和相间通道频谱再生。三阶交调产物会造成载波带宽3倍扩频失真；五阶交调产物失真范围为5倍带宽；七阶交调产物失真范围为7倍带宽。对于单载波配置，如果期望带宽为3.84 MHz，则三阶交调失真会落在偏离期望通道中心1.92 MHz至5.76 MHz的范围内(见图14)。邻道中会出现三阶交调失真及附加宽带噪声。第一个相间信道不受三阶交调失真影响，但会受到宽带噪声影响。五阶和七阶交调产物失真产物也会产生类似情况，随着交调失真阶数增大，受影响的通道也会增加。对于四载波应用，失真信号带宽为18.84 MHz。

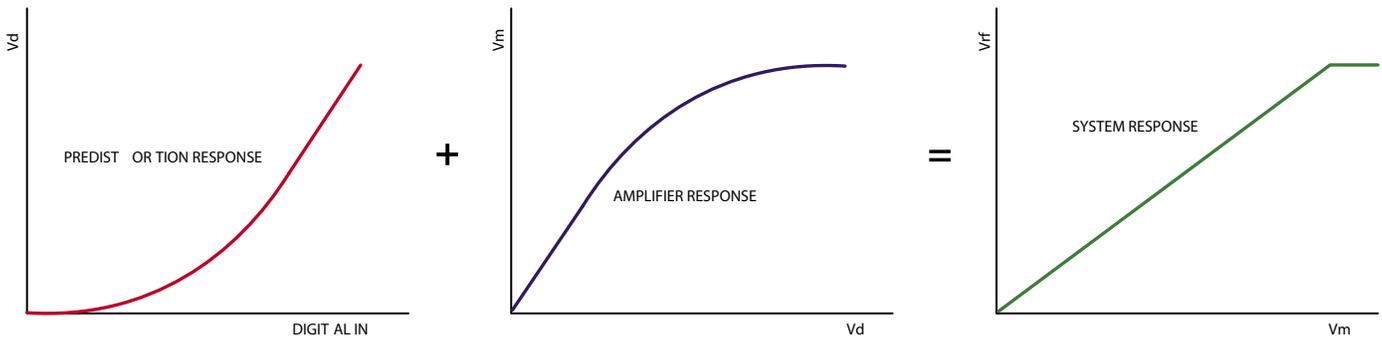


图 12.

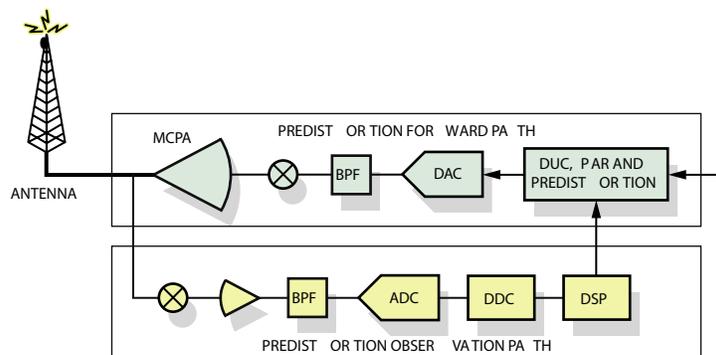


图 13.

因此，三阶交调失真影响的频带范围为偏离信号带宽中心 9.42 MHz 至 28.26 MHz，三阶交调失真会严重影响更多的相间信道。另外，对于固定的 DAC IMD 性能，随着载波数量增加，相间通道能量也会增加，相对于单载波配置以系数  $10\log_{10}(\text{载波数})$  降低 ACLR。由于数字预失真的目的是避免失真，采用数字预失真的系统需要大于  $10\log_{10}(\text{载波数})$  性能才能保持与单载波相同的 ACLR。另外，对于 3 倍、5 倍和 7 倍信号带宽控制需要完全消除三阶、五阶和七阶交调产物影响。对于四载波 WCDMA 应用 (信号带宽 18.84 MHz)，如果是七阶交调产物，需要控制 131.88 MHz 带宽，另外与单载波相比，需要大于 6 dB 的 IMD 性能。

在观察路径中，RF 输出信号的部分采样下混频处理后，再转回数字基带数据，并与发射数据进行比较。为了消除快速移动功率曲线，需要基于数百个采样求下变频信号的均值。所用算法可利用多项式乘法或一个查找表生成经校正的传递函数。可利用 DSP 函数实现该算法，将经下变频处理的均值结果与发射信号进行比较，以确定正向路径上变频过程增加了多少失真。一旦确定结果，可以进行反向失真计算，修改今后的查找表或多项式系数。系数更新只需要数秒钟时间即能完成，不仅可捕获载波功率曲线失真，还能获得温度和老化效应信息。

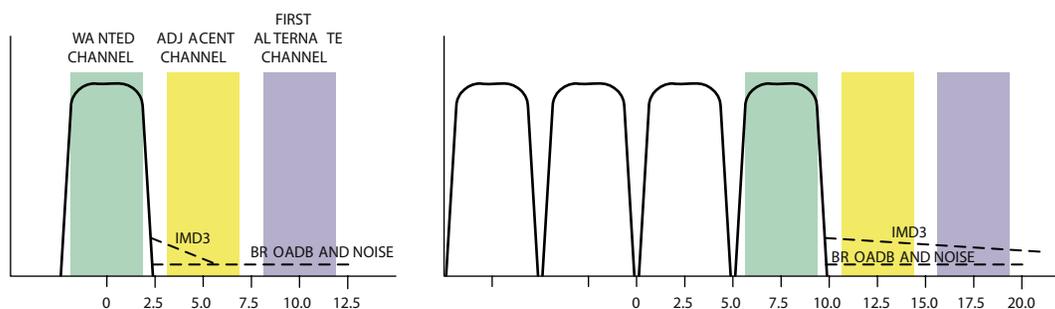


图 14.

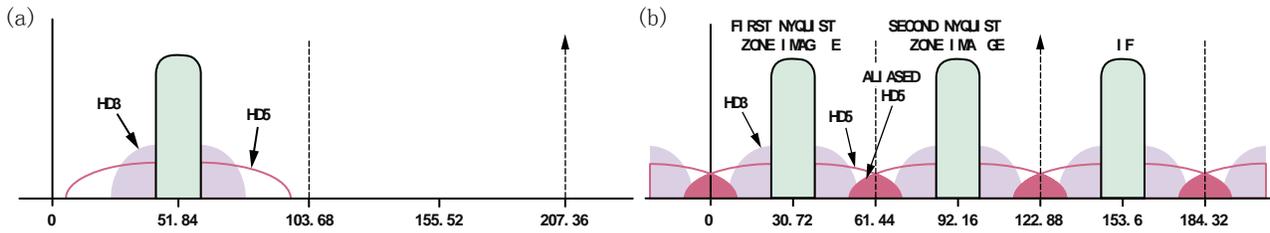


图 15.

有多种方法可以捕获失真。一种方法是将发射信号下变频至接近直流的水平，并用一个高速ADC对带宽采样，该宽带等于失真量与RF频谱带宽之积。三载波和四载波分别需要75 MHz和100 MHz的奈奎斯特频带。该函数采用170 MHz至210 MHz间的常见采样速率(见图15a)。

另一种方法是下变频至低中频(IF)，欠采样发射信号。利用这种方法，ADC采样信号和三阶失真项无混叠；五阶或更高阶的失真项可在三阶基础上混叠，由系数进行控制补偿(见图15b)。对于153.6 MHz四载波应用，需要使用122.88 MSPS转换器。

ADC的限制在于，其增加的失真必须少于天线端测得的失真，其噪声频谱密度必须小于天线宽带发射要求。ADC噪声可基于多个采样取均值，结果放松了ADC的噪声要求，过采样比一般达到8 ENOB至10 ENOB即可。在以下讨论中，偏离10 MHz下的要求噪声水平为-30 dBm/1 MHz或-90 dBm/Hz。该值需衰减50 dB，以将最大PA输出降至ADC满量程水平；定向耦合器的衰减水平一般为40 dB左右。结果，ADC输入端的频谱密度为-140 dBm/Hz；在100 MHz的奈奎斯特频带中，这对应于约60 dB的ADC信噪比。AD9430可提供最高达200 MHz的70s中量程SFDR，信噪比为60s中量程，完全符合要求。

**ACLR:** 上面重点介绍了降低复数信号PAR的重要性。现有文献认为要提高20 dB的ACLR可以通过PA线性化实现。下列公式给出了ACLR、PAR(ξ)和IIP3三者之间的关系；注意此公式仅对单载波第一邻道有效。正如前文所述，使用10log10(载波数)可通过多载波ACLR推出单个载波要求。对于DAC，交调截点仅与输出相关，公式1可简化为：

$$ACLR = -20.75 + 1.6\xi + 2(PIN - IIP3) \quad (1)$$

但是，公式2无法得知ACLR上的本底噪声效应。图16给出了WCDMA单载波针对AD8349利用测试模型1进行通道功率扫描的情况。当通道功率降至-15 dBm左右时，ACLR计

算公式有效，AD8349的IP3大约为+18 dBm。随着通道功率下降，ACLR受噪声影响逐渐增大，ACLR性能逐步降低。

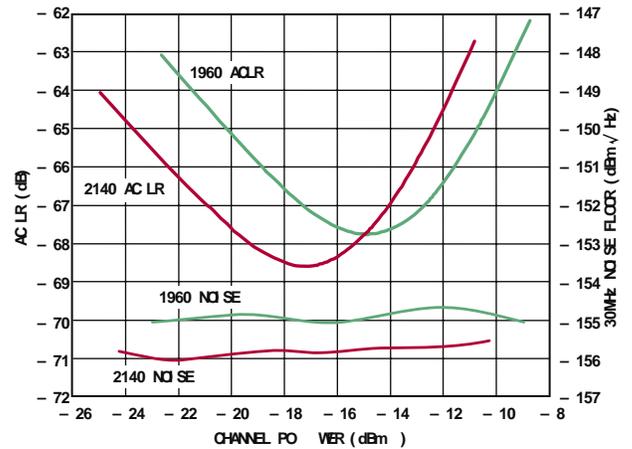


图 16.

接下来讨论最大输入功率为30 W的广域基站，采用的是通用型四载波解决方案。图17为上变频(混频器+综合器)、VGA和PA的简化框图。

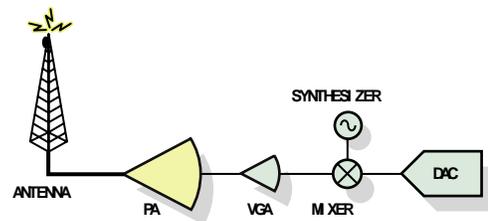


图 17.

**带外辐射:** 带外辐射指因发射机调制过程和非线性原因产生的、刚超出必要带宽的无用发射，但不包括杂散辐射。3GPP技术规范第6.6.2.1节详细介绍了发射模板。

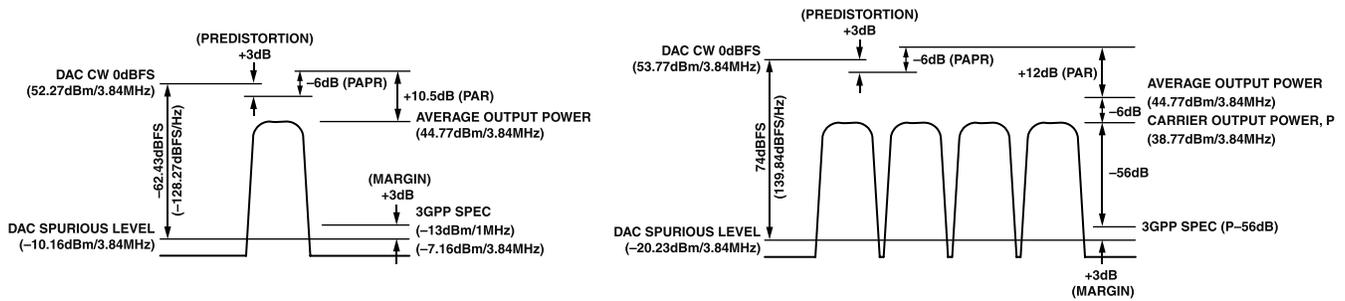


图 18.

先看看单载波应用。假定采用测试模型1，且PAR为10.5 dB；使用PAPR可以恢复6 dB的PAR；同时假定DAC处理预失真的3 dB开销。这样即可确定PA输出的峰值功率以及DAC动态范围计算的整个范围。3GPP技术规范根据每个载波的输出功率定义了具体的频谱发射要求。对于单载波应用，1 MHz整合带宽需要-13 dBm。若规范要求3 dB的余量，则3.84 MHz带宽中的杂散组分不得大于-910.16 dBm。因此，DAC所需的动态范围为128.27 dBFS/Hz。另外，杂散辐射规定的频率偏移覆盖邻道，需要55 dBc的ACLR。

接下来讨论四载波情况。对于相同的总平均输出功率，载波输出功率要低6 dB。另外PAR也略高于单载波情况，峰值功率达到了53.77 dBm。因载波功率较低，其发射技术规范也有所差异：比载波低56 dB。发射技术规范同样规定了3 dB余量，DAC的杂散水平为-20.23 dBm。这样可以有效提高DAC的动态范围，达到139.84 dBFS/Hz，更重要的是，邻道ACLR现在要求为59 dB。

**杂散辐射：**本部分大致介绍了通道影响基站接收机等无线电的情况。基站发射机和接收机之间存在频率间隔；基站发射机与可能工作于不同频带的另一共置基站之间也有隔离。频率间隔量大于100 MHz，支持双工器滤波过渡频带。然而，双工器在偏离频带10 MHz的范围内存在大量衰减，规范要求偏离发射频带10 MHz。如果单个载波位于频带边缘(如图19a所示)，则要求偏离载波-30 dBm/1 MHz 10 MHz。这代表着第二相间通道，单载波情况下通常以宽带噪声为主。如果是多载波系统，-30 dBm/1 MHz要求仍然存在(如图19b所示)。但在这种情况下，频带可能会受到三阶失真影响。

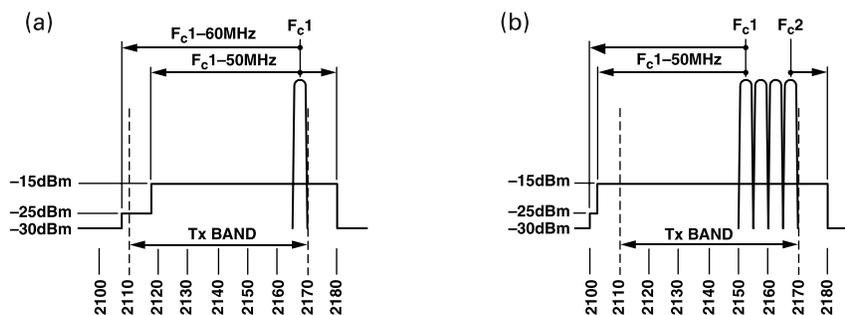


图 19.

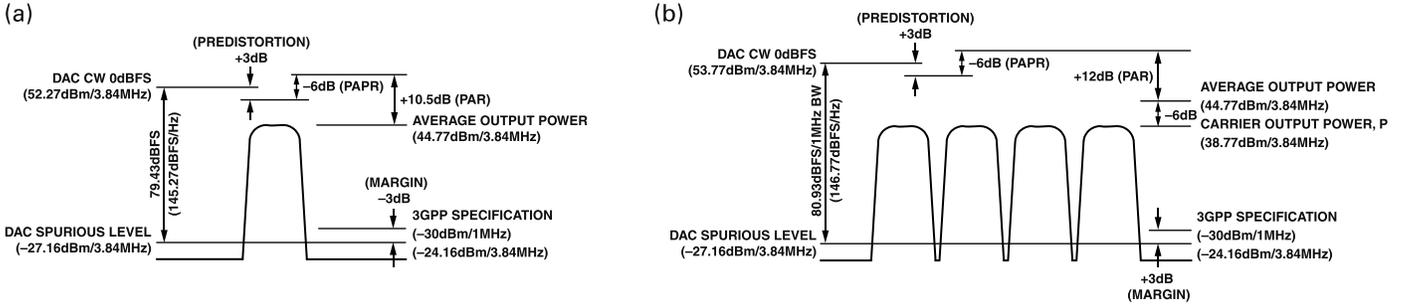


图 20.

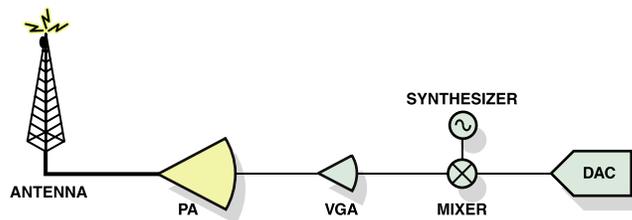
单载波配置(见图20)，正如前文所述具有相同的峰值功率水平；现在要求-30 dBm/1MHz，如果同样使用3 dB余量，则杂散发射不能大于-27.16 dBm/3.84 MHz。由于此频率偏移太接近载波范围，以致任何滤波过渡频带都无法生效；这一要求也决定了最低宽带噪声要求，相间信道的ACLR为72 dBc左右。

对于四载波情况，峰值功率水平大于单载波，结合低杂散要求，DAC最低动态范围应为146.77 dBFS/Hz。这一要求同时将四载波相间通道的ACLR要求提高到近66 dB。

邻道最低ACLR由带外发射功率决定。将四载波邻道最低ACLR的59 dB加上6 dB 可得出单载波要求，再加上邻道宽带噪声和的1 dB余量，则单载波邻道ACLR为66 dB。相间通道ACLR通过杂散发射技术规范获得。这些要求由单载波应用在72 dB时设定。

假设测试模型1的PAR为10.5 dB，PAPR使PAR降至4 dB左右。同时假定利用PA线性化使PA的OIP3改善10 dB。如果使用类似于AD8349的混频器/调制器，其作用等效于-15 dBm左右的输出通道功率。如果单载波功率控制由VGA实现，则要求最低范围为18 dB；如果对VGA分配20 dB增益，则需要PA有40 dB增益，以使DAC输出约+45 dBm。目前市面上具有这些特性的PA和VGA产品噪声系数大约为2 dB。计算PA输出的级联OIP3结果为+70.92 dBm；如果假定前级无失真，由于交调原因，级联OIP3在邻道中产生的ACLR为66.18 dB。

考虑VGA和PA噪声和增益，要获得72 dB相间通道ACLR，混频器总的输出噪声应为-156.8 dBm/Hz左右。从DAC获得较低噪声的可能性大于混频器和合成器，因此，低噪声任务则交给DAC完成，余下部分在混频器和合成器之间分配。此时，邻道的噪声贡献需要增加邻道中的奇次失真，结果使邻道ACLR达66.04 dB。根据上述要求，DAC满量程输出为-3 dBm，要求DAC的动态范围为-160dBFS/Hz。



PA		VGA		MIXER		DAC		SYNTHESIZER	
OUTPUT POWER	45	OUTPUT POWER	45	OUTPUT POWER	-15	OUTPUT POWER	-15		
INPUT POWER	5	INPUT POWER	5	INPUT POWER	-15	INPUT POWER	-15		
GAIN	40	GAIN	40	GAIN	0	GAIN	0		
IIP3	34	IIP3	34	IIP3	17	IIP3	29		
OIP3	74	OIP3	74	OIP3	17	OIP3	29		
NF	2	NF	2	NSD	-158	NSD	-163	NSD	-159
						IMD3	70	5MHz OFFSET	
						PAR OVERHEAD	12		
OVERALL OIP3	70.92					0dBFS (dBm)	-3		
ACLR DUE TO IP3	-66.18	OVERALL ACLR (ADJ)	-66.04			NSD (dBFS/Hz)	-160		
ACLR DUE TO NOISE	-71.97	OVERALL ACLR (ALT)	-71.97						

图 21.

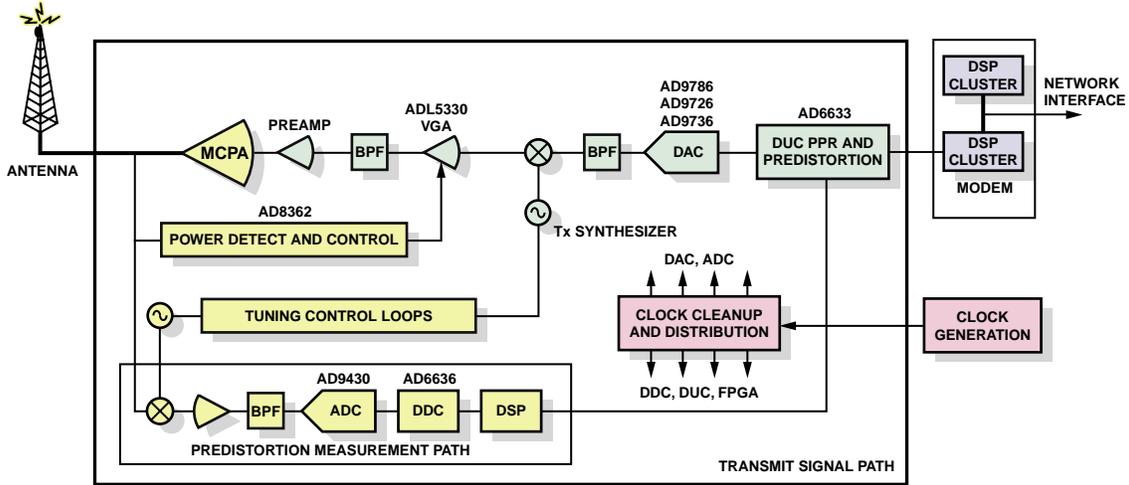


图 22.

发射调制：技术规范针对数据精度规定了两项重要指标。峰值码域误差(PCDE)和误差矢量幅度(EVM)两个指标旨在衡量码道的扩频和正交保持情况。可利用以下两个公式将PCDE和EVM与PAR和ACLR关联起来，其中SF为扩频因子。

$$EVM = \frac{1}{\sqrt{PAR}} \times 10^{\frac{ACLR(dB)}{20}} \times 100 \quad PCDE = 10 \log_{10} \left( \frac{EVM^2}{SF} \right)$$

规范要求PCDE为-33 dB，如果采用QPSK调制，则扩频因子为256、EVM为17.5%；如果采用16 QAM，则EVM为12.5%。正常情况下，如果达到了规范的无线电要求，则同时也就满足了码域要求。例如，在以上无线电设计中，单载波ACLR为-66 dB，PAR为4 dB，结果使EVM为2.5%，PCDE为-56 dB。

超外差单上变频：越外差单上变频基于低噪声、高性能中频输出DAC技术，见图22。如果采用PA线性化和五阶交调产物校正，则要求五倍信号带宽，对于四个相邻载波，带宽要求约为100 MHz。DAC输出端的中频偏离最终RF频率(80 MHz至200 MHz)十倍频。在此类频率下，有多种载波合成选择；第一种(见图23a)采用一个高采样速率奈奎斯特

速率转换器，比如AD9726或AD9736。DAC的更新速率 $f_{DAC}$ 与输入数据速率 $f_s$ 相同；对于超过250 MSPS的采样速率，应考虑LVDS数据输入。随着第一奈奎斯特区中载波频率的增加，第二奈奎斯特区中镜像的移动速率下降；即是说，相同采样速率下，输出载波频率越高，模拟重构滤波器的性能要求越高。高速LVDS输入的一种替代方案是使用低速CMOS输入，并DAC输出进行插值处理(见图23b)。这种方法采用一个数字低通滤波器来抑制第二和第三输入奈奎斯特区中的镜像；插值镜像由模拟重构滤波器进一步抑制。如果DAC更新速率与奈奎斯特速率DAC相同，则插值DAC的带宽略低于可用带宽的一半，其结果产生的镜像需要纳入考虑范围。如果需要输入采样速率的镜像，可以使插值滤波器工作于高通模式(见图23c)。在DAC采样速率相同的情况下，奈奎斯特和插值方案之间的模拟重构滤波器要求与存在额外插值镜像问题的插值方案相似。对于固定输入采样速率，在未滤波镜像的频率提高时，插值方案允许降低模拟重构滤波器的要求。AD9772A是2倍插值方案的理想选择，更新速率可达320 MSPS。

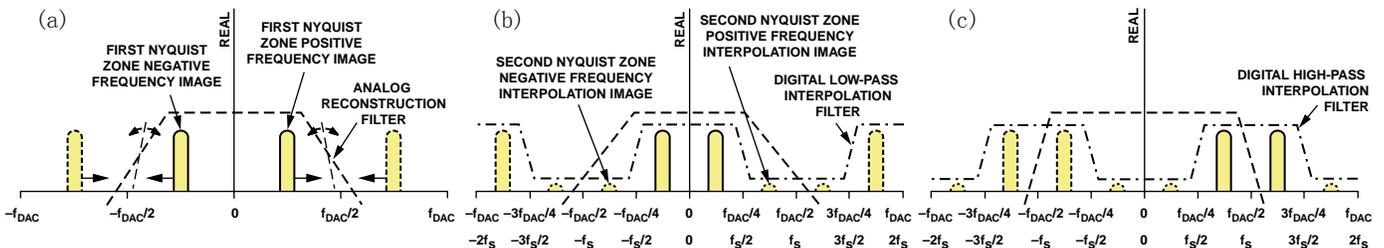


图 23.

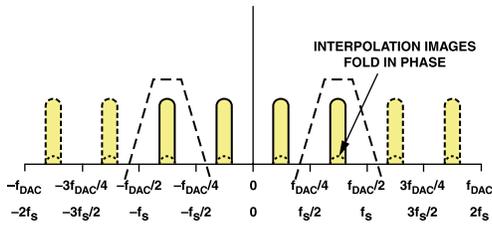


图 24.

产生中频信号的另一种方法是将基带信号以数字方式混频至中频。单个DAC始终输出实信号，镜像对称约为0 Hz，为 $f_{DAC}/2$ 的倍数。结果，如果实信号需要进行实数字混频处理(见图24)，则负频率将变成正频率，插值镜像会叠加于目标信号之上。幸运的是，插值镜像与目标信号同相，不会导致任何失真。这种方法会导致频谱拥堵，需要用带通滤波器来选择目标信号。

如果有复数基带可用，则可采用复数插值法(见图25a)；此时，复数频谱在直流附近不再镜像对称，但转换后仍在 $f_s$ 附近保持对称特征。对于数字复数混频(见图25b)，整个复

数频谱会发生频移，而不产生混叠。然而，DAC仍然可能只产生实信号。因此，如果复数混频输出驱动的是单DAC，直流频谱周围的任何不对称都可能使插值镜像叠加于目标信号之上，并与信号异相，结果导致失真(见图25c)。

AD9786采用单DAC，可接受实输入或复数输入，支持复数混频，并具有异相插值镜像抑制能力。AD9777和AD9779均为双DAC器件，采用双插值滤波通道，具有实混频或复数混频能力；如果需要实输出，则可使用单DAC输出；对于双天线分集系统，可以将器件当作两个单发射链。除AD9777和AD9772A以外，本文提到的所有其他DAC的噪声功率频谱密度均为-160 dBm/Hz左右，在目标频率范围内IMD好于70 dBc；LVDS输入DAC可以产生至少300 MHz的奈奎斯特频带。AD6633仍可耦合至AD9786、AD9777和AD9779，以提供峰均功率下调和频率微调功能。AD6633同时能够充当DVGA的功率控制接口。

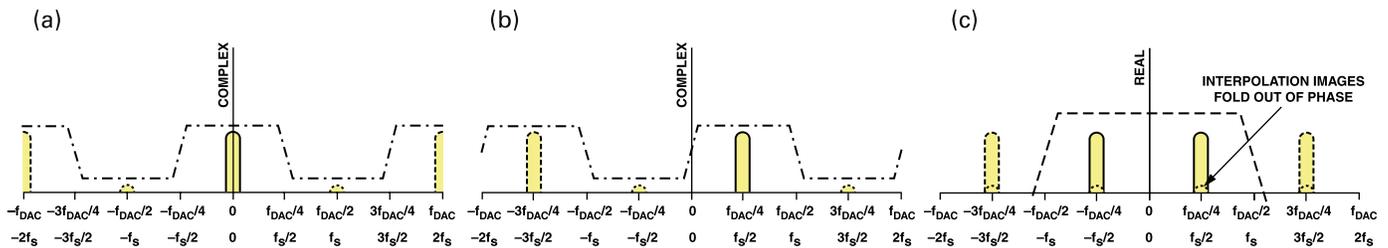


图 25.

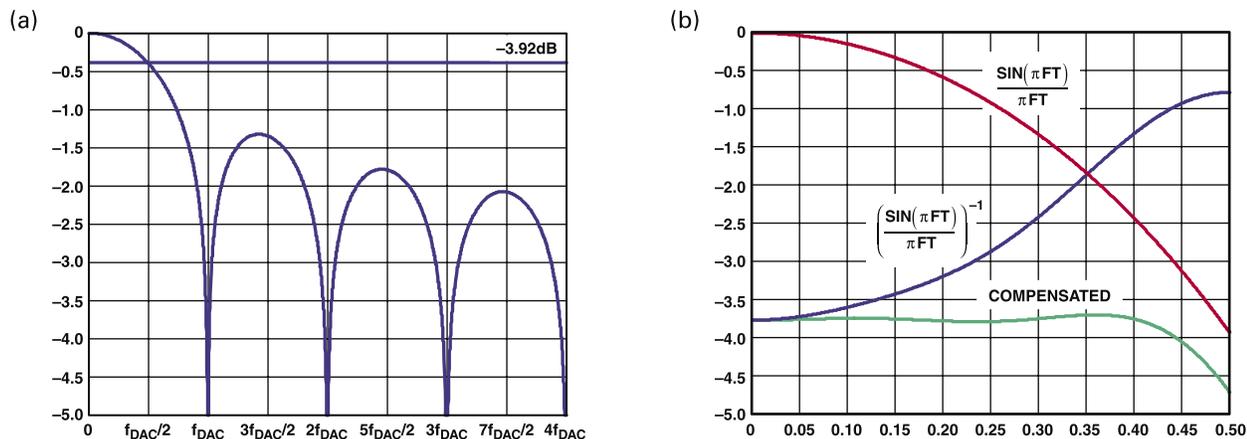


图 26.

如果DAC产生高中频，则需考虑DAC的 $\sin(x)/x$ 响应。DAC对数据具有零阶保持效应，结果产生呈 $\sin(x)/x$ 特征的频域响应(见图26a)。该频域响应在DAC采样频率 $f$ 的倍数下表现出深度零值，在DAC采样速率一半下存在3.92 dB损耗。就DAC采样速率而言，这对高频条件下的多载波信号十分重要，因为它会导致带内滚降，结果会影响到EVM和PCDE；高输出频率下的影响最大。 $\sin(x)/x$ 响应可进行数字补偿(见图26b)。可在数据上叠加一个反 $\sin(x)/x$ 传递函数，以使该响应在由DAC合成时表现平坦。这种方法的不

足是在以使该响应在由DAC合成时表现平坦。这种方法的不足在于，最终输出信号会衰减约4 dBFS，反 $\sin(x)/x$ 滤波器仅与奈奎斯特速率的一小部分相关联(图26a中为 $0.42 f_{DAC}$ )。结果，在采用简单的 $\sin(x)/x$ 滤波器的情况下，使用高奈奎斯特区的镜像通常不可靠。 $\sin(x)/x$ 补偿几乎可以应用于发射路径的任何阶段，如果采用数字预失真，添加 $\sin(x)/x$ 补偿所需开销可忽略不计。如果需要在DAC中进行 $\sin(x)/x$ 补偿，则AD9779采用反 $\sin(x)/x$ 补偿滤波器。

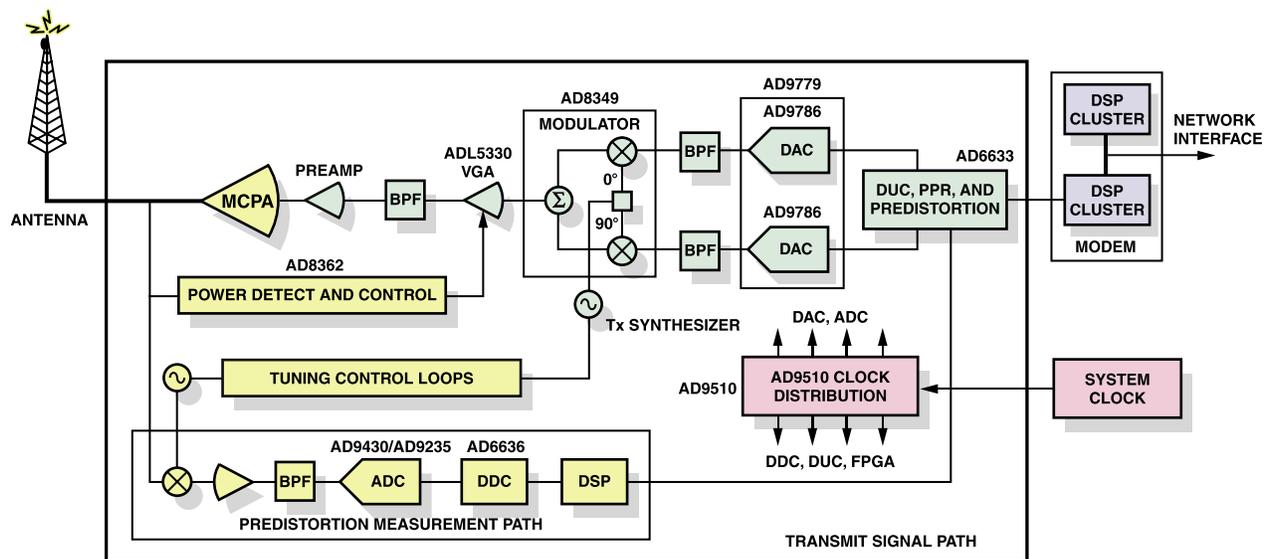


图 27.

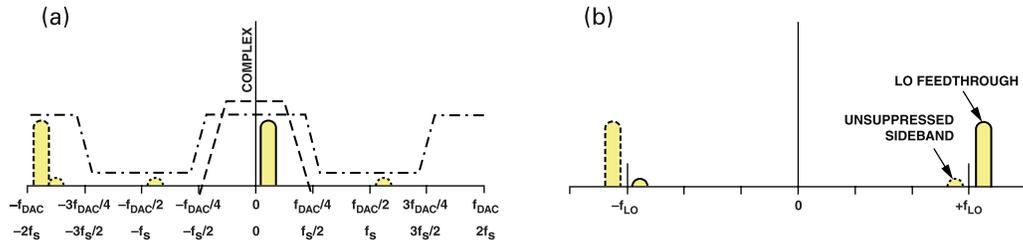


图 28.

直接变频：这种技术简单、灵活且实现成本相对较低，因而是理想选择。载波由DAC合成为复数对，然后由正交调制器混频至RF；正交调制器的作用是进行复数频率转换，但仅输出混频的实部。基带载波(图28a)既可以直流为中心，也可偏移直流。对DAC输出进行滤波处理以消除任何镜像，之后在正交调制器中进行上变频(见图28b)。对于理想的正交调制器，结果会产生完美的单边带上变频。

在从复数到实数的转换中，如果出现非理想情况，结果可能导致LO馈通和RF频率未抑制边带。通过低中频直接上变频方法，可从目标边带中移除LO馈通和未抑制镜像，以便进行滤波处理。对于奇数个永开型载波，可将载波叠加到直流上，由此降低非抑制边带和LO馈通的影响。对于偶数个永开型载波，可将载波对称地置于直流周围，结果，

LO馈通可能表现为受发射限制的相邻干扰器。对于可以关闭的任意数量载波，为关闭后的载波分配的频率可能存在非抑制边带，同样受发射限制。导致LO馈通和非抑制边带的因素可以进行补偿。如果采用数字预失真，则环路中可能需要校正功能。另外，正交调制器的输出可混频回基带并独立校正。

可能导致边带抑制性能表现不良的主要有两种误差成分。图29a所示例子为复数路径星座图中的正交增益误差效应。正如预期，不理想的星座图会导致较差的EVM和PCDE。为了在60 dBc至70 dBc范围内实现边带抑制，正交增益误差必须小于十分之几个百分点(见图29b)。

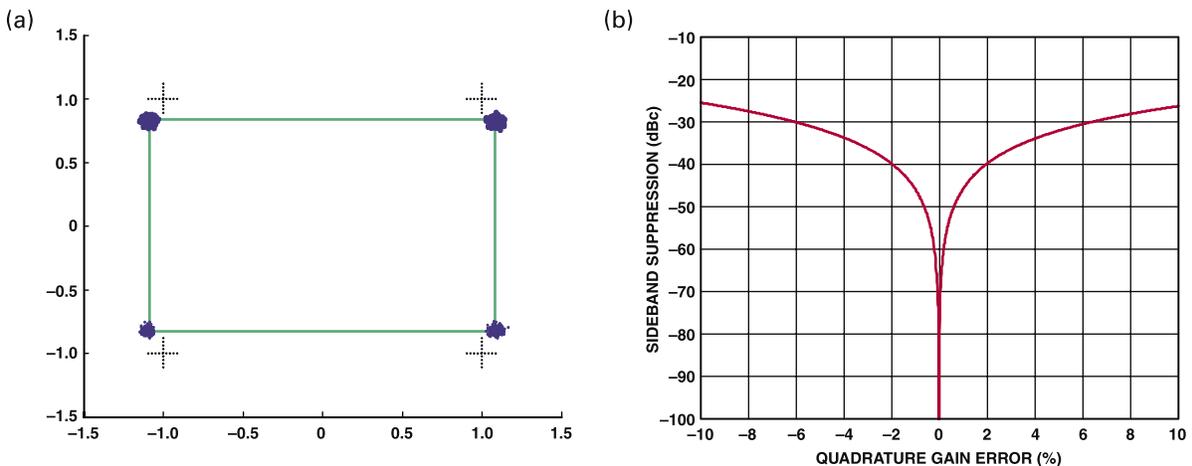


图 29.

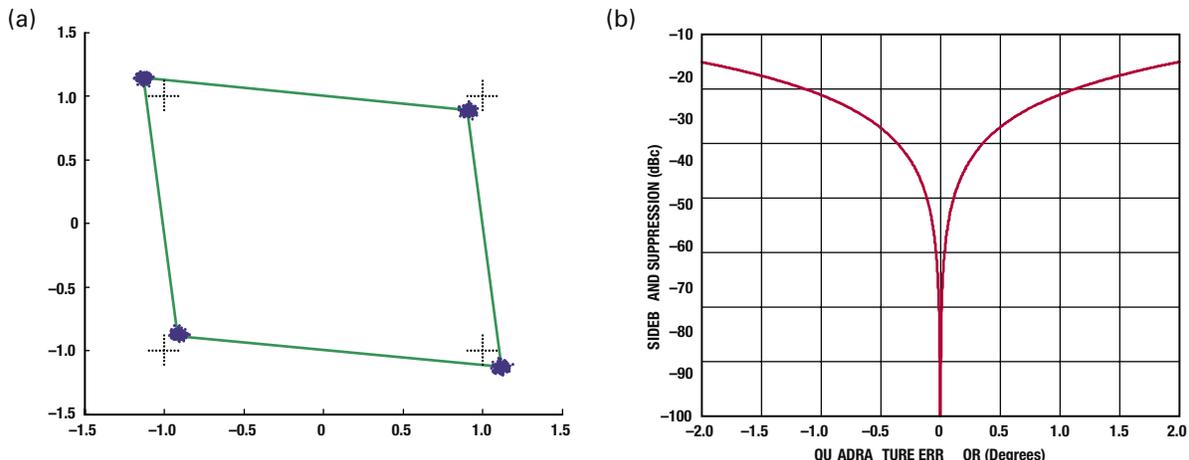


图 30.

第二种主要误差成分是正交相位误差。这些误差会扭曲星座图(见图30a)，结果导致EVM和PCDE下降。为了在60 dBc至70 dBc范围内实现边带抑制，正交相位误差必须小于十分之几度(见图30b)。

导致LO馈通的主要因素是复数路径中的正交偏置。偏置会移动解调星座图的原点(见图31a)，导致EVM下降。由于LO馈通也可能由PCB耦合产生，图31b所示为理想匹配正交路径中的性能下降情况。LO馈通受发射限制，一般需要比基站的总平均输出功率低70 dBc至80 dBc。

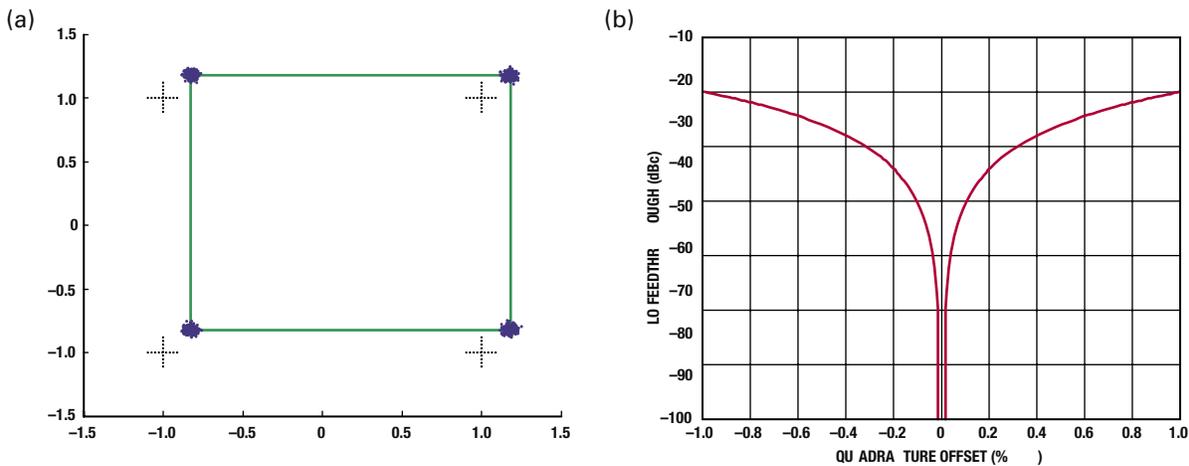


图 31.

由于调制器的额定边带抑制只可能是-40 dBc，相位精度为0.5度，DAC输出只能匹配至1%，因此必须拥有调节IQ平衡的能力。这可以通过调节基带数字数据或DAC输出的增益和偏移来实现。如果在数字基带中实现，则可能成为基带预失真的一部分，也可通过独立例程实现。然而，这样可能消耗一定比率的DAC和调制器总动态范围。利用AD6633可以对增益、偏置和相位进行数字调节。与AD6633搭档的最佳DAC是一对AD9786，因为该器件拥有充足的动态范围，性能下降百分之几不会影响系统的性能。另外，也可选择含有增益和偏置调节功能的DAC，如AD9777和AD9779。

采用AD9777或AD9779不会减少DAC的动态范围，但要求在控制器和DAC控制端口之间采用一个动态接口。此外，AD9779可以将DAC输出交流耦合至调制器，交流耦合的调制器端仍然具备偏置调节能力。

以前所述，建议在直接变频架构中采用AD9777或AD9779和AD8349。除本文提到的特点和功能以外，这些器件还经专门优化，可配合使用，为器件(包括匹配共模输入电平)之间提供一个平滑的接口。在调制器之后，一般利用一个RF VGA在工作条件变化的情况下维持PA输出电平不变。ADL5330的增益调节范围为60 dB，非常适合这种应用。与RF VGA配合时需要一个功率检波器。AD8362一类的器件与该RF VGA的功率控制范围相匹配，检波范围为60 dB。



